



УКРАЇНА

(19) **UA** (11) **111884** (13) **U**
(51) МПК (2016.01)
Н03М 7/00

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

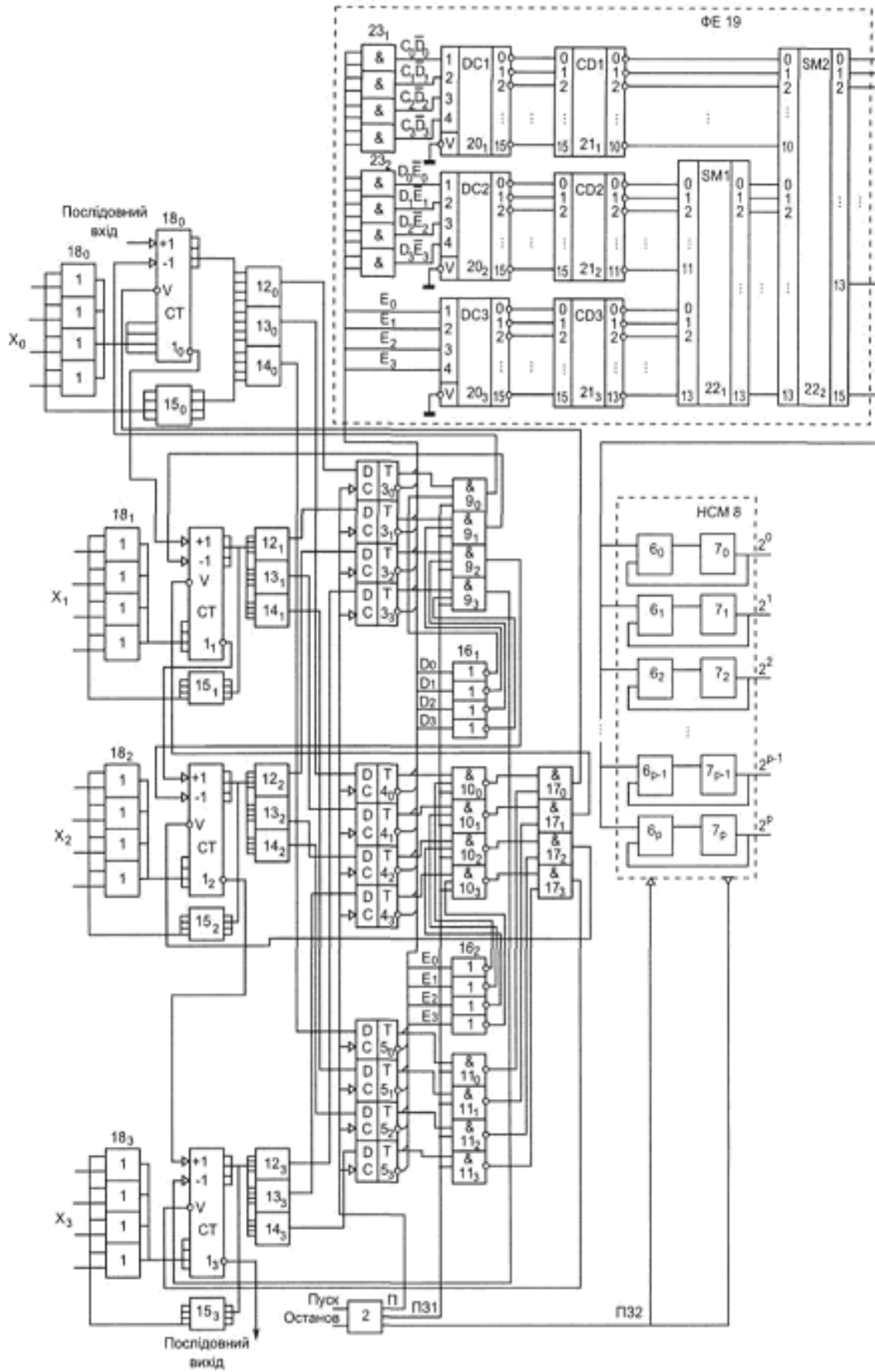
(21) Номер заявки: u 2016 05087	(72) Винахідник(и): Какурін Микола Яковлевич (UA), Хаханов Володимир Іванович (UA), Литвинова Євгенія Іванівна (UA), Вареца Віталій Вікторович (UA), Макаренко Ганна Миколаївна (UA)
(22) Дата подання заявки: 10.05.2016	
(24) Дата, з якої є чинними права на корисну модель: 25.11.2016	
(46) Публікація відомостей про видачу патенту: 25.11.2016, Бюл.№ 22	(73) Власник(и): ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ РАДІОЕЛЕКТРОНІКИ, пр. Науки, 14, м. Харків, 61166 (UA)

(54) ПЕРЕТВОРЮВАЧ ДВІЙКОВО-К-ЗНАЧНОГО КОДУ У ДВІЙКОВИЙ КОД

(57) Реферат:

Перетворювач двійково-К-значного коду в двійковий код містить n-1 лічильник старших розрядів, один лічильник молодшого розряду, генератор імпульсів, що вміщує прямий вихід та перший і другий прямі затримані виходи, першу групу CD-тригерів, перший регістр стану, для відображення ненульового стану відповідного розрядного лічильника, другу групу CD-тригерів, другий регістр стану, для відображення рівняння або перевищення кроку a станом відповідного розрядного лічильника, комбінаційний двійковий суматор та регістр результату, що утворюють у сукупності накопичувальний суматор НСМ, групу з n елементів I, групу з n елементів I-II, в кожному розряді дешифратор нуля, дешифратора рівняння або перевищення кроку a, в кожному розряді кодовий шифратор, що на виході формує значення коду, зменшене на значення другого кроку a, у разі рівняння або перевищення кроку a відповідним лічильником, формувач еквівалентів ФЕ, що складається з першого і другого дешифраторів, шифратора, n груп елементів АБО для запису розрядів коду зі входів перетворювача у лічильники відповідних розрядів. В перетворювач коду додатково введена третя група CD-тригерів стану, друга група елементів I, друга група елементів I-II, в кожний розряд введено по другому дешифратору рівняння і перевищення кроку b, дві групи із n елементів I на входах першого і другого дешифраторів і третій дешифратор у формувач еквівалентів, два додаткових (другий і третій) шифратори та два комбінаційних суматори.

UA 111884 U



Корисна модель належить до автоматики і обчислювальної техніки і може бути використана при побудові пристроїв обробки і перетворення інформації.

Відомий трикроковий перетворювач двійково-К-значного коду у двійковий код послідовним використанням трьох кроків перетворення: b - старшого кроку, a - середнього кроку і молодшого кроку, що дорівнює одиниці, (А. с. СССР 1783618, МКИ Н 03 М 7/12. Преобразователь двоично-К-ичного кода в двоичный код. Опубл. Бюл. Изобретения. 1992. № 47) і що вміщує групу з n розрядних лічильників (СТ) для зберігання цифр К-значного коду $n-1$ лічильник старших розрядів і один лічильник молодшого розряду), генератор імпульсів, що вміщує прямий (П), прямий затриманий (ПЗ) і інверсний (І) виходи, три групи СD-тригерів: першу групу СD-тригерів (перший регістр стану) для відображення ненульового стану кожного старшого розрядного лічильника, другу групу СD-тригерів (другий регістр стану) для відображення рівняння або перевищення кроку a станом відповідного старшого розрядного лічильника, третю групу СD-тригерів для відображення рівняння або перевищення кроку b станом відповідного старшого розрядного лічильника, комбінаційний двійковий суматор та регістр результату, що утворюють в сукупності накопичувальний суматор (НСМ), першу групу елементів І та дві групи елементів І-НІ, три групи дешифраторів: першу групу дешифраторів нуля для відображення ненульового стану кожного старшого розрядного лічильника, першу групу дешифраторів перевищення для аналізу значень старших розрядів на рівняння або перевищення значення кроку a , другу групу дешифраторів перевищення для аналізу значень старших розрядів на рівняння або перевищення значення кроку b , групу кодових шифраторів, що видають на виході двійковий код, зменшений на значення кроку b , коли стан відповідного старшого розрядного лічильника дорівнює або перевищує крок b , видають на виході двійковий код, зменшений на значення кроку a , коли стан відповідного старшого розрядного лічильника дорівнює або перевищує крок a та має значення, менше кроку b , у випадку, коли стан відповідного старшого розрядного лічильника має значення, менше кроку a , кодовий шифратор передає код зі входу на вихід без зміни, а також містить другу групу елементів І, $n-1$ групу елементів АБО для запису значень коду у старші розрядні лічильники, два елементи АБО-НІ та формувач еквівалентів ФЕ. Формувач еквівалентів ФЕ виконують звичайно у вигляді послідовного з'єднання трьох дешифраторів DC з шифратором CD, у склад якого входять три групи елементів І та група елементів АБО. Функціонування перетворювача коду виконується наступним чином За допомогою других дешифраторів рівняння або перевищення кроку b станом відповідного старшого розрядного лічильника виконується аналіз значень старших розрядів і їх ненульові значення записуються в третій регістр стану з СD-тригерів. За допомогою перших дешифраторів рівняння або перевищення кроку a станом відповідного старшого розрядного лічильника виконується аналіз значень старших розрядів і їх ненульові значення записуються в другий регістр стану з СD-тригерів. За допомогою дешифраторів нуля виконується аналіз значень старших розрядів на нуль. Двійкові показники ненульових значень старших розрядів записуються в перший регістр стану з СD-тригерів. Завдяки послідовній стратегії використання кроків перетворення за допомогою ФЕ спочатку двійковий код третього регістра стану, потім двійковий код другого регістра стану і нарешті двійковий код першого регістра стану перетворюються в двійковий код еквіваленту, який по задньому фронту прямого затриманого імпульсу (ПЗ2) додається до накопиченої суми еквівалентів у двійковому суматорі (НСМ). На перших двох етапах перетворення коду при використанні кроку b , потім кроку a , по задньому фронту інверсного імпульсу (І) і сигналів з виходів елементів І другої групи виконується запис коду з виходів кодових шифраторів у відповідні старші розрядні лічильники. На третьому етапі при використанні кроку 1 по задньому фронту інверсного імпульсу (І) виконується відрахування одиниць із значень тих старших розрядних лічильників, значення яких не дорівнюють нулю. Після обнуління усіх старших розрядів на четвертому етапі виконується трансляція (додавання) молодшого розряду до накопиченої суми еквівалентів. Завдяки послідовній стратегії використання кроків перетворення коду числа виконується за чотири етапи. Перший етап перетворення старших розрядів потребує $(K-1)/b$ [тактів, тому що найбільш можливе значення старшого розряду дорівнює $K-1$, де дужки] [означають округлення до меншого цілого, другий етап потребує $(b-1)/a$ [тактів, тому що найбільш можливе значення старшого розряду на другому етапі дорівнює $b-1$, третій етап потребує $a-1$ тактів, на четвертому етапі трансляція молодшого розряду додає ще один такт. Таким чином, загальна кількість тактів перетворення числа в трикроковому перетворювачі кодів становить $N_1 = \lceil (K-1)/b \rceil + \lceil (b-1)/a \rceil + a$ (1) тактів, де K - модуль (основа) системи числення. При $K=12$, $b=5$, $a=2$ маємо $N_1=6$, а при $K=12$, $b=4$ та $a=2$ маємо $N_1=5$.

Найближчим аналогом по сукупності ознак до корисної моделі, що заявляється, є перетворювач двійково-К-значного коду в двійковий код з паралельним використанням двох

різних кроків перетворення (Патент України на корисну модель № 102262, МПК Н03М 7/00. Перетворювач двійково-К-значного коду в двійковий код. Опубл. 26.10.2015, Бюл. № 20), що містить (n-1) лічильник СТ старших розрядів і один лічильник СТ молодшого розряду для зберігання цифр К-значного коду (всього n лічильників), генератор імпульсів, що вміщує прямий П, прямі затримані ПЗ1 і ПЗ2 виходи, дві групи CD-тригерів (перший та другий реєстри стану), комбінаційний двійковий суматор та реєстр результату стану, що утворюють у сукупності накопичувальний суматор НСМ, групу з n елементів I та групу з n елементів I-НІ, групу з n дешифраторів нуля, групу з n дешифраторів перевищення, групу з n кодових шифраторів CD, що на виході формують значення коду зменшене на значення другого кроку a (у разі рівняння або перевищення кроку a відповідним лічильником), формувач еквівалентів ФЕ, що складається з двох дешифраторів DC1 і DC2, шифратора CD, елемента АБО-НІ та n груп елементів АБО для паралельного запису розрядів коду зі входів перетворювача у розрядні лічильники СТ. Розряди двійково-К-значного коду числа для перетворення записуються через перші бітові входи груп елементів АБО у лічильники. Перетворення числа виконується за два етапи наступним чином. За допомогою дешифраторів нуля виконується аналіз значень старших розрядів на нуль, а також за допомогою дешифраторів перевищення виконується аналіз значень розрядів на рівняння або перевищення значення кроку a. Двійкові показники ненульових значень усіх розрядів з виходів дешифраторів ненульових значень записуються в перший реєстр стану, ненульові значення з дешифраторів перевищення усіх розрядів записуються в другий реєстр стану. Коли на першому етапі перетворення числа у якомусь розряді (у яких то розрядах) присутні ненульові значення з дешифраторів перевищення розрядів (в цих розрядах при перетворенні використовується крок a), то використання кроку 1 у цих розрядах забороняється нульовим сигналом з виходу елемента АБО-НІ, що подається на всі перші входи групи елементів I. За допомогою ФЕ двійковий код другої групи тригерів перетворюється в двійковий код еквіваленту, який по задньому фронту прямого затриманого імпульсу ПЗ2 додається до накопиченої суми еквівалентів у накопичувальному суматорі НСМ. На першому етапі перетворення потрібно] $(K-1)/a$ [тактів, де дужки] [означають округлення до меншого цілого, на другому етапі - $(a-1)$ такт. Таким чином, максимальна кількість кроків для перетворення двійково-К-значного коду у двійковий код не перевищує значення $N_2 = \lceil (K-1)/a \rceil + (a-1)$ (2). При $K=12$ та $a=2$ маємо $N_2=6$, а при $K=12$ та $a=4$ маємо $N_2=5$.

В основу корисної моделі поставлена задача підвищення швидкодії двокрокового перетворювача двійково-К-значного коду у двійковий код за рахунок використання паралельної стратегії трьох різних кроків перетворення у різних розрядах та нового схемного рішення.

Поставлена задача вирішується тим, що перетворювач двійково-К-значного коду в двійковий код, який містить (n-1) лічильник старших розрядів, один лічильник молодшого розряду, генератор імпульсів, що вміщує прямий вихід та перший і другий прямі затримані виходи, першу групу CD-тригерів, перший реєстр стану, для відображення ненульового стану відповідного розрядного лічильника, другу групу CD-тригерів, другий реєстр стану, для відображення рівняння або перевищення кроку a станом відповідного розрядного лічильника, комбінаційний двійковий суматор та реєстр результату, що утворюють у сукупності накопичувальний суматор НСМ, групу з n елементів I, групу з n елементів I-НІ, в кожному розряді дешифратор нуля, дешифратора рівняння або перевищення кроку a, в кожному розряді кодовий шифратор, що на виході формує значення коду зменшене на значення другого кроку a, у разі рівняння або перевищення кроку a відповідним лічильником, формувач еквівалентів ФЕ, що складається з першого і другого дешифраторів, шифратора, n груп елементів АБО для запису розрядів коду зі входів перетворювача у лічильники відповідних розрядів, причому другі входи кожної з n груп елементів АБО є інформаційними входами для запису значень відповідних розрядів, а перші входи кожної з n групи елементів АБО з'єднані з відповідними виходами відповідних кодових шифраторів, входи яких в кожному розряді з'єднані з відповідними виходами лічильника цього розряду, а також з відповідними входами дешифратора нуля і дешифратора перевищення цього розряду, виходи дешифраторів нуля з'єднані з відповідними інформаційними D-входами першої групи тригерів, а виходи дешифраторів перевищення з'єднані з відповідними інформаційними D-входами другої групи тригерів, входи синхронізації тригерів обох груп з'єднані з прямим виходом генератора імпульсів, прямі виходи тригерів першої групи з'єднані з відповідними першими входами елементів групи I, прямі виходи тригерів другої групи з'єднані з відповідними першими входами елементів групи I-НІ, треті входи елементів групи I і другі входи елементів групи I-НІ з'єднані з першим затриманим виходом генератора імпульсів, інверсні виходи елементів групи I з'єднані з входом віднімання -1 у лічильнику відповідного розряду, виходи переповнення усіх лічильників, за винятком самого найстаршого, з'єднані з входом +1 лічильника наступного розряду, входи +1

та -1 лічильника молодшого розряду є входами запису числа для перетворення у число-імпульсному кодї, інверсний вхід синхронізації другого дешифратора у формувачі еквівалентів з'єднано з землею, виходи першого дешифратора з'єднані з відповідними входами шифратора у формувачі еквівалентів, управляючий вхід накопичувального суматора з'єднаний з другим затриманим виходом генератора імпульсів, а виходи накопичувального суматора з'єднані з інформаційними виходами перетворювача коду, згідно з корисною моделлю, в перетворювач коду додатково введена третя група CD-тригерів стану, друга група елементів I, друга група елементів I-NI, в кожний розряд введено по другому дешифратору рівняння і перевищення кроку b, дві групи із n елементів I на входах першого і другого дешифраторів та третій дешифратор у формувачі еквівалентів, два додаткових (другий і третій) шифратори та два комбінаційних суматора, інверсні входи синхронізації першого і третього дешифраторів у формувачі еквівалентів з'єднані з землею, а інверсні виходи другого і третього дешифраторів з'єднані з відповідними входами другого і третього шифраторів, інверсні виходи яких з'єднані з відповідними входами першої і другої групи входів першого комбінаційного суматора у формувачі еквівалентів, виходи першого комбінаційного суматора з'єднані з відповідними входами другої групи входів другого комбінаційного суматора, перші входи якого з'єднані з відповідними виходами першого шифратора у формувачі еквівалентів, виходи другого комбінаційного суматора з'єднані з відповідними входами накопичувального суматора, виходи другого дешифратора рівняння і перевищення кроку b з'єднані з відповідними інформаційними D-входами третьої групи тригерів стану, входи синхронізації яких з'єднані з прямим виходом генератора імпульсів, прямі виходи тригерів стану третьої групи з'єднані з відповідними першими входами елементів I-NI другої групи, другі входи яких з'єднані з першим затриманим імпульсом генератора імпульсів, інверсні виходи елементів I-NI другої групи з'єднані з відповідними другими входами елементів I другої групи, виходи яких з'єднані з інверсним входом V у відповідному розрядному лічильнику, прямі виходи тригерів стану другої групи з'єднані з відповідними входами елементів NI першої групи, виходи з'єднані з відповідними другими входами елементів I першої групи, прямі виходи тригерів стану третьої групи з'єднані з відповідними входами елементів NI другої групи, виходи яких з'єднані з відповідними другими входами елементів I-NI першої групи, інверсні виходи яких з'єднані з відповідними першими входами елементів I другої групи, перші входи елементів I на входах першого дешифратора у формувачі еквівалентів з'єднані з відповідним прямим виходом тригера першого регістра стану, другі входи елементів I на входах першого дешифратора з'єднані з відповідним інверсним виходом тригера цього розряду, але другого регістра стану, виходи елементів I на входах першого дешифратора з'єднані з відповідним входом першого дешифратора, перші входи елементів I на входах другого дешифратора у формувачі еквівалентів з'єднані з відповідним прямим виходом тригера другого регістра стану, другі входи елементів I на входах другого дешифратора з'єднані з відповідним інверсним виходом тригера цього розряду, але третього регістра стану, виходи елементів I на входах другого дешифратора з'єднані з відповідним входом другого дешифратора.

Таким чином, завдяки введенню в перетворювач коду третьої групи тригерів стану, другої групи елементів I, другої групи елементів I-NI, двох груп із n елементів NI, в кожний розряд по другому дешифратору рівняння і перевищення кроку b, двох груп із n елементів I на входах першого і другого дешифраторів та третього дешифратора в формувачі еквівалентів, двох додаткових шифраторів (другого і третього), двох комбінаційних суматорів та новим зв'язкам створено перетворювач коду, що дозволяє за рахунок нового схемного рішення виконувати перетворення усіх розрядів, зокрема і молодшого, паралельно. Вибір оптимального значення кількості тактів перетворення N_2 згідно з формулою (2) $N_2 = \lceil (K-1)/b \rceil \cdot (b-1)/a \lceil (a-1) \rceil$, де дужки $\lceil \rceil$ означають вибір більшої складової, дає при $K=12$, $b=5$ та $a=2$ мінімальне значення $N_2=3$.

У таблиці 1 наведена послідовність перетворення цифр 12-річної системи числення, з якої витікає, що для цього достатньо всього 3 такти.

У таблиці 2 наведена послідовність перетворення числа $X=11,7,3,8$ із $K=12$ у $K=2$ при $b=5$ і $a=2$.

На кресленні зображена структурна схема перетворювача двійково-K-значного коду в двійковий код для узагальненої кількості розрядів $n=4$.

Перетворювач коду містить в кожному розряді лічильник 1 (СТ), генератор імпульсів 2, що вміщує прямий вихід (П), перший прямий затриманий (ПЗ1) і другий прямий затриманий (ПЗ2) виходи, групу з n CD-тригерів 3 для відображення ненульового стану кожного відповідного розрядного лічильника 1, групу з n CD-тригерів 4 для відображення рівняння або перевищення кроку a станом відповідного розрядного лічильника 1, групу з n CD-тригерів 5 для відображення рівняння або перевищення кроку b станом відповідного розрядного лічильника 1, комбінаційний

двійковий суматор 6 та регістр результату 7, що утворюють у сукупності накопичувальний суматор 8 (НСМ), виходи якого є виходами перетворювача коду, першу групу з n елементів I 9 та дві групи з n елементів I-II 10 і I-II 11, групу з n дешифраторів нуля 12, першу групу з n дешифраторів перевищення кроку a 13, другу групу з n дешифраторів перевищення кроку b 14, групу з n кодових шифраторів 15, дві групи інверторів 16 1 і 16 2 по n елементів II в кожній, другу групу з n елементів I 17, n груп елементів АБО 18, формувач еквівалентів 19 (ФЕ), що складається з першого, другого і третього дешифраторів з інверсними виходами 20 (DC1), (DC2), (DC3), трьох шифраторів 21 (CD1), (CD2), (CD3), двох комбінаційних суматорів 22 1 (SM1) і 22 2 (SM2) та двох груп із n елементів I в кожній 23 1 і 23 2.

Пристрій працює наступним чином. Розглянемо послідовність перетворення числа $X=x_3 \times 2x_1 \times x_0=11,7,3,8$ з $K=12$ у $K=2$ при $b=5$ і $a=2$. Після запису коду у лічильники 1 двійкові значення з дешифраторів нуля 12, першого 13 і другого 14 дешифраторів перевищення на кожному такті перетворення записуються у відповідні розряди тригерів групи 3 C3 C2 C1 C0, групи 4 D3 D2 D1 D0 та групи 5 E3 E2 E1 E0. Спочатку (на першому такті) перетворення числа виконується з кроком $b=5$ у 3,2 і 0 розрядах числа та з кроком $a=2$ у розряді 1 (стовбець 3 у Табл. 2). В результаті у суматорі одержимо десяткове число 9389. На другому такті перетворення числа в розрядах 3,2,1,0 застосовуються відповідно кроки 5,2,1,2. Значення коду еквівалентів, що видає на виході формувач еквівалентів ФЕ 19, залежить від кодів на входах дешифраторів DC3 21, DC2 21, DC1 21 та настройки шифраторів CD3 22., CD2 22, CD1 22. Загальний вигляд виразу на виході старшого дешифратора DC3 21 може змінюватися від $S(DC3)=0$ до $S(DC3)=bK^3+bK^2+bK^1+bK^0$.

Компонент $b \cdot K^i$ входить у повний вираз $S(DC3)$ у разі, коли $x_i \geq b$.

Аналогічно загальний вираз на виході середнього шифратора $S(DC2)$ може змінюватися від $S(DC2)=0$ до $S(DC2)=aK^3+aK^2+aK^1+aK^0$. Компонент $a \cdot K^i$ входить у повний вираз у разі, коли $a \leq x_i < b$. Вираз на виході молодшого шифратора $S(DC1)$ може змінюватися від $S(DC1)=0$ до $S(DC1)=K^3+K^2+K^1+K^0$.

Код еквіваленту на другому такті дорівнює 8942, а накопичена сума еквівалентів у кінці другого такту становить 18331.

Компонент K^i входить у повний вираз $S(DC1)$ у разі, коли $1 \leq x_i < a$.

З таблиці 2 витікають наступні конкретні вирази і коди на виходах DC3 21, DC2 21, DC1 21 та на виході ФЕ 19. На першому такті при $E3,E2,E1,E0=1101$ маємо $S(CD3)=bK^3+bK^2+bK^0=9375$, при $D3,D2,D1,D0=0010$ $S(CD2)=aK^1=24$. Внаслідок цього маємо такий десятковий код на виході суматора $SM1=9375+24=9389$. На другому такті при значенні коду третього регістра стану $E3,E2,E1,E0=1000$ маємо $S(CD3)=bK^3=8640$, при значенні коду другого регістра стану $D3,D2,D1,D0=1101$, $S(CD2)=aK^2+aK^0=288+2=290$ (значення $E3=1$ забороняє подачу третього біта D3 на вхід CD2). Аналогічно згідно з кодом першого регістра стану $C3,C2,C1,C0=1111$ і приведеними вище умовами маємо $S(CD1)=K^1=12$ і $(SM1+SM2)=8640+290+12=8942$. Третій імпульс з виходу генератора 2 формує згідно з значеннями коду третього регістра $E3,E2,E1,E0$ 0000, другого регістра $D3,D2,D1,D0$ 0000 та першого регістра $C3,C2,C1,C0$ 1001 формує десятковий еквівалент $S(CD1)=K^3+K^0=1728+1=1729$. В результаті в накопичувальному суматорі 8 одержимо десяткову суму еквівалентів, що дорівнює 20060, а на виходах суматора 8 двійковий код числа 100 1110 0101 1100. Кількість кроків перетворення не залежить від кількості розрядів коду n і дорівнює 3 тактам при $K=12$, $b=5$ та $a=2$.

Перед кожним наступним перетворенням необхідно обнулити регістр результату в суматорі та лічильники усіх розрядів. Запропонована корисна модель має достатньо високу швидкодію і може бути використана в пристроях діагностування і статистичної обробки інформації.

Таблиця 1

Номер такту N	Цифри системи числення 12. Кроки 5,2,1											
	11	10	9	8	7	6	5	4	3	2	1	0
0	11	10	9	8	7	6	5	4	3	2	1	0
1	6	5	4	3	2	1	0	2	1	0	0	0
2	1	0	2	1	0	0	0	0	0	0	0	0
3	0	0	0	0	0	0	0	0	0	0	0	0

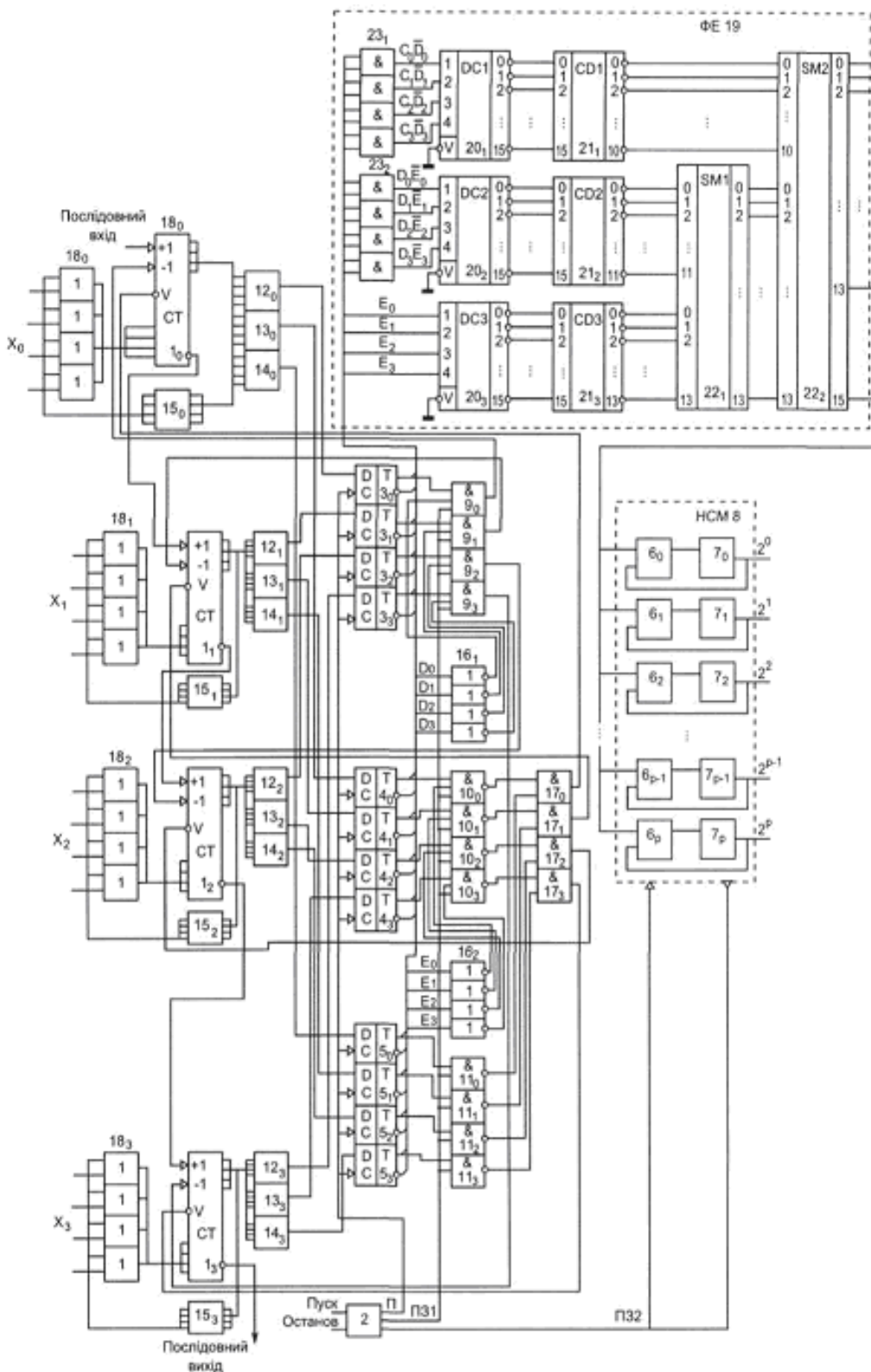
Послідовність перетворення числа $X=11,7,3,8$ із $K=12$ у $K=2$

Номер такту	Число	Кроки перетворення	Третій регістр	Другий регістр	Перший регістр	Десятковий код ФЕ	Десятковий код SM	Двійковий код суматора			
								$Y_{14}Y_{13}Y_{12}$	$Y_{11}Y_{10}Y_9$	$Y_7Y_6Y_5Y_4$	$Y_3Y_2Y_1Y_0$
N	$X_3 \times 2^{X_1} \times 0$	b, a, 1	$E_3E_2E_1E_0$	$D_3D_2D_1D_0$	$C_3C_2C_1C_0$	FE_{10}	SM_{10}	$Y_{14}Y_{13}Y_{12}$	$Y_{11}Y_{10}Y_9$	$Y_7Y_6Y_5Y_4$	$Y_3Y_2Y_1Y_0$
0	11,7,3,8	0000	0000	0000	0000	0000	0	000	0000	0000	0000
1	6,2,1,3	5525	1101	1111	1111	9389	9389	010	0100	1010	1101
2	1,0,0,1	5212	1000	1101	1111	8942	18331	100	1000	1001	1011
3	0,0,0,0	1001	0000	0000	1001	1729	20060	100	1110	0101	1100

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

5 Перетворювач двійково-K-значного коду в двійковий код, який містить n-1 лічильник старших розрядів, один лічильник молодшого розряду, генератор імпульсів, що вміщує прямий вихід та перший і другий прямі затримані виходи, першу групу CD-тригерів, перший регістр стану, для відображення ненульового стану відповідного розрядного лічильника, другу групу CD-тригерів, 10 другий регістр стану, для відображення рівняння або перевищення кроку a станом відповідного розрядного лічильника, комбінаційний двійковий суматор та регістр результату, що утворюють у сукупності накопичувальний суматор HCM, групу з n елементів I, групу з n елементів I-II, в кожному розряді дешифратор нуля, дешифратора рівняння або перевищення кроку a, в кожному розряді кодовий шифратор, що на виході формує значення коду, зменшене на 15 значення другого кроку a, у разі рівняння або перевищення кроку a відповідним лічильником, формувач еквівалентів ФЕ, що складається з першого і другого дешифраторів, шифратора, n груп елементів АБО для запису розрядів коду зі входів перетворювача у лічильники відповідних розрядів, причому другі входи кожної з n груп елементів АБО є інформаційними входами для запису значень відповідних розрядів, а перші входи кожної з n групи елементів АБО з'єднані з 20 відповідними виходами відповідних кодових шифраторів, входи яких в кожному розряді з'єднані з відповідними виходами лічильника цього розряду, а також з відповідними входами дешифратора нуля і дешифратора перевищення цього розряду, входи дешифраторів нуля з'єднані з відповідними інформаційними D-входами першої групи тригерів, а входи дешифраторів перевищення з'єднані з відповідними інформаційними D-входами другої групи 25 тригерів, входи синхронізації тригерів обох груп з'єднані з прямим виходом генератора імпульсів, прямі входи тригерів першої групи з'єднані з відповідними першими входами елементів групи I, прямі входи тригерів другої групи з'єднані з відповідними першими входами елементів групи I-II, треті входи елементів групи I і другі входи елементів групи I-II з'єднані з першим затриманим виходом генератора імпульсів, інверсні входи елементів групи I з'єднані з 30 входом віднімання -1 у лічильнику відповідного розряду, входи переповнення усіх лічильників, за винятком самого найстаршого, з'єднані з входом +1 лічильника наступного розряду, входи +1 та -1 лічильника молодшого розряду є входами запису числа для перетворення у число-імпульсному коді, інверсний вхід синхронізації другого дешифратора у формувачі еквівалентів з'єднано з землею, входи першого дешифратора з'єднані з відповідними входами шифратора 35 у формувачі еквівалентів, управляючий вхід накопичувального суматора з'єднаний з другим затриманим виходом генератора імпульсів, а входи накопичувального суматора з'єднані з інформаційними виходами перетворювача коду, який **відрізняється** тим, що в перетворювач коду додатково введена третя група CD-тригерів стану, друга група елементів I, друга група елементів I-II, в кожний розряд введено по другому дешифратору рівняння і перевищення 40 кроку b, дві групи із n елементів I на входах першого і другого дешифраторів і третій дешифратор у формувачі еквівалентів, два додаткових (другий і третій) шифратори та два комбінаційних суматори, інверсні входи синхронізації першого і третього дешифраторів у формувачі еквівалентів з'єднані з землею, а інверсні входи другого і третього дешифраторів з'єднані з відповідними входами другого і третього шифраторів, інверсні входи яких з'єднані з 45 відповідними входами першої і другої групи входів першого комбінаційного суматора у формувачі еквівалентів, входи першого комбінаційного суматора з'єднані з відповідними входами другої групи входів другого комбінаційного суматора, перші входи якого з'єднані з

відповідними виходами першого шифратора у формувачі еквівалентів, виходи другого комбінаційного суматора з'єднані з відповідними входами накопичувального суматора, виходи другого дешифратора рівняння і перевищення кроку b з'єднані з відповідними інформаційними D-входами третьої групи тригерів стану, входи синхронізації яких з'єднані з прямим виходом генератора імпульсів, прямі виходи тригерів стану третьої групи з'єднані з відповідними першими входами елементів I-НІ другої групи, другі входи яких з'єднані з першим затриманим імпульсом генератора імпульсів, інверсні виходи елементів I-НІ другої групи з'єднані з відповідними другими входами елементів I другої групи, виходи яких з'єднані з інверсним входом V у відповідному розрядному лічильнику, прямі виходи тригерів стану другої групи з'єднані з відповідними входами елементів НІ першої групи, виходи яких з'єднані з відповідними другими входами елементів I першої групи, прямі виходи тригерів стану третьої групи з'єднані з відповідними входами елементів НІ другої групи, виходи яких з'єднані з відповідними другими входами елементів I другої групи, перші входи елементів I на входах першого дешифратора у формувачі еквівалентів з'єднані з відповідним прямим виходом тригера першого регістра стану, другі входи елементів I на входах першого дешифратора з'єднані з відповідним інверсним виходом тригера цього розряду, але другого регістра стану, виходи елементів I на входах першого дешифратора з'єднані з відповідним входом цього дешифратора, перші входи елементів I на входах другого дешифратора у формувачі еквівалентів з'єднані з відповідним прямим виходом тригера другого регістра стану, другі входи елементів I на входах другого дешифратора з'єднані з відповідним інверсним виходом тригера цього розряду, але третього регістра стану, виходи елементів I на входах другого дешифратора з'єднані з відповідним входом другого дешифратора.



Комп'ютерна верстка О. Рябо

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601