

## ДОСЛІДЖЕННЯ РЕАЛІЗАЦІЇ КОНТРОЛЕРУ ШИНИ ІЗС МОВОЮ HDL НА ПЛІС

Сербський Г.О.

e-mail: hlib.serbskyi@nure.ua

Науковий керівник – к.т.н., асистент Волох А.В.

Харківський національний університет радіоелектроніки, каф. МТС  
м. Харків, Україна

The article discusses the implementation of a controller for the I3C bus, whose specification was developed by MIPI Alliance as an improved alternative to I2C. The key advantages of I3C are described, including increased data throughput, support for in-band interrupts, dynamic address assignment, and backward compatibility with I2C. Based on existing open-source solutions, a custom I3C Basic implementation for FPGA was developed and tested. The obtained results confirmed the feasibility of effectively using I3C Basic in embedded systems and the potential for developing open-source I3C controllers.

Шина ІЗС, специфікація якої розроблена MIPI Alliance, покликана забезпечити нові можливості для зв'язку між інтегральними схемами та іншими цифровими пристроями на короткі відстані всередині плати. Як і шина І2С, її попередник, вона забезпечує зв'язок між інтегральними схемами з використанням тільки двох ліній, що зменшує необхідну площу друкованої плати, в порівнянні з іншими послідовними інтерфейсами, такими як SPI. Також специфікація шини ІЗС вирішує проблеми свого попередника І2С з продуктивністю, збільшуючи пропускну здатність до 12,5 Мбіт/с у стандартному режимі SDR (Single Data Rate) та до 20 Мбіт/с в режимі HDR Double Data Rate (HDR-DDR). Крім того шина ІЗС, порівняно з попередником І2С, вводить: можливість внутрішньосмугових переривань по послідовній шині від підпорядкованих пристроїв, які не вимагають задіяння для цього окремих виводів; набір стандартизованих команд для обміну між контролером та підпорядкованим пристроєм; спосіб виявлення та контролю помилок в передачі даних; можливість динамічного призначення адрес для підпорядкованих пристроїв з підтримкою статичних адрес для сумісності з І2С. Останній пункт найбільш важливий в умовах зростаючої кількості периферійних пристроїв від різних постачальників, коли на одній послідовній шині можуть з'являтися різні пристрої з однаковими статичними адресами, що часто призводить до колізії під час передачі даних.

З появою специфікації для шини ІЗС, постачальники засобів електронного проектування, наприклад Synopsys, Silvaco, випустили платні контролери ІЗС, периферійні ІР-блоки та відповідне програмне забезпечення для можливості використання шини ІЗС в нових інтегральних схемах. Вони були реалізовані в декількох мікросхемах і процесорних систе-

мах NXP, ST і Texas Instruments. Безкоштовних ІР-ядер, які підтримують базову версію протоколу ІЗС, майже немає. Для подальшого розвитку і розширення практики застосування шини ІЗС, представляє інтерес розробка і тестування контролерів ІЗС з відкритим кодом для недорогих ПЛІС, навіть якщо такі контролери підтримуватимуть тільки безкоштовну базову версію специфікації ІЗС, характеристик якої достатньо для використання в більшості задач.

На основі інших відкритих реалізацій ІЗС Basic на мові HDL було створено та протестовано власну реалізацію. Розробка виконувалась в IDE AMD Vivado на мові Verilog. Симуляція виконувалась на базі ПЛІС сімейства Xilinx Artix-7. Для реалізації вихідних драйверів push-pull використовувались елементи IOBUF (OBUFT + IBUF), які реалізують двонаправлений тристабільний буфер. Для простоти не реалізовувалась сумісність на фізичному рівні з шиною І<sup>2</sup>С, тобто не виконувалась конфігурація для підтримки режиму підтягування (pull-up). Оскільки частота тактового сигналу ІЗС може бути різною і визначається периферійними пристроями, підключеними до шини, було забезпечено можливість зміни цієї частоти під час ініціалізації драйвера. За допомогою логічних регістрів було виконано реалізацію модуляції сигналу SCL, що дозволило програмно налаштувати тактовий сигнал, забезпечуючи робочі частоти 12,5 МГц, 6,25 МГц та 3,125 МГц. Було реалізовано частину стандартизованих команд. Зокрема реалізована процедура динамічного призначення адрес (DAA) та можливість обробки переривання від підпорядкованого пристрою за допомогою механізму внутрішньосмугового переривання (IBI).

Для перевірки розробленого проекту використовувались інструменти моделювання Vivado. Було перевірено можливість роботи драйверу ІЗС на максимально можливій швидкості SDR у 12,5 Мбіт/с, а також, з допомогою тестбенчів, проходження контролером тестових сценарії реалізованих стандартизованих команд. Реалізація протоколу ІЗС Basic на мові HDL дає можливість для подальшого дослідження можливості модифікації самого протоколу і забезпечує більшу гнучкість використання такої шини в проєктах для яких не підходять готові комерційні рішення.

#### Список використаних джерел:

1. MIPI ІЗС and ІЗС Basic: веб-сайт. – URL: [www.mipi.org/specifications/i3c-sensor-specification](http://www.mipi.org/specifications/i3c-sensor-specification). (дата звернення: 10.01.2025).
2. Mahale A., Kariyappa B.S. Architecture analysis and verification of ІЗС protocol. // 3rd ICECA. 2019. P. 930–935.
3. Krishnan Y., Bhakthavatchalu R. Design and Implementation of MIPI ІЗС master controller SubSystems. // 3rd CONIT. 2023. P. 1–6.