

АВТОМАТИЗАЦІЯ ПРОЕКТУВАННЯ АПАРАТНОГО БІТ-ПОТОКОВОГО ОБЧИСЛЮВАЧА СТЕПЕНЕВИХ ФУНКЦІЙ НА ПЛІС

Ларченко Б. Д., Шапа Л.С.

Науковий керівник – к.т.н, доц. Ларченко Л.В.

Харківський національний університет радіоелектроніки
(61166, Харків, пр. Науки, 14, каф. АПВТ, тел. (057) 702-13-26)
e-mail: liudmyla.shapa@nure.ua , факс (057) 702-13-26

The project uses the method of gradual approximation of function reproduction for creation structural, functional models and the flowchart of specialized calculator's algorithm. This model can be used to create a device that can be used in automatic control systems, information measuring systems.

Вступ. Функціональне перетворення біт-потоків даних широко застосовується в системах управління, моделювання, контролю, в інформаційно-вимірювальних системах та пристроях. При проведенні математичної обробки первинної інформації, що отримують з вимірювальних сенсорів, поряд з арифметичними, алгебраїчними та іншими операціями часто потрібне виконання різних нелінійних (функціональних) перетворень бітових потоків [1]. Для рішення задач цифрової обробки даних широко використовуються програмовані логічні інтегральні схеми, що дозволяє підвищити продуктивність обчислювального процесу, забезпечити можливість реконфігурації спеціалізованих архітектур комп'ютерних систем. Зміст дослідження. Метою дослідження є автоматизоване проектування на основі цифрового автомату апаратного біт-потокowego обчислювача степеневих функцій, його верифікація та імплементація в програмовану логічну інтегральну схему Xilinx Spartan.

В [2] представлено математичну модель обчислювача, на основі якої було розроблено структуру біт-потокowego обчислювача, де реалізується нерівність:

$$2^3 x_y^2 \geq (2y - 1)^3 \quad (1)$$

Апаратна реалізація здійснена за типом автомата Мура, що представлений керуючим і операційним автоматами. На рис. 1 наведено граф-схему алгоритму роботи пристрою. Модель працює за таким алгоритмом: при скиданні пристрою його регістри встановлюються в початкові значення, при надходженні чергового біту значення суматорів SUM_RES і CNT арифметичного блоку збільшується на значення CNT і 16 відповідно; якщо значення регістра SUM_RES невід'ємне, то на виході пристрою генерується вихідний біт, значення лічильника бітів count збільшується на 1, від значення регістра SUM_RES віднімається значення регістра SUM1, до значення регістрів SUM1 і SUM2, додаються значення регістра SUM2 і 48 відповідно; повторюється до тих пір, поки значення

регістра SUM_RES невід'ємне. Керуючий автомат описується графом переходів (рис. 2), що з використанням стандартних шаблонів коду, дало можливість розробити модель пристрою на мові опису апаратури VHDL.

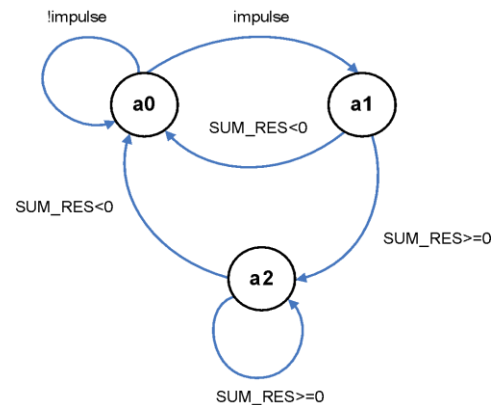
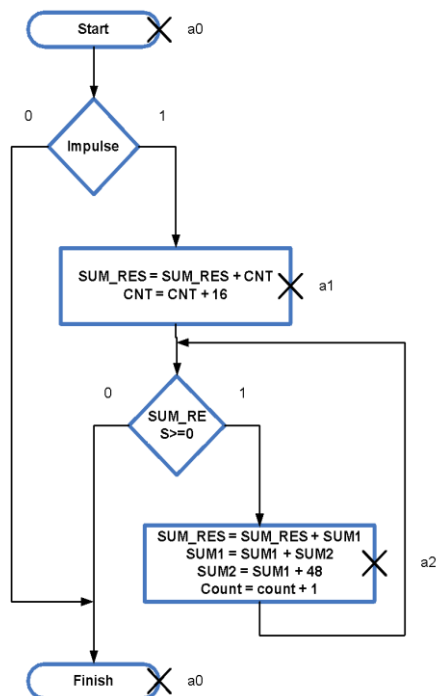


Рисунок 1 – ГСА роботи пристрою Рисунок 2 – Граф переходів автомату

Модель імплементована в ПЛІС сімейства Xilinx Spartan 3E серії XC3S500E. Для проведення моделювання використано середовище TestBench.

Висновки. В результаті проектування апаратного біт-потокowego обчислювача степеневих функцій була розроблена змістовна граф-схема алгоритму роботи пристрою і закодована для синтезу керуючого автомата Мура. Модель розроблено на МОА VHDL та імплементовано в ПЛІС Xilinx Spartan 3E. Результати моделювання збіглися з теоретичними розрахунками. Практична значимість розглянутого технічного рішення полягає в поліпшенні характеристик керуючих та інформаційно-вимірювальних систем реального часу, в яких може використовуватися даний апаратний біт-потокowy обчислювач.

Список використаних джерел:

1. Ларченко Л.В., Кулак Е.М., Ларченко Б.Д. Функціональне перетворення імпульсних потоків в апаратних обчислювачах математичних функцій // Радиоэлектроника и информатика. 2019. – с. 27 – 34.
2. Шапа Л.С. Специализированный модуль для воспроизведения степенных функций. // 23-й Міжнародний молодіжний форум «Радіоелектроніка та молодь у ХХІ столітті. 2019. – с. 51 – 52.