

Н.Я. КАКУРИН, А.Н. МАКАРЕНКО

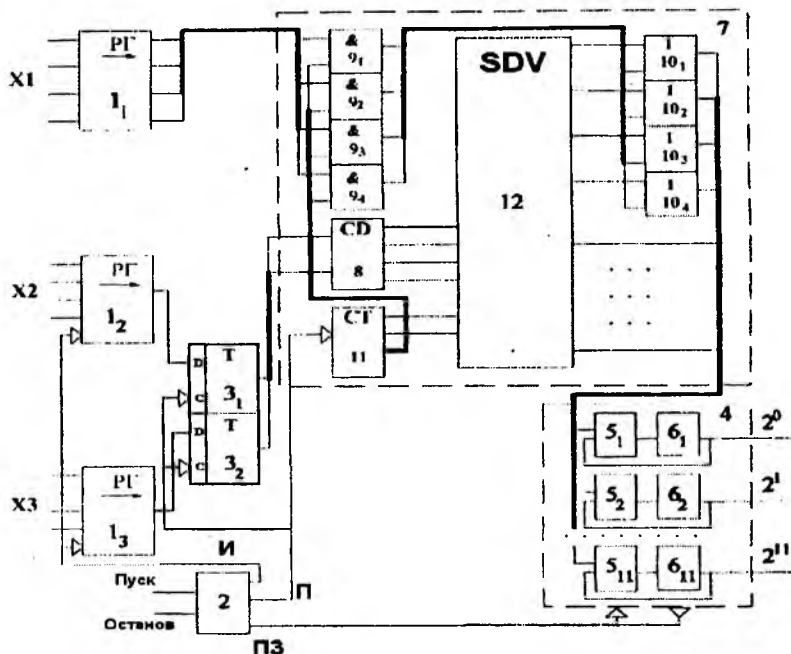
## ЧЕТЫРЕХШАГОВЫЙ ПРЕОБРАЗОВАТЕЛЬ КОДОВ НА РЕГИСТРАХ СДВИГА

В бионических исследованиях широко применяются различные цифровые модели [1]. Обработка результатов таких исследований, представленных обычно в десятичной системе счисления, в целях ускорения обработки выполняется на ЭВМ, функционирующих в двоичной системе счисления.

Поэтому зачастую необходимы специальные преобразователи цифровых кодов (ПК) из К-ичных систем счисления в двоичную. ПК входят в состав специальных быстродействующих вычислительных систем и ряд интерфейсов. Существующие ПК отличает недостаточно высокое быстродействие или повышенные аппаратурные затраты [2,3]. Рассмотрим структуру и функционирование оригинального 4-шагового ПК на регистрах сдвига, который имеет высокое быстродействие и малые аппаратурные затраты [4].

На рисунке приведена структурная схема ПК двоично-К-ичного кода целых чисел в двоичный код для  $K = 12$ ;  $k = n = 3$ . Для ПК целых чисел в формирователь эквивалентов (ФЭ) включены группы из четырех элементов И и четырех элементов ИЛИ ( $9_i$  и  $10_i$  соответственно), которые на заключительном этапе трансляции младшего разряда  $X_1$  обеспечивают его передачу на выходы ФЭ.

Преобразователь содержит группу из  $n$  разрядных регистров 1 сдвига (где  $n$  - разрядность входного кода), параллельные информационные входы которых являются входами преобразователя; генератор 2 импульсов, содержащий прямой П, инверсный И, прямой задержанный ПЗ выходы; группу из  $(n-1)$ -го триггера 3 состояния, при этом информационные входы  $i$ -го триггера 3 состояния ( $i = 1, n-1$ ) соединены с выходом первого бита  $(i+1)$ -го разрядного регистра 1, входы сдвига которых соединены с инверсным выходом генератора 2 импульсов; накапливающий сумматор 4, выполненный из комбинационного двоичного сумматора 5 и регистра 6 результата, выходы которого являются выходами преобразователя и соединены с соответствующими вторыми входами комбинационного двоичного сумматора 5, младшие первые входы которого являются младшими информационными входами накапливающего сумматора 4. Формирователь 7 эквивалентов состоит из шифратора 8, группы элементов И 9, группы элементов ИЛИ 10, суммирующего счетчика 11 импульсов с предустановкой и комбинационного сдвигателя 12, выполненного на комбинационных мультиплексах.



Структура преобразователя кодов на регистрах сдвига

Цепи инициирования и сброса на рисунке не приведены. Устройство работает следующим образом. Группа триггеров 3 состояния фиксирует значение первых бит соответствующих старших разрядных регистров 1.

Так как в конкретном случае  $n=3$ ,  $K=12$ , то диапазон изменения входного кода от 0 до  $(12^3 - 1) = 0 - 1727_{(10)}$ . Код состояний триггеров 3 может иметь четыре значения от 00 до 11.

В рассматриваемом преобразователе двоично- $K$ -ичного кода в двоичный код формирователь эквивалентов 7, выполненный в виде последовательного соединения шифратора 8, счетчика 11 с предустановкой и сдвигателя 12 реализует функцию (1)

$$S = \begin{cases} KС1 + K^2С2 & \text{при } j=1, \\ aKС1 + aK^2С2 & \text{при } j=2, \\ bKС1 + bK^2С2 & \text{при } j=3, \\ cKС1 + cK^2С2 & \text{при } j=4, \\ X1 & \text{при } j=5, \end{cases} \quad (1)$$

где  $a$  - параметр (второй шаг преобразования);  $b$  - параметр (третий шаг преобразования);  $c$  - параметр (четвертый шаг преобразования);  $X_1$  - младшая тетрада преобразуемого целого числа;  $K$  - основание системы счисления;  $j$  - номер такта сдвига. Формирователь эквивалентов 7 преобразует вначале в первом такте двоичный код  $C_1 C_2$  триггеров состояния, соответствующих значениям бита 1 старших разрядных регистров 1. Во втором такте преобразует со сдвигом влево на один разряд (в сторону старших двоичных разрядов) код  $C_1 C_2$  триггеров 3 состояния, соответствующих значениям бита 2 старших разрядных регистров 1. В третьем такте преобразует со сдвигом влево на два разряда код  $C_1 C_2$  триггеров 3 состояния, соответствующих значениям бита 4 старших разрядных регистров 1. В четвертом такте преобразует со сдвигом влево на три разряда код  $C_1 C_2$  триггеров 3 состояния, соответствующих значениям бита 8 старших разрядных регистров 1, и в пятом такте транслирует (передает без изменения) на выход формирователя 7 эквивалентов младшую тетраду  $X_1$  преобразуемого целого числа.

Рассмотрим работу устройства на следующем примере. Пусть требуется преобразовать входной 12-ичный код числа

$$A_0 = 1011\ 0110\ 1001_{(2-12)} = B69_{(12)} = 1665_{(10)};$$

Для определенности примем значения параметров  $a, b, c$  равными значениям весов второго, третьего и четвертого битов тетрады, т.е.  $a = 2, b = 4, c = 8$ .

Формирователь эквивалентов в данном случае реализует функцию (2)

$$S = \begin{cases} 12C_1 + 12^2C_2 & \text{при } j=1, \\ a12C_1 + a12^2C_2 & \text{при } j=2, \\ b12C_1 + b12^2C_2 & \text{при } j=3, \\ c12C_1 + c12^2C_2 & \text{при } j=4, \\ X_1 & \text{при } j=5, \end{cases} \quad (2)$$

где  $a, b, c$  - весовые коэффициенты соответствующих разрядов, а  $X_1$  - младшая тетрада преобразуемого целого числа. Преобразование двоичных кодов  $C_1 C_2$  триггеров 3 состояния соответствует таблице ( $K=12; a=2; b=4; c=8$ ).

В исходном состоянии регистр 6 результата обнулен, на прямом П и задержанном ПЗ выходах генератора 2 - низкий уровень; на инверсном И выходе генератора 2 - высокий уровень.

Запись информации в триггеры 3 состояния с первых (младших) выходов соответствующих старших разрядных регистров 1 сдвига производится перепадом 0 - 1, т.е. по переднему фронту импульсов с прямого выхода П генератора 2; сдвиг вправо в старших разрядных регистрах 1 также производится перепадом 0 - 1, т.е. по заднему фронту импульсов с

инверсного выхода И генератора 2. Первоначальное занесение параллельного двоично-12-ичного кода преобразуемого числа в разрядные регистры 1 и предустановка суммирующего счетчика 11 формирователя эквивалентов 7 в состояние  $100_2 = 4_{10}$  выполняется подачей нулевого сигнала на входы V разрядных регистров 1 сдвига и на вход параллельного занесения V счетчика 11. Запись информации в регистр результата производится перепадом 1 - 0 импульса с прямого задержанного выхода ПЗ генератора 2. С приходом переднего фронта первого положительного импульса с прямого выхода генератора 2 состояние суммирующего счетчика 11 по mod 5 изменится с  $100_2$  на  $000_2$ ; нулевой код триггеров 3 состояния изменится с C2 C1 = 0 0 на C2 C1 = 1 0.

| Такт | Триггеры состояния | Общий вид эквивалента | Десятичный код эквивалента | Левый сдвиг | Значение выходных разрядов Y <sub>i</sub> |
|------|--------------------|-----------------------|----------------------------|-------------|---|
| j    | C2 C1              | S                     | S <sub>10</sub>            | m           | 11-1                                      |
| 1    | 0 0                | 0                     | 0                          | 0           | 000 0000 0000                             |
|      | 0 1                | K                     | 12                         |             | 000 0000 1100                             |
|      | 1 0                | K <sup>2</sup>        | 144                        |             | 000 1001 0000                             |
|      | 1 1                | K <sup>2</sup> + K    | 156                        |             | 000 1001 1100                             |
| 2    | 0 0                | 0                     | 0                          | 1           | 000 0000 0000                             |
|      | 0 1                | aK                    | 24                         |             | 000 0001 1000                             |
|      | 1 0                | aK <sup>2</sup>       | 288                        |             | 001 0010 0000                             |
|      | 1 1                | aK <sup>2</sup> + aK  | 312                        |             | 001 0011 1000                             |
| 3    | 0 0                | 0                     | 0                          | 2           | 000 0000 0000                             |
|      | 0 1                | bK                    | 48                         |             | 000 0011 0000                             |
|      | 1 0                | bK <sup>2</sup>       | 576                        |             | 010 0100 0000                             |
|      | 1 1                | bK <sup>2</sup> + bK  | 624                        |             | 010 0111 0000                             |
| 4    | 0 0                | 0                     | 0                          | 3           | 000 0000 0000                             |
|      | 0 1                | cK                    | 96                         |             | 000 0110 0000                             |
|      | 1 0                | cK <sup>2</sup>       | 1152                       |             | 100 1000 0000                             |
|      | 1 1                | cK <sup>2</sup> + cK  | 1248                       |             | 100 1110 0000                             |
| 5    | 0 0                | X1                    | X1                         | 0           | Трансляция тетрады<br>X1                  |

Этот код C2 C1 = 1 0 поступает на входы ФЭ 7 и преобразуется в двоичный код числа 144 на выходе. Поступая с выхода ПЗ генератора 2, передний фронт первого положительного задержанного импульса ПЗ разрешит сложение чисел 0 и 144, а задний фронт этого же импульса произведет запись информации с выходов сумматора 5 в регистр 6 результата, установив на вторых суммирующих входах сумматора 5 двоичное значение числа 144.

С приходом заднего фронта первого отрицательного импульса с инверсного выхода И генератора 2, т.е. по перепаду 1 - 0 на входах синхронизации С старших разрядных регистров 1 произойдет сдвиг информации

в этих регистрах на один разряд, т.е. в регистрах 1 установится число  $A_1 = 0101\ 0011\ 1001$ .

С приходом переднего фронта второго положительного импульса с прямого выхода генератора 2 состояние суммирующего счетчика 11 изменится с 000 на 001, что приведет к сдвигу влево на один разряд выходного двоичного кода шифратора 8 с помощью сдвигателя 12 и к записи в триггеры 3 состояния кода  $C_2\ C_1 = 1\ 1$ . На выходах ФЭ 7 появится двоичный код числа 312. Передний фронт второго положительного задержанного импульса с выхода ПЗ генератора 2 разрешит сложение чисел 144 и 312, а задний фронт этого же импульса произведет перезапись результата суммирования с выходов сумматора 5 в регистр 6 результата, установив на вторых суммирующих входах сумматора 5 двоичное значение числа 456. Задний фронт второго отрицательного импульса установит в разрядных регистрах 1 сдвига число  $A_2 = 0010\ 0001\ 1001$ .

С приходом переднего фронта третьего положительного импульса с прямого выхода генератора 2 состояние суммирующего счетчика 11 изменится с 001 на 010, что приведет к сдвигу влево на два разряда выходного двоичного кода шифратора 8 с помощью сдвигателя 12 и к записи в триггеры 3 состояния кода  $C_2\ C_1 = 0\ 1$ . На входах ФЭ 7 появится двоичный код числа 48. Передний фронт третьего прямого задержанного импульса разрешит сложение чисел 456 и 48, а задний фронт этого же импульса произведет перезапись результата суммирования с выходов сумматора 5 в регистр 6 результата, установив на вторых суммирующих входах сумматора 5 двоичное значение числа 504. Задний фронт третьего отрицательного импульса установит в разрядных регистрах 1 сдвига число  $A_3 = 0001\ 0000\ 1001$ .

С приходом переднего фронта четвертого положительного импульса с прямого выхода генератора 2 состояние суммирующего счетчика 11 по под 5 изменится с 010 на 011, а код триггера 3 состояния-с  $C_2\ C_1 = 0\ 1$  на  $C_2\ C_1 = 1\ 0$ . Код  $C_2\ C_1 = 1\ 0$  поступает на входы ФЭ 7 и преобразуется в двоичный код числа 1152. Передний фронт четвертого прямого задержанного импульса с выхода ПЗ генератора 2 разрешит сложение чисел 1152 и 504, а задний фронт этого же импульса произведет перезапись результата суммирования в регистр 6 результата, установив на вторых суммирующих входах сумматора 5 двоичное значение числа 1656. Задний фронт четвертого импульса с выхода И генератора 2 установит в разрядных регистрах 1 сдвига число  $A_4 = 0000\ 0000\ 1001$ .

С приходом переднего фронта пятого положительного импульса с прямого выхода генератора 2 в счетчике 11 установится состояние 100, а код триггеров 3 состояния с  $C_2\ C_1 = 1\ 0$  изменится на  $C_2\ C_1 = 0\ 0$ . В этом случае ФЭ 7 транслирует двоичный код младшего разряда преобразуемого

числа  $X_1$  с регистра 1 на соответствующие четыре первых суммирующих входа сумматора 5. Передний фронт пятого задержанного импульса разрешит сложение чисел 1656 и 9, а задний фронт этого же импульса установит двоичный код числа 1665 на выходах устройства. На этом процесс преобразования заканчивается. Перед каждым следующим преобразованием необходимо обнулить регистр 6 результата и выполнить запись преобразуемого двоично-12-ичного числа в регистры 1 сдвига.

Заметим, что быстродействие ПК не зависит от разрядности преобразуемого кода и для 10-ичной и 12-ичной системы счисления не превышает пяти тактов. Анализ разных структурных решений ПК с различным числом шагов преобразования с позиций теории автоматов позволяет сделать вывод, что организация четырехшагового ПК с последовательным использованием шагов преобразования на регистрах сдвига соответствует структуре операционного автомата типа М, синтезируемого на основе принципа обобществления комбинационных схем, что позволяет существенно снизить аппаратные затраты.

В ПК дробных чисел из ФЭ исключают группы схем И 9 и ИЛИ 10. Преобразование числа выполняют не за пять, а за четыре такта. Предустановка счетчика 11 должна в этом случае осуществляться на состояние 3, а не на 4.

**Список литературы:** 1. *Маленченко З.Ю., Шабанов-Кушнарченко Ю.П.* О бионических частотно-импульсных цифровых моделях //Пробл. бионики, 1984. Вып.32. С.3-6. 2. А.с. 1126946 G06F. Преобразователь двоично-К-ичного кода в двоичный код /А.И. Слобожанин //Открыт. Изобрет. 1984. №44. С.250. 3. А.с. 1647908 H03M 7/12. Преобразователь двоично-К-ичного кода в двоичный код /Н.Я. Какурин, Ю.К. Кирьяков, А.Н. Макаренко //Открыт. Изобрет. 1991. №17. С.262-263. 4. Патент України на винахід 24674А H03M 7/12. Перетворювач двійково-К-значного коду у двійковий код /М.Я. Какурін, Г.М. Макаренко, Ю.В. Лопухін, Я.Ю. Лопухін, Л.К. Штець //Промислова власність. 1998. №3. С. 476.

Поступила в редколлегию 18.11.98