

АСИНХРОННОЕ СРАВНЕНИЕ M ЧИСЕЛ, СОДЕРЖАЩИХ N РАЗРЯДОВ

КЛИМУШЕВ В.Б., СИНЕЛЬНИКОВА Т.Ф.

Предлагается принцип действия и структурная схема асинхронного устройства сравнения m чисел, содержащих n разрядов. Устройство состоит из n блоков сравнения, блока ускорения переносов, блока ускорения результата, блока выделения результата и регистра его адреса.

Алгоритмы слежения и распознавания образов, основанные на вычислении корреляционной

функции вида $s_1 = \sum_{j=1}^k \left| A_{1j} - \varepsilon_j \right|$, в конечном

итоге сводятся к сравнению ряда чисел между собой [1,2] для последующего выделения координаты объекта. Основное требование к аппаратной реализации подобных алгоритмов — это повышенное быстродействие.

Известные устройства, используемые для сравнения чисел, например [3], не обладают достаточным быстродействием.

В статье предлагается принцип действия асинхронного устройства сравнения m чисел, содержащих n разрядов, обладающего повышенным быстродействием с точки зрения структурных характеристик, т.е. таким, которое возможно увеличивать только меняя элементную базу конкретной технической реализации устройства на более совершенную, а не путем структурных изменений.

На рис.1 представлена структурная схема устройства, на рис.2-5 — функциональные схемы возможной реализации блоков устройства.

Устройство содержит n блоков: 1 — сравнения, 2 — ускорения переносов, 3 — ускорения результата, 4 — выделения результата и 5 — регистр позиционного кода адреса результата.

Блок 1 сравнения (рис.2) содержит m двухвходовых элементов И8, m — входовой элемент ИЛИ9, элемент НЕ10, m двухвходовых элементов ИЛИ11 и m многовыходных элементов ИЛИ12. При этом входы элементов И8 соединены с шинами 7,13 и 6, выходы элементов ИЛИ11 — с линиями шины 15, а входы элементов ИЛИ12 — с шинами 14 и 16.

Блок 2 ускорения переносов содержит P секции

переноса $\left(P = 1, 2, \dots, \sum_{\alpha=1}^{n-1} \alpha \right)$. Секция переноса

(рис.3) содержит m, (l+1) — входных элементов И17, где $l=k-i+1$, i — номер первого в группе переноса блока сравнения, k — номер последнего

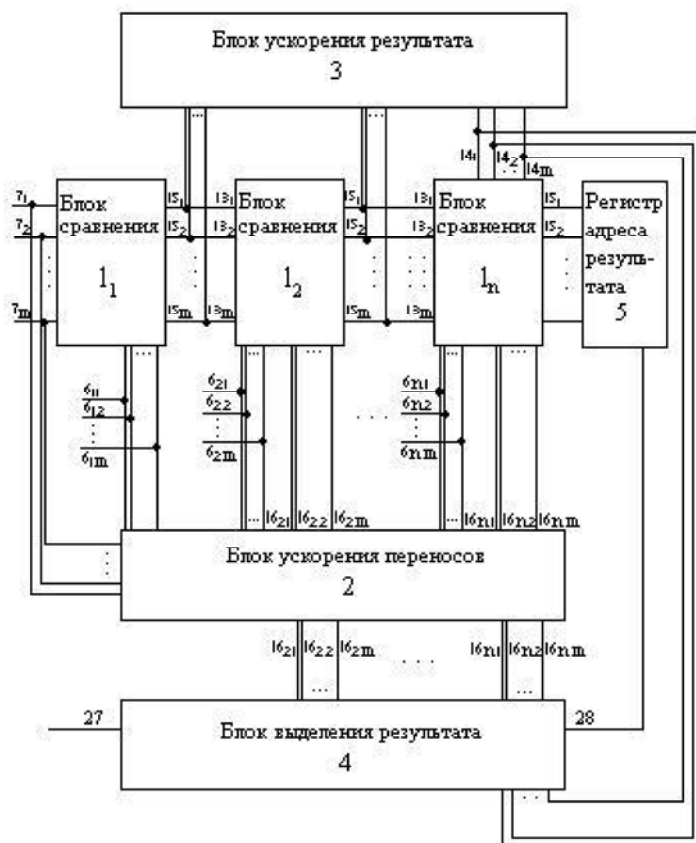


Рис.1

в группе переноса блока сравнения, т.е. l — количество блоков сравнения в группе переноса, причем l входов каждого элемента соединены с соответствующими шинами 6, на которые поступают сравниваемые числа, (l+1) — входы каждого элемента И17 соединены с соответствующими

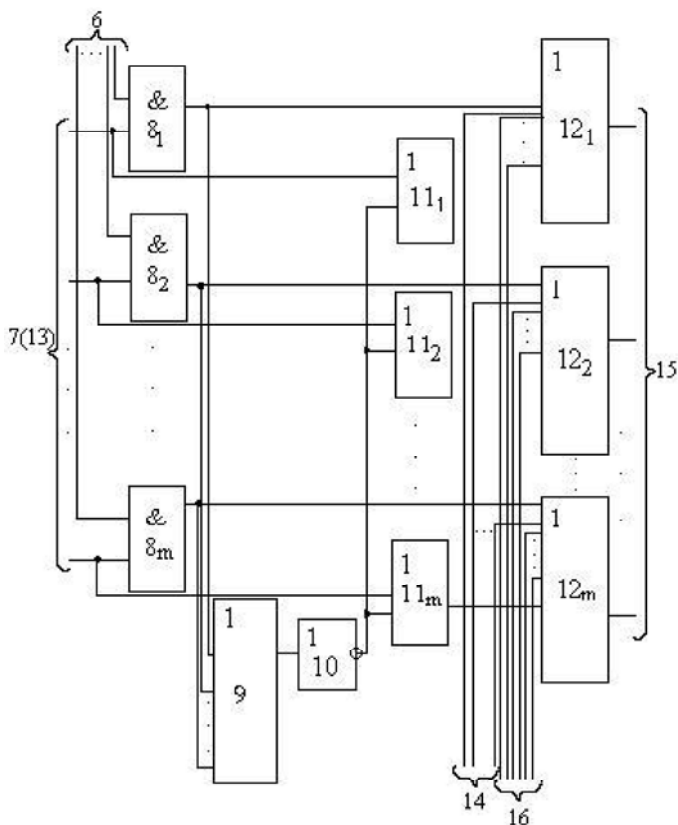


Рис.2

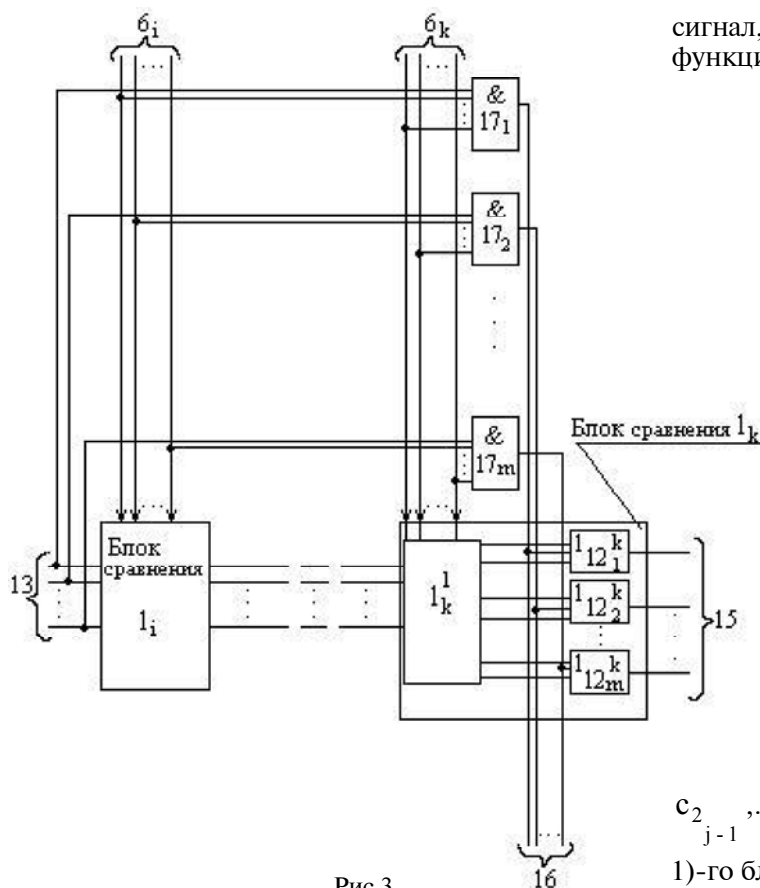


Рис.3

шинами 13 первого в группе переноса 1_i , а их выходы соединены с соответствующими линиями шины 16 и через неё с элементами ИЛИ12 блока сравнения 1_k .

Блок 3 ускорения результата состоит из r секций ($r = 1, 2, \dots, n-1$). Секция блока ускорения результата (рис.4) содержит m , $(m-1)$ входных элементов ИЛИ-НЕ18 и столько же двухвходовых ИИ9, выходы которых соединены с линиями шины 14 и далее через элементы ИЛИ12 последнего блока сравнения 1_n с входом регистра результата. Кроме того, через линии шины 14 они соединены с блоком выделения результата. Входы элементов ИЛИ-НЕ18 и один из входов элементов ИИ9 соединены с линиями шины 15.

Блок 4 выделения результата (рис.5) содержит входную шину 27, n линий задержки 20, $(n-1)$ ускоряющих элементов ИЛИ21, выходной элемент ИЛИ22 и схему формирования момента времени записи 26, состоящую из линии задержки 24, подавляющего триггера 25 и гасящего элемента И23, выход которого соединен через шину 28 с разрешающим входом регистра адреса результата.

Устройство работает следующим образом: m , n -разрядных сравниваемых чисел поступают на шины 6, к которым подключены первые входы блоков сравнения, старшие разряды поступают на первый блок сравнения, на выходе j -го блока формируется

сигнал, реализующий следующую систему булевых функций:

$$\begin{cases} c_{1j} = a_{1j} c_{1j-1} \vee c_{1j-1} \left(\bigvee_{i=1}^m a_{ij} c_{ij-1} \right) \\ c_{2j} = a_{2j} c_{2j-1} \vee c_{2j-1} \left(\bigvee_{i=1}^m a_{ij} c_{ij-1} \right) \\ \dots \\ c_{mj} = a_{mj} c_{mj-1} \vee c_{mj-1} \left(\bigvee_{i=1}^m a_{ij} c_{ij-1} \right), \end{cases}$$

где $c_{1j}, c_{2j}, \dots, c_{mj}$ — сигналы, поступающие с выхода данного j -го блока сравнения, шина 15 (рис.2); $a_{1j}, a_{2j}, \dots, a_{mj}$ — сигналы, соответствующие значениям j -го разряда m сравниваемых чисел, шина 6, $c_{1j-1}, c_{2j-1}, \dots, c_{mj-1}$ — сигналы на линиях шины 15 (j -1)-го блока сравнения (для 1-го блока сравнения они соответствуют линиям шины 7 и равны единице).

На все входные линии 7 1-го блока сравнения подаются логические единицы. При прохождении через блок сравнения единицы остаются только на выходных линиях, соответствующих входным числам, которые по величине не меньше остальных.

Последовательное соединение таких n блоков позволяет составить подаваемым числовым значениям сравниваемых величин позиционный код адреса результата, содержащий единицы в разрядах, соответствующих числовым значениям входных величин не меньших остальных. Таким образом, на выходе блока сравнения появляется позиционный код адреса числа или группы равных чисел, которые по величине больше других сравниваемых чисел.

Работа блока ускорения переносов происходит следующим образом: если α_β число содержит единицы в k соседних разрядах ($k=2, 3, \dots, n$, где k — число объединяемых блоком ускорения переносов блоков сравнения), то на β -ю линию выходной шины 15 (рис.3) k -го блока сравнения будет подана единица, что исключит из переноса k -блоков сравнения, т.е. ускорит процесс сравнения

на $k\tau_{cp}$, где τ_{cp} — время установления переходных процессов блока сравнения. Если значения сравниваемых чисел обозначить a_i (входы 6 на рис.3), где $j=1, 2, \dots, m$; $i=1, 2, \dots, k-1$, значения, поступающие на вход блока ускорения переносов, — c_{ji} (входы 13), а снимаемые с выхода блока —

16), то блок ускорения переносов реализует следующую систему булевых функций:

[illegible]

Блок ускорения результата (рис.4) работает следующим образом: если на выходах i -го блока сравнения оказывается только одна единица, то в соответствующий разряд регистра адреса результата будет занесена единица и дальнейшая работа устройства прекратится до начала следующего цикла. Если выходы i -го блока сравнения формируют переменные $c_1, c_2, \dots, c_{m_i}$, то на выходах блока ускорения результата (шина 14 на рис.4) будут сформированы переменные $d_1, d_2, \dots, d_{m_n}$, реализующие следующую систему булевых функций:

$$\left\{ \begin{array}{l} d_{1_n} = c_{I_i} c_{2_i} \vee c_{3_i} \vee \dots \vee c_{m_i} \\ d_{2_n} = c_{2_i} c_{I_i} \vee c_{3_i} \vee \dots \vee c_{m_i} \\ \vdots \\ d_{m_n} = c_{m_i} c_{I_i} \vee c_{2_i} \vee \dots \vee c_{m-i} \end{array} \right.$$

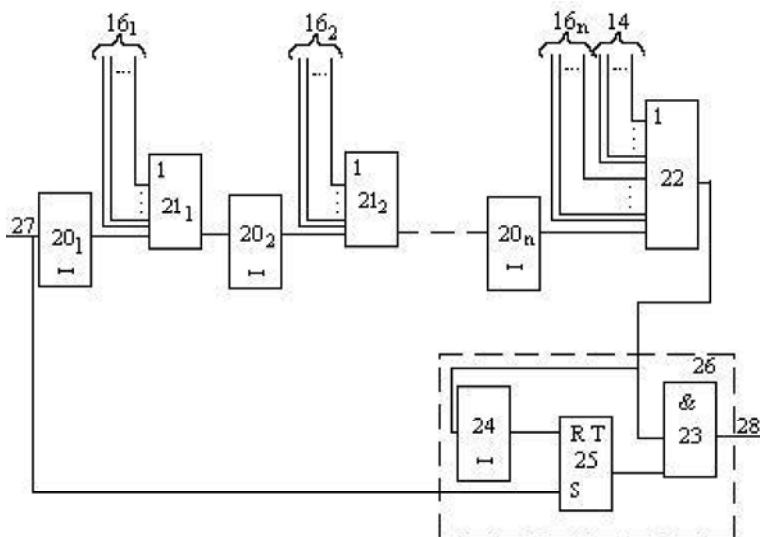


Рис. 5

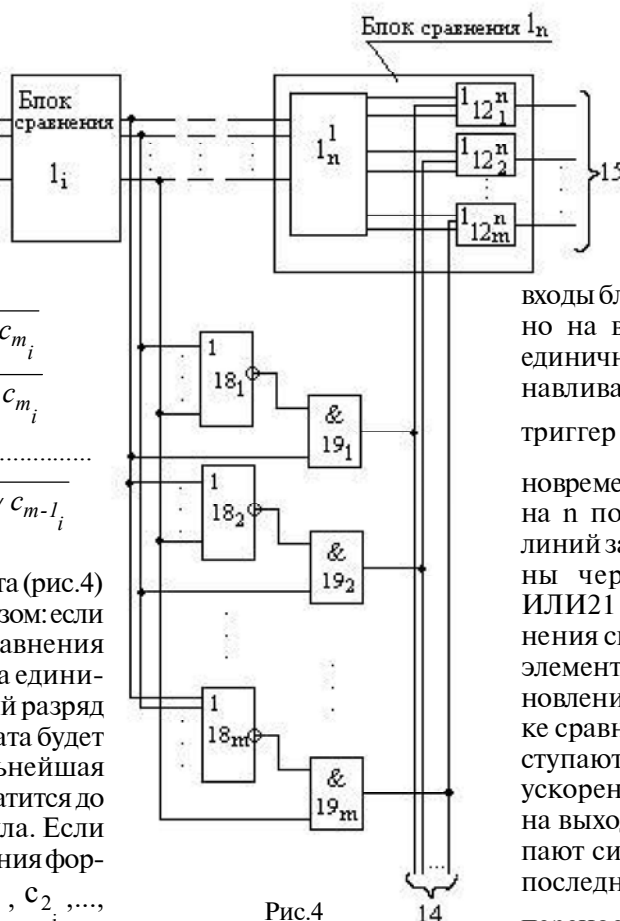


Рис.4

Для индикации окончания процесса сравнения и осуществления записи в регистр адреса результата в схему введен блок выделения результата (рис.5), который работает следующим образом: при поступлении m, n — разрядных сравниваемых чисел на входы блоков сравнения, одновременно на входную шину 27 поступает единичный потенциал, который устанавливает в единицу подавляющий триггер 25 (момент t_1 на рис.7). Одновременно этот потенциал поступает на n последовательно соединенных линий задержки 20, которые соединены через ускоряющие элементы ИЛИ21 (время задержки распространения сигнала в линии задержки 20 и элементе ИЛИ21 равно времени установления переходного процесса в блоке сравнения), на входы которых поступают сигналы с выходов блока ускорения переносов через шины 16, на выходной элемент ИЛИ22 поступают сигналы с n -й линии задержки последнего выхода блока ускорения переносов (входы 16_n) и с выходов

блока ускорения результата шина 14.

Единичный потенциал на выходе элемента ИЛИ22 появляется в момент окончания цикла сравнения (момент t_2 на рис.7). Выход выходного элемента ИЛИ22 соединен через линию задержки 24, необходимую для формирования момента времени записи в регистр 5, со вторым входом подавляющего триггера 25 и с соответствующим входом двухвходового гасящего элемента И23. Единичный потенциал с выхода элемента ИЛИ22 проходит через гасящий элемент И23 на разрешающий вход регистра адреса результата в течение времени, равного времени задержки линии 24. После этого триггер устанавливается в состояние “0” (момент t_3 на рис.7), подавляя запись в регистр до тех пор, пока не поступит очередной сигнал на вход 27. Временная диаграмма работы схемы формирования момента времени записи, иллюстрирующая рассмотренный процесс, показана на рис.7.

Работу блока ускорения переносов можно объяснить на примере. Пусть даны два четырехразрядных числа:

$$a_1 = 1100, \quad a_2 = 1110.$$

Для сравнения этих чисел необходимо устройство, представленное на рис.6 (блок ускорения результата, блок выделения результата и регистр адреса результата не

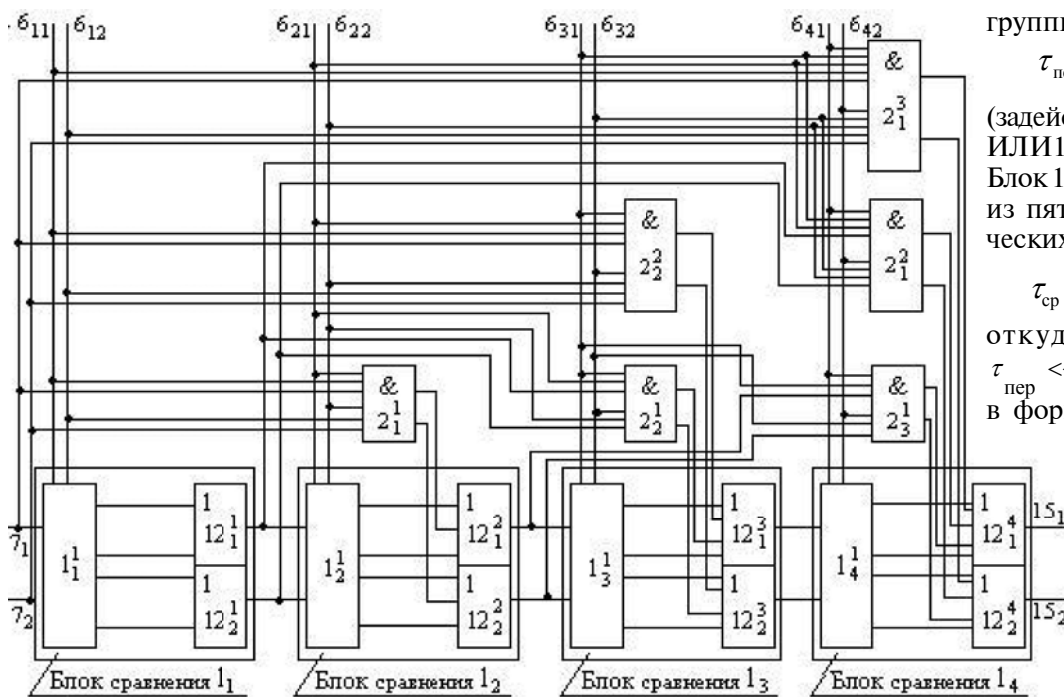


Рис. 6

группы элементов И, то

$$\tau_{\text{пер}} = \tau_{\text{И}} + \tau_{\text{ИЛИ}}$$

(задействованы элементы ИЛИ12 блока 1 рис.3). Блок 1 сравнения состоит из пяти ступеней логических элементов:

$$\tau_{\text{ср}} = 2\tau_{\text{И}} + 2\tau_{\text{ИЛИ}} + \tau_{\text{НЕ}}$$

откуда видно, что $\tau_{\text{пер}} \ll \tau_{\text{ср}}$. Кроме того, в формулах $\tau_{\text{пер}}$ заме-

няет $2\tau_{\text{ср}}$ (в случае a_1) и $3\tau_{\text{ср}}$ (в случае a_2). Если учесть все перечисленные выше соотношения, а также то, что в данной ситуации

блок 1^1_4 работать не будет, так как на выходе блока

показаны). Оно содержит четыре блока 1 сравнения и шесть блоков 2 ускорения переносов, причем три

блока 2^1 ускорения переносов охватывают по два

блока 1 сравнения, два блока 2^2 ускорения переносов по три блока 1 сравнения и, наконец, блок

2^3 ускорения переносов охватывает все четыре блока 1 сравнения, т. е. шесть блоков 2 ускорения переносов образуют пирамидальную схему ускорения переносов. В данном примере будет задействован блок 2^1_1 и блок 2^2_1 . Пусть $\tau_{\text{ср}}$ — время

сравнения блока 1. Тогда время сравнения чисел будет равно:

$$t_{\text{макс}}^1 = 4\tau_{\text{ср}}.$$

Пусть $\tau_{\text{пер}}$ — время срабатывания блока 2 ускорения переносов. Тогда время сравнения чисел будет равно:

$$t_{\text{макс}}^2 = \tau_{\text{пер}} + 2\tau_{\text{ср}}$$

для числа a_1 и

$$t_{\text{макс}}^3 = \tau_{\text{пер}} + \tau_{\text{ср}}$$

для числа a_2 . Так как блок 2 ускорения переносов состоит из одной

1_3 $c_1 = 0$, $c_2 = 1$, т.е. сигнал со второго выхода через блок 3 ускорения результата поступит через выходные элементы 12 последнего блока сравнения

1 на регистр 5 адреса результата, то $t_{\text{макс}} = \tau_{\text{пер}} + \tau_{\text{ур}}$.

Здесь $\tau_{\text{ур}}$ — время срабатывания блока 3 ускорения результата.

Из проведенного анализа видно, что предлагаемое устройство дает возможность производить сравнение m , n -разрядных чисел за минимально возможное время.

Преимущество предложенного устройства — это параллельное сравнение всех чисел сразу, а не по парное, как это принято в программных реализациях, что позволяет аппаратно реализовывать новые операции структурной математики.

Литература: 1. Гороховатский В.А. Двухуровневый подход при нормализации изображений // АСУ и приборы автоматики. 1986. Вып. 77. С. 73-78. 2. Гиренко А.В., Кочергин П.А., Ляшенко В.В., Маишталир В.П., Путятин Е.П., Рыжиков В.Д. Методы корреляционного обнаружения объектов. АО "Бизнес Информ", Харьков. 1996. С. 17. 3. Самойленко А.П., Скубилин М.Д. Устройство для поиска экстремальных значений. Авт. свид. СССР №525083. М.Кл. G 06 F 7/06, 1976.

Поступила в редколлегия 06.07.2000

Рецензент: д-р техн. наук, проф. Сироджа И.Б.

Климушев Виктор Борисович, старший преподаватель кафедры информатики ХТУРЭ. Научные интересы: программное обеспечение и синтез структур параллельных вычислительных систем. Адрес: Украина, 61166, Харьков, ул. Космическая, 11, кв. 29, 40-94-19.

Синельникова Татьяна Федоровна, ассистент кафедры информатики ХТУРЭ. Научные интересы: программное обеспечение и синтез структур параллельных вычислительных систем. Адрес: Украина, 61166, Харьков, пр. 50 лет ВЛКСМ, 32/186, кв. 36, тел. 40-94-19.