

МЕТОДИКА СИНТЕЗА ОДНОТАКОВОГО ПАРАЛЛЕЛЬНОГО СИГНАТУРНОГО АНАЛИЗАТОРА

Сигнатурный анализ является одним из наиболее широко применяемых в настоящее время методов компактного тестирования. Его сущность заключается в представлении данных цифровых реакций контролируемых схем в виде коротких и ключевых слов-сигнатур.

Проблема анализа многовыходных цифровых схем в процессе их тестирования заключается в определении возникновения неисправности схемы по ее выходным состояниям. Отличительной особенностью подобного анализа есть необходимость исследования достаточно небольшого количества выходных состояний. Поэтому использование традиционных методов тестирования, применяемых для одновыходных цифровых схем, в данном случае не позволяет получить желаемого эффекта. Действительно, попытка провести анализ n -выходной цифровой схемы одноканальным сигнатурным анализатором (СА) [1] (рис. 1)

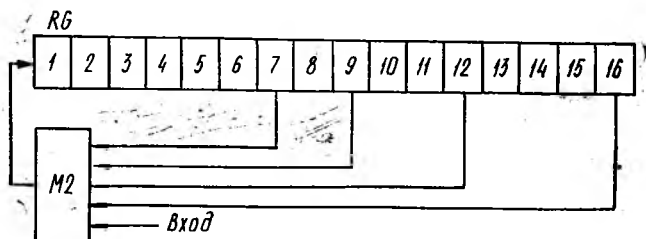


Рис. 1

приводит к увеличению в n раз времени, необходимого для анализ схемы или оборудования, требуемого для реализации подобного сигнатурного анализатора [2]. Поэтому в последнее время для диагностики многовыходных устройств используются многоканальные сигнатурные анализаторы (МСА) [3; 4].

Рассмотрим методику построения МСА, позволяющих за один такт сжатия n -разрядной входной последовательности получить такой же результат, что и в одноканальном СА. В качестве образующего полинома используем порождающий многочлен $P(x) = x^{16} + x^{12} + x^9 + x^7 + 1$, выбранный фирмой Хьюлетт — Паккард при создании сигнатурных анализаторов. Однако установлено, что среди полиномов 16-й степени полином вида $P(x) = x^{16} + x^{12} + x^9 + x^6 + 1$, обладавая такими же характеристиками [5], что и описанный в работе [1], позволяет значительно упростить разрабатываемое устройство.

Поставленная цель достигается тем, что для синтеза СА параллельного действия, выполняющих те же функции, что и анализаторы последовательного действия, в отличие от способа [3], используют спо-

соб, основанный на формировании переходной и проверочной матриц [6].

Обозначим предыдущее состояние j -го элемента b_j , а последующее — b'_j . Тогда предыдущее состояние регистра, включающего 16 элементов, будет $B = |b_1 b_2 \dots b_{16}|$, последующее состояние $B' = |b'_1 b'_2 \dots b'_{16}|$.

Состояние каждого триггера регистра зависит от состояния других триггеров в соответствии с выражением

$$b'_j = a_1 b_1 \oplus a_2 b_2 \oplus \dots \oplus a_j b_j \oplus \dots \oplus a_{16} b_{16}, \quad (1)$$

где $a_j = 1$ — при наличии соединения с выходом j -го триггера; 0 — при отсутствии соединения с выходом j -го триггера.

Для регистра, представленного на рис. 1, каждое новое состояние триггеров определяется по формулам

$$\begin{aligned} b'_1 &= b_7 \oplus b_9 + b_{12} \oplus b_{16}; \\ b'_2 &= b_1; \\ b'_3 &= b_2; \\ b'_4 &= b_3; \\ &\dots \dots \dots \dots \dots \dots \dots \\ b'_{16} &= b_{15}. \end{aligned}$$

Такую взаимосвязь триггеров можно описать в виде матрицы

$$S = \begin{bmatrix} a_{11} & a_{12} & \dots & a_{16} \\ a_{21} & a_{22} & \dots & a_{216} \\ \vdots & & & \\ a_{161} & a_{162} & \dots & a_{1616} \end{bmatrix},$$

в которой элементы j -й строки характеризуют связь j -го триггера с другими триггерами регистра. Тогда для приведенной на рис. 1 схемы матрица S примет вид

$$S = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \end{bmatrix}. \quad (2)$$

Вектор последующего состояния регистра можно определить из выражения $B'_k = S B^T_{k-1}$, где T — символ транспонирования; k — текущий номер такта.

Тогда можно записать

$$B_2^T = SB_1^T; B_3^T = SB_2^T = S^2B_1^T.$$

В результате через k тактов получим $B_k^T = S^{k-1}B_1^T$ (3). Поскольку матрица S характеризует изменение состояния регистра от такта к такту, назовем ее матрицей перехода.

Предположим, что на вход регистра поступает один разряд кодовой комбинации $\alpha_1 = \{1/0\}$, принимающий значение 0 или 1. Поскольку запись производится в первый триггер регистра, то его состояние может быть записано в виде вектора

$$b_1 = \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \end{bmatrix} \alpha_1.$$

В соответствии с (3) после k тактов сдвига состояние регистра будет определяться по формуле

$$B_k^T = S^{k-1}h_1\alpha_1. \quad (4)$$

Если на вход регистра поступает последовательность разрядов, причем разряд n поступает первым, то вследствие линейности операций, выполняемых в регистре, будет справедливо выражение

$$B_n^T = (I\alpha_1 \oplus S\alpha_2 \oplus \dots \oplus S^{k-1}\alpha_k \oplus \dots \oplus S^{n-1}\alpha_n) h_1, \quad (5)$$

где I — единичная матрица; n — длина кодовой комбинации.

Выражение (5) можно записать как

$$B_n^T = |h_1 h_2 \dots h_n| \begin{bmatrix} \alpha_1 \\ \alpha_2 \\ \vdots \\ \alpha_n \end{bmatrix} = H \begin{bmatrix} \alpha_1 \\ \alpha_2 \\ \vdots \\ \alpha_n \end{bmatrix}, \quad (6)$$

где $h_k = S^{k-1}h_1$; H — проверочная матрица.

Проверочная матрица H зависит от длины вводимой последовательности, например, для $n = 20$ она будет иметь вид

$$H = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 \end{bmatrix}$$

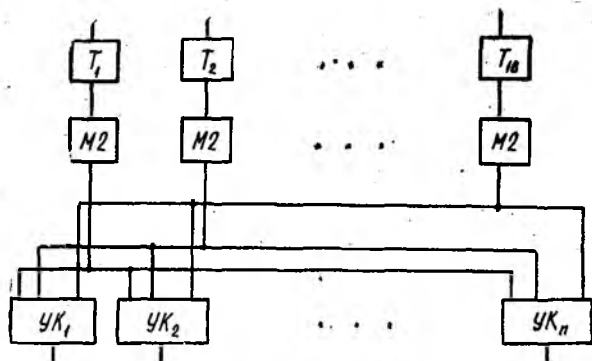


Рис. 2

Выражения (5) и (6) описывают работу сигнатурного анализатора [3]. Для синтеза параллельного сигнатурного анализатора, выполняющего те же функции, что и в работе [3], при контроле тестовой последовательности фиксированной длины (длины n) необходимо задать

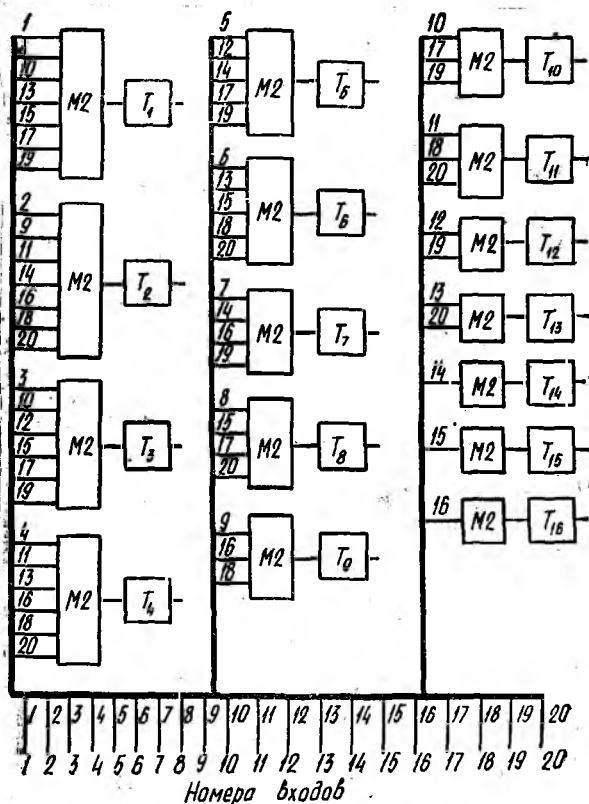


Рис. 3

матрицу перехода (2), на основе которой сформировать проверочную матрицу H (7).

На рис. 2 представлена схема устройства для параллельного сигнатурного анализа двоичной последовательности длиной n , синтезированного на основе матрицы перехода S и проверочной матрицы H (цепи синхронизации не показаны).

Узлы коммутации ($УК_1—УК_n$) работают следующим образом. При возникновении на входе k_i -го узла единичного сигнала на 16-ти его выходах появляются сигналы, указанные в k -м столбце провероч-

Таблица 1

| Номер такта | Состояние триггеров регистра | Входная последовательность |
|-------------|-------------------------------------|----------------------------|
| 1 | 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 | 1 |
| 2 | 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 | 0 |
| 3 | 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 1 | 1 |
| 4 | 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 1 1 1 | 1 |
| 5 | 0 0 0 0 0 0 0 0 0 0 0 0 1 0 1 1 1 1 | 1 |
| 6 | 0 0 0 0 0 0 0 0 0 0 0 1 0 1 1 1 1 0 | 0 |
| 7 | 0 0 0 0 0 0 0 0 0 0 1 0 1 1 1 1 0 1 | 1 |
| 8 | 0 0 0 0 0 0 0 0 0 1 0 1 1 1 1 0 1 1 | 0 |
| 9 | 0 0 0 0 0 0 0 0 1 0 1 1 1 1 0 1 1 0 | 0 |
| 10 | 0 0 0 0 0 0 0 1 0 1 1 1 1 0 1 1 0 0 | 0 |
| 11 | 0 0 0 0 0 1 0 1 0 1 1 1 0 1 1 0 0 0 | 1 |
| 12 | 0 0 0 0 1 0 1 1 1 0 1 1 0 0 0 0 0 0 | 0 |
| 13 | 0 0 0 1 0 1 1 1 1 0 1 1 0 0 0 0 0 1 | 1 |
| 14 | 0 0 1 0 1 1 1 1 0 1 1 0 0 0 0 0 1 0 | 0 |
| 15 | 0 1 0 1 1 1 0 1 1 1 0 0 0 0 0 1 0 0 | 0 |
| 16 | 1 0 1 1 1 0 1 1 1 0 0 0 0 1 0 0 0 1 | 1 |
| 17 | 0 1 1 1 0 1 1 0 0 0 0 0 1 0 0 0 1 0 | 1 |
| 18 | 1 1 1 0 1 1 0 0 0 0 0 1 0 0 0 1 0 0 | 0 |
| 19 | 1 1 0 1 1 0 0 0 0 0 1 0 0 1 0 0 0 1 | 1 |
| 20 | 1 0 1 1 0 0 0 0 1 0 0 1 0 0 1 0 1 0 | 1 |

ной матрицы H , соответствующие произведению $S^{k-1}n_1$ (5). При отсутствии единичного сигнала ($\alpha_k = 0$) на всех выходах блока появляется логический «0».

В процессе анализа каждый разряд параллельного кода, состоящего из n разрядов, поступает на вход соответствующего ему узла $УК_1—УК_n$. После чего сигналы, возникающие на первых, вторых, ..., шестнадцатых выходах узлов $УК_1—УК_n$ суммируются по модулю 2. Результаты суммирования фиксируются на триггерах $T_1—T_{16}$.

На рис. 3 представлена схема устройства для параллельного сигнатурного анализа двоичной последовательности длиной $n = 20$, синтезированного на основе матрицы перехода (2) и проверочной матрицы (7). Для сокращения размеров рис. 3 показаны номера выходов узлов $УК_1—УК_n$, на которых возможно появление «единичного» сигнала. Например, в первой строке матрицы (7) указано, что задействованы первые выходы первого, восьмого, десятого, тринадцатого, пятнадцатого, семнадцатого, девятнадцатого элементов.

В табл. 1 приведен пример преобразования 20-разрядной последовательности в одноканальном анализаторе с порождающим многочленом $P(x) = x^{16} + x^{13} + x^9 + x^7 + 1$. В табл. 2 рассмотрен пример преобразования той же последовательности за один такт в многоканальном анализаторе. При этом сигнатура получается путем суммирования столбцов проверочной матрицы, соответствующих номерам входов устройства, на которые подаются единичные сигналы.

Таблица 2

| Входная последовательность 11011001010001011101 | Сигнатура |
|--|-----------|
| 10 00 1 1 0 010 0 | 0 |
| 01 00 0 0 1 101 1 | 1 |
| 00 00 0 1 0 010 0 | 0 |
| 00 10 0 0 0 101 1 | 0 |
| 00 01 0 0 1 010 0 | 1 |
| 00 00 0 0 0 001 1 | 0 |
| 00 00 0 0 1 100 0 | 0 |
| 00 00 1 0 0 010 1 | 1 |
| 00 00 0 0 0 101 0 | 0 |
| 00 00 0 1 0 010 0 | 0 |
| 00 00 0 0 0 001 1 | 0 |
| 00 00 0 0 0 000 0 | 0 |
| 00 00 0 0 0 000 1 | 1 |
| 00 00 0 0 1 000 0 | 1 |
| 00 00 0 0 0 000 0 | 0 |
| 00 00 0 0 0 100 0 | 1 |

Предлагаемая методика и синтезируемые на ее основе многоканальные сигнатурные анализаторы могут быть использованы не только для целей контроля. При условии применения соответствующих алгоритмов они позволяют классифицировать и локализовать неисправности при наличии как одноканальных, так и многоканальных ошибок с точностью до выхода исследуемой схемы.

Список литературы: 1. Гордон Г., Надиг Х. Локализация неисправностей в микропроцессорных системах при помощи шестнадцатиричных ключевых кодов // Электроника. 1977. № 5. С. 23—33. 2. Кривуля Г. Ф., Таранов В. Б. Применение параллельных сигнатурных анализаторов для контроля и диагностирования цифровых устройств // АСУ и приборы автоматики. 1988. Вып. 85. С. 32—36. 3. Дисман А. М., Иванов А., Новик Г. Х. Вопросы построения параллельных структур сигнатурных анализаторов и генераторов псевдослучайных чисел // Вопр. радиоэлектроники. Сер. ОВР. 1984. Вып. 11. С. 106—117. 4. Рысованный А. Н. Функциональная диагностика и надежность комплексов средств автоматизации // Моделирование, оценка эффективности АСУ и линий радиосвязи. 1989. Вып. 3, Ч. 3. С. 88—94. 5. Питерсон У., Узлдон Э. Коды, исправляющие ошибки. М., 1976. 596 с. 6. Прикладная теория цифровых автоматов / К. Г. Самофалов, А. М. Романкевич, В. Н. Валуйский и др. К., 1987. 375 с.

Поступила в редколлегию 04.01.90