

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ

ХАРЬКОВСКИЙ НАЦИОНАЛЬНЫЙ
УНИВЕРСИТЕТ РАДИОЭЛЕКТРОНИКИ

ISSN 0135-1710

АВТОМАТИЗИРОВАННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ И ПРИБОРЫ АВТОМАТИКИ

**Всеукраинский межведомственный
научно-технический сборник**

Основан в 1965 г.

Выпуск 170

Харьков
2015

В сборнике представлены результаты исследований, касающихся компьютерной инженерии, управления, технической диагностики, автоматизации проектирования, оптимизированного использования компьютерных сетей и создания интеллектуальных экспертных систем. Предложены новые подходы, алгоритмы и их программная реализация в области автоматического управления сложными системами, оригинальные информационные технологии в науке, образовании, медицине.

Для преподавателей университетов, научных работников, специалистов, аспирантов.

У збірнику наведено результати досліджень, що стосуються комп'ютерної інженерії, управління, технічної діагностики, автоматизації проектування, оптимізованого використання комп'ютерних мереж і створення інтелектуальних експертних систем. Запропоновано нові підходи, алгоритми та їх програмна реалізація в області автоматичного управління складними системами, оригінальні інформаційні технології в науці, освіті, медицині.

Для викладачів університетів, науковців, фахівців, аспірантів.

Редакционная коллегия:

В.В. Семенец, д-р техн. наук, проф. (гл. ред.); *И.Д. Горбенко*, д-р техн. наук, проф.; *Е.П. Пуятин*, д-р техн. наук, проф.; *В.П. Тарасенко*, д-р техн. наук, проф.; *Г.И. Загарий*, д-р техн. наук, проф.; *Г.Ф. Кривуля*, д-р техн. наук, проф.; *Чумаченко С.В.*, д-р техн. наук, проф.; *В.А. Филатов*, д-р техн. наук, проф.; *Е.В. Бодянский*, д-р техн. наук, проф.; *В.Ф. Шостак*, д-р техн. наук, проф.; *В.М. Левыкин*, д-р техн. наук, проф.; *Е.И. Литвинова*, д-р техн. наук, проф.; *В.И. Хаханов*, д-р техн. наук, проф. (отв. ред.).

Свидетельство о государственной регистрации
печатного средства массовой информации

КВ № 12073-944ПР от 07.12.2006 г.

Адрес редакционной коллегии: Украина, 61166, Харьков, просп. Ленина, 14, Харьковский национальный университет радиоэлектроники, комн. 321, тел. 70-21-326

© Харківський національний університет
радіоелектроніки, 2015

СОДЕРЖАНИЕ

ЗАЙЧЕНКО С. А., ЛЕШТАЕВ П.В., ГУРЕЕВ Б.Н., ШЛЯХТУН М. М. КЛЮЧЕВЫЕ ПРАВИЛА ПРОЕКТИРОВАНИЯ ДЛЯ ПЕРЕСЕЧЕНИЙ ТАКТОВЫХ ДОМЕНОВ В ЦИФРОВЫХ СИСТЕМАХ НА КРИСТАЛЛАХ.....	4
ОКСАНИЧ И.Г., РЫЛОВА Н.В. РАЗРАБОТКА НЕЧЕТКОЙ МОДЕЛИ ОЦЕНКИ СИТУАЦИИ В ПРОЦЕССЕ ПРОИЗВОДСТВА ПОЛУПРОВОДНИКОВЫХ МАТЕРИАЛОВ.....	14
ШВЕЦЬ Є.Я., ЗУБКО Є.І. ВДОСКОНАЛЕННЯ ЕКСПРЕСНОЇ МЕТОДИКИ І АПАРАТУРИ ВИЗНАЧЕННЯ ЕЛЕКТРИЧНИХ ПАРАМЕТРІВ СОНЯЧНИХ ЕЛЕМЕНТІВ ВЕЛИКОЇ ПЛОЩІ.....	21
ХАХАНОВ В.І., ЧУМАЧЕНКО С.В., ЛИТВИНОВА Є.І. ПЕРСОНАЛЬНИЙ ВІРТУАЛЬНИЙ КІБЕРКОМП'ЮТЕР ТА ІНФРАСТРУКТУРА АНАЛІЗУ КІБЕРПРОСТОРУ.....	32
ЛЕВЕНЕЦЬ В.В. УНІВЕРСАЛЬНА СИСТЕМА ЧИСЛЕННЯ (ЦИФРОВА АБЕТКА).....	41
БАРАННИК В.В., РЯБУХА Ю.Н., КРАСНОРУЦКИЙ А.А., ЯЩЕНОК В.Ж. МЕТОДОЛОГИЯ СОВЕРШЕНСТВОВАНИЯ ОБРАБОТКИ ВИДЕОИНФОРМАЦИИ ПРИ УПРАВЛЕНИИ В КРИЗИСНЫХ СИТУАЦИЯХ	45
РЕФЕРАТИ.....	52
ПРАВИЛА ОФОРМЛЕНИЯ РУКОПИСЕЙ ДЛЯ АВТОРОВ НАУЧНО-ТЕХНИЧЕСКОГО СБОРНИКА.....	55

КЛЮЧЕВЫЕ ПРАВИЛА ПРОЕКТИРОВАНИЯ ДЛЯ ПЕРЕСЕЧЕНИЙ ТАКТОВЫХ ДОМЕНОВ В ЦИФРОВЫХ СИСТЕМАХ НА КРИСТАЛЛАХ

Рассматривается проблема обеспечения надежности функционирования пересечений независимых тактовых доменов в моделях цифровых систем на кристаллах. Предлагается подход к организации процесса верификации, ориентированный на автоматизацию статической проверки правил на топологии, обнаруживающих типовые ошибки проектирования.

1. Введение

Число тактовых сигналов, одновременно используемых в современных системах на кристаллах, содержащих разнообразные виды основных и периферийных компонентов, может достигать десятков и даже сотен. Все эти компоненты взаимодействуют друг с другом, интенсивно передавая данные для обработки и управляющую информацию. Переходы, соединяющие подобные взаимодействующие компоненты, управляемые несвязанными тактовыми сигналами, называют пересечениями тактовых доменов (CDC – Clock Domain Crossing). Проектирование и верификация CDC-пересечений относятся к наиболее критичным проблемам в современном цикле проектирования SoC [1].

Ключевую проблему, проявляющуюся при переходе сигналов через CDC-пересечения, составляет эффект метастабильного состояния сигналов [2]. Суть этого вероятностного эффекта состоит в проявляющемся в неожиданные моменты времени неопределенном результирующем уровне передаваемого сигнала на выходах первых по цепочке элементов, расположенных за CDC-пересечением. Фактически уровень сигнала колеблется между стандартными уровнями напряжения для значений 0 или 1 недетерминированным способом в течение непредсказуемого периода времени. В результате принимающая логика может зафиксировать любое из значений вместо фактического, искажая переданные данные и команды. Это приводит к случайным функциональным нарушениям, которые не выявляет обычное моделирование в симуляторе.

При проектировании схем синхронизации их эффективность измеряют по показателю MTBF (Mean Time Between Failures) – среднее время между сбоями на одном CDC-пересечении, который может быть подсчитан по следующей формуле [3]:

$$MTBF = \frac{t_{MET} / A_2}{A_1 \times f_{C_1} \times f_{C_2}}, \quad (1)$$

где f_{C_1} и f_{C_2} – частоты взаимодействующих тактовых сигналов; A_1 и A_2 – константы, зависящие от технологического процесса производства триггеров, а t_{MET} – допустимое время стабилизации метастабильного сигнала у известного логического уровня напряжения до момента его считывания на следующем фронте на принимающей стороне (“окно стабилизации”).

Избежать явления метастабильного состояния полностью не представляется возможным. Однако имеется возможность воздействовать на соответствующие показатели, в первую очередь, на окно стабилизации, влияющие на соотношение (1) по экспоненциальному закону. Минимально приемлемым значением показателя MTBF для некритических систем считается период в 1000 лет [2,3].

На окно стабилизации влияет любая задержка, которая теоретически может возникнуть при транспортировании сигнала через пересечение. В связи с этим во многих литературных источниках делается значительный акцент на соблюдении ключевых правил проектирования в зоне пересечения тактовых доменов, в частности [4,5]:

- на пересечении тактовых доменов не должно быть схождения нескольких сигналов;
- пересечение тактовых доменов не должно разветвляться;
- на пересечении тактовых доменов не должно размещаться комбинационной логики.

Учитывая сверхбольшие размеры современных систем на кристалле, а также применение в них десятков и сотен тактовых сигналов, столь серьезные правила нуждаются в полностью автоматическом выявлении нарушений. Такая задача востребована для программных инструментов статического анализа моделей цифровых систем (системы линтинга) и специализированных инструментов по CDC-верификации [6,7].

Рассматриваемая предметная область анализа пересечений тактовых доменов достаточно сложна, поэтому автоматизации проверки правил должно предшествовать математическое моделирование и формальная постановка задачи.

Цель работы – повышение надежности цифровых систем на кристаллах, использующих взаимодействие компонентов, управляемых независимыми тактовыми сигналами, путем автоматизации проверки ключевых правил проектирования, применяемых к пересечениям между тактовыми доменами.

Задачи исследования:

- 1) Формулировка математической модели, описывающей внутреннюю структуру тактовых доменов, которые входят в их состав тактовых сигналов и отношений между ними.
- 2) Разработка процедуры, определенной на предложенной модели тактовых доменов, обнаруживающих исходное множество их пересечений.
- 3) Разработка процедур, проверяющих ключевые правила проектирования о схождении, расхождении и комбинационной логике в зоне пересечения тактовых доменов.

2. Тактовые домены

Тактовый домен (clock domain) D представляет собой совокупность входящих в его состав множества тактовых сигналов C^D , имеющих связанные характеристики фазы и частоты, и множества всех тактируемых этими сигналами элементов E^D :

$$D = \{C^D, E^D\}. \quad (2)$$

Любая нетривиальная цифровая система содержит как минимум один тактовый домен либо несколько таких доменов. Когда в системе имеется только один тактовый домен, задача анализа пересечений не имеет смысла. В данном исследовании рассматриваются случаи, когда система содержит хотя бы два тактовых домена D_1 и D_2 . На практике, схемы с одним тактовым доменом встречаются, чаще всего, лишь на уровне отдельных функциональных блоков.

К *тактируемым элементам* (clocked element) E^D выбранного домена относятся любые примитивы иерархии проекта, к точкам которых подключен хотя бы один из тактовых сигналов C^D того же домена. Сами элементы состоят из набора точек p^E и связанных с элементами тактовых сигналов C^E :

$$E = \{p^E, C^E\}. \quad (3)$$

Очевидно, множества тактовых сигналов самого домена и тактируемого элемента выбранного домена пересекаются:

$$C^{E \in D} \cap C^D \neq \emptyset. \quad (4)$$

Точки p представляют собой элементарную единицу в модели и соответствуют набору входных и выходных контактов любых задействуемых в цифровой системе технологических примитивов (вентилей, макросов), экземпляров IP-блоков, а также набору входных и выходных внешних портов. Каждой индивидуальной точке соответствует конкретное местоположение в иерархии проекта, уникально идентифицируемое при помощи строки вложенных имен с иерархическими разделителями (например, “top/CPU/IR/Q[0]”). Каждой точке может быть присуща некоторая функциональная роль (тактовый вход, вход асинхронного либо синхронного сброса, вход данных, вход разрешения, вход управления, выход), определяемая элементом, в состав которого она входит.

Подключение тактовых сигналов допускается не к любым точкам элементов, а лишь к предназначенным для данной цели, т.е. имеющим функциональную роль тактового входа. Неожиданные подключения к точкам, не интерпретируемым примитивами в качестве тактовых входов в нормальной ситуации, являются грубой ошибкой проектирования, требующей незамедлительного устранения. Исключения составляют входы различных схем преобразования тактовых сигналов, которые следует рассматривать только целиком как единый составной объект.

Чаще всего множество тактовых сигналов тактируемого элемента состоит только из одного объекта. Наиболее простым и распространенным тактируемым элементом является триггер, на тактовый вход которого подключен единственный интересующий тактовый сигнал. В общем случае, один элемент может тактироваться несколькими тактовыми сигналами, независимо от их вхождения в тактовые домены. Примером с двумя тактовыми сигналами являются примитивы двухпортовой памяти, распространенные в FPGA-устройствах. Более сложные примитивы производителей кристаллов либо поставщиков IP-блоков могут содержать несколько независимых тактовых входов, которые следует учитывать при анализе.

Тактовый домен содержит один или несколько *тактовых сигналов* C . С точки зрения анализа рассматриваемого в данной работе тактового сигнала необходимо знать такие характеристики: набор точек-источников S^C в иерархии проекта, частоту f^C (МГц) и смещение φ^C фазы (радианы) относительно условного момента времени, принимаемого за 0:

$$\begin{aligned} C &= \{S^C, f^C, \varphi^C\}, \\ S^C &= \{p_1, \dots, p_N\}. \end{aligned} \quad (5)$$

Период тактового сигнала, очевидно, можно получить обращением частоты. Более низкоуровневыми характеристиками, такими как коэффициент заполнения (duty cycle) и скважность, в данном исследовании можно пренебречь, как невливающими на конечный результат.

Чаще всего тактовый сигнал содержит только один источник. Однако допустимы случаи и с несколькими идентичными источниками. Эта ситуация может соответствовать различным низкоуровневым приемам размещения дерева тактовых сигналов в цифровом устройстве (например, репликация источника в идентичных экземплярах подсистем, дополнительные буферы для уменьшения энергозатрат на распространение тактового сигнала через длинные цепи). Характеристики фазы и частоты каждого из источников одного и того же тактового сигнала должны быть идентичны. Хотя на физическом уровне наличие двух различных источников неизбежно будет связано с некоторым смещением фазы относительно друг друга, можно принять, что смещение между различными источниками одного и того же тактового сигнала стремится к 0.

Лишь в простейших случаях тактовый домен состоит только из одного тактового сигнала. В зависимости от потребностей, в первую очередь, для оптимизации быстродействия основной тактовый сигнал может подвергаться различным преобразованиям, таким как инверсия:

$$C_1 = \overline{C_2} \Rightarrow \begin{cases} f^{C_1} = f^{C_2}, \\ \varphi^{C_1} - \varphi^{C_2} = \pi. \end{cases} \quad (6)$$

Деление либо умножение частоты на константный положительный действительный коэффициент λ :

$$\begin{cases} f^{C_1} = \lambda \times f^{C_2}, \lambda > 0, \lambda \in \mathbb{R}, \\ \varphi^{C_1} = \varphi^{C_2}. \end{cases} \quad (7)$$

Допустимы и более сложные преобразования с использованием специализированных технологических примитивов.

Одним тактовым доменом можно признать только такую совокупность тактовых сигналов, частоты которых отличаются друг от друга на степень двойки, а разница фазовых смещений равна 0 либо π :

$$(C_1, C_2) \in D \Rightarrow \begin{cases} f^{C_1} = 2^k \times f^{C_2}, k \in \mathbb{N}; \\ \left| \varphi^{C_1} - \varphi^{C_2} \right| = \begin{bmatrix} 0 \\ \pi \end{bmatrix}. \end{cases} \quad (8)$$

При обмене данными между элементами, синхронизируемыми такими тактовыми сигналами, вероятность возникновения эффекта метастабильности стремится к 0. Утверждать о полном отсутствии такой вероятности можно только теоретически, поскольку любая схема распространения разветвленных сигналов вносит некоторые незначительные фазовые смещения.

Построение модели тактовых доменов, включая выявление всех тактовых сигналов, отношений частоты и фазы между ними, а также набора элементов, тактируемых данными тактовыми сигналами, является хорошо изученной задачей. Если проект цифровой системы использует типовые схемы преобразования тактовых сигналов, не содержит сложных переключаемых режимов, а функциональные роли точек всех технологических примитивов известны, многие средства автоматизированного проектирования в состоянии построить модель тактовых доменов полностью автоматически по исходному коду описания RTL-уровня. Более сложные схемы тактирования могут потребовать ручного вмешательства пользователя для разъяснения соотношений. Такую информацию проектировщик цифровой системы может указать в виде описания ограничений в распространенном формате SDC (Synopsys Design Constraints). Данный формат популярен в различных САПР как для ASIC-проектов, так и для FPGA.

3. Временные пути и пересечения между тактовыми доменами

Временным путем (timing path) на схеме считается путь распространения сигнала от его стартовой точки, источника события, до конечной точки, в которой требуется синхронизация с другими сигналами, в частности, с тактовым. При прохождении вдоль временного пути сигнал лишь накапливает транспортную задержку на линиях и на логических элементах, но не ждет каких-либо других событий.

Временные пути могут исходить из внешних входных портов, выходов триггеров, элементов памяти, а также синхронизированных выходов “черных ящиков”. В качестве конечных точек временных путей могут выступать внешние выходные порты, синхронизированные с тактовым сигналом входы триггеров и элементов памяти, аналогично, синхронизированные с тактовым контактом входы “черных ящиков”.

Не все входы триггеров являются завершениями временных путей; в частности, при подаче импульса на входы асинхронного сброса и установки сигнал проходит на выходы триггера, не дожидаясь тактового фронта. Подобные асинхронные пути могут существовать от входов к выходам “черных ящиков”, включая различные технологические примитивы от FPGA-производителей и различные Hard-IP в мире ASIC-проектов. Чтобы различать синхронные и асинхронные пути через блоки, реализация которых неизвестна, необходимы соответствующие мета-описания для инструментов. Подобные описания выходят за рамки стандарта SDC, и каждый инструмент определяет подобную информацию в собственном проприетарном формате.

Из одной стартовой точки может исходить большое количество временных путей, поскольку сигнал может разветвиться (divergence) при транспортировании. Аналогично, одна конечная точка может быть завершением большого количества временных путей от других источников при схождении (convergence). Также между конкретной парой стартовой и конечной точки может существовать более одного пути. Такая ситуация называется сходящимся разветвлением (reconvergence). Данный случай весьма интересен при статическом временном анализе, поскольку для определения задержек должен использоваться наиболее длинный путь. Однако с точки зрения анализа пересечений тактовых доменов множественность путей между парой точек не играет никакой роли, а такой набор соединений можно условно принимать аналогично единственному пути, поскольку интересует только сам факт наличия хотя бы одного пути.

Пусть Π – бинарный предикат, обозначающий наличие комбинационного пути между точками p_1 и p_2 . Если временной путь между данной парой точек существует, предикат выдает единицу:

$$\Pi(p_1, p_2) = 1. \quad (9)$$

Если предикат (9) равен единице для p_1 и p_2 , из этого не следует, но и не исключается, что предикат будет справедлив для обратного порядка аргументов. Если выполняется соотношение:

$$\Pi(p_1, p_2) = \Pi(p_2, p_1) = 1, \quad (10)$$

это означает, что речь идет о двух различных временных путях, один из которых является обратной связью по отношению к противоположному.

Пересечение между тактовыми доменами (CDC – Clock Domain Crossing) – это пара точек в модели, относящихся к тактируемым элементам разных доменов, связанная временным путем:

$$\forall p_i \in P, p_k \in P, i \neq k, D_1 \neq D_2, \\ (p_i, p_k) \in \Psi_{D_1 \rightarrow D_2} \Rightarrow \left\{ \begin{array}{l} \Pi(p_i, p_k) = 1 \\ p_i \in E^{D_1}, p_k \in E^{D_2} \end{array} \right\}, \quad (11)$$

где P – множество всех интересующих точек проекта; D_1 и D_2 – два различных тактовых домена; $\Psi_{D_1 \rightarrow D_2}$ – множество пересечений между данными доменами в направлении от D_1 к D_2 .

Направление пересечения играет важную роль. Хотя одни точки первого домена могут передавать сигналы в другой домен, а затем данные могут возвращаться обратно в первый домен, речь всегда будет идти абсолютно о других наборах временных путей, пересекающих границы двух доменов в противоположных направлениях:

$$\Psi_{D_1 \rightarrow D_2} \cap \Psi_{D_2 \rightarrow D_1} = \emptyset. \quad (12)$$

Для всех выявленных пересечений тактовых доменов необходимо производить проверку важных топологических правил, а также осуществлять поиск синхронизирующих структур.

Для упрощения изложения дальнейших процедур также необходимо ввести понятие входов и выходов тактового домена. *Входы* тактового домена – множество конечных точек временных путей, входящих в состав пар точек во всех множествах CDC-пересечений данного домена:

$$p_i \in P_I^{D_T} \Rightarrow \exists D_X, p_j \in E^{D_X}, (p_j, p_i) \in \Psi_{D_X \rightarrow D_T}, \quad (13)$$

где D_T – интересующий целевой тактовый домен; $P_I^{D_T}$ – множество входов данного тактового домена; p_i – конкретная точка, являющаяся одним из входов данного тактового домена; D_X – другой тактовый домен, имеющий точку p_j , такую что между ней и p_i имеется CDC-переход, принадлежащий известному к данному моменту множеству $\Psi_{D_X \rightarrow D_T}$.

Аналогично, выходы тактового домена – множество начальных точек временных путей, входящих в состав пар точек во всех множествах CDC-пересечений данного домена:

$$p_i \in P_O^{D_S} \Rightarrow \exists D_X, p_j \in E^{D_X}, (p_i, p_j) \in \Psi_{D_S \rightarrow D_X}, \quad (14)$$

здесь D_S – интересующий тактовый домен-источник; $P_O^{D_S}$ – множество выходов данного тактового домена; p_i – конкретная точка, являющаяся одним из выходов данного тактового домена; D_X – другой тактовый домен, имеющий точку p_j , такую что между p_i и ней

имеется CDC-переход, принадлежащий известному к данному моменту множеству $\Psi_{D_S \rightarrow D_X}$.

Наличие подготовленных множеств входов и выходов каждого из тактовых доменов значительно упрощает дальнейшие процедуры обработки.

4. Схождение и расхождение временных путей в зоне пересечения тактовых доменов

Крайне неблагоприятной является ситуация, при которой к одной точке в целевом тактовом домене сходятся два и более временных путей, исходящих от точек в других тактовых доменах (convergence on crossover path). Во-первых, в момент переключения сигналов на схождении возможны кратковременные всплески (glitch), к чему очень чувствительны пересечения тактовых доменов. Во-вторых, схождение через комбинационную логику повышает вероятность сбоя на пересечении тактовых доменов, поскольку задержка на логическом вентиле отнимает время из ограниченного бюджета для стабилизации. В-третьих, большинство средств статического анализа воспринимает временные пути, уходящие в другие тактовые домены, как незначимые, что означает отсутствие стимулов для системы логического синтеза по оптимизации данного временного пути. Последняя причина может значительно усугубить вторую проблему.

В приведенном на рис. 1 примере выходы двух триггеров, находящиеся в домене с тактовым сигналом CLK_TX, объединяются при помощи логического вентиля И, выход которого направляется к входу триггера в домене с тактовым сигналом CLK_RX.

Подобные ситуации необходимо обнаруживать и устранять на ранних этапах проектирования. Чтобы идентифицировать вход тактового домена, на котором нарушается данное правило, необходима следующая вычислительная процедура. Если находится вход p тактового домена D , на котором сумма

$$\forall p \in P_I^D, \sum_{j,k} \left\{ \begin{matrix} 1, \exists p_j \in P_O^{D_k}, (p_j, p) \in \Psi_{D_k \rightarrow D} \\ 0 \end{matrix} \right\} > 1 \quad (15)$$

принимает значение больше 1, это означает, что на данном входе имеется нежелательное схождение. В (15) p_j – потенциально существующий выход другого домена D_k , от которого исходит пересечение с интересующей точкой p тактового домена D .

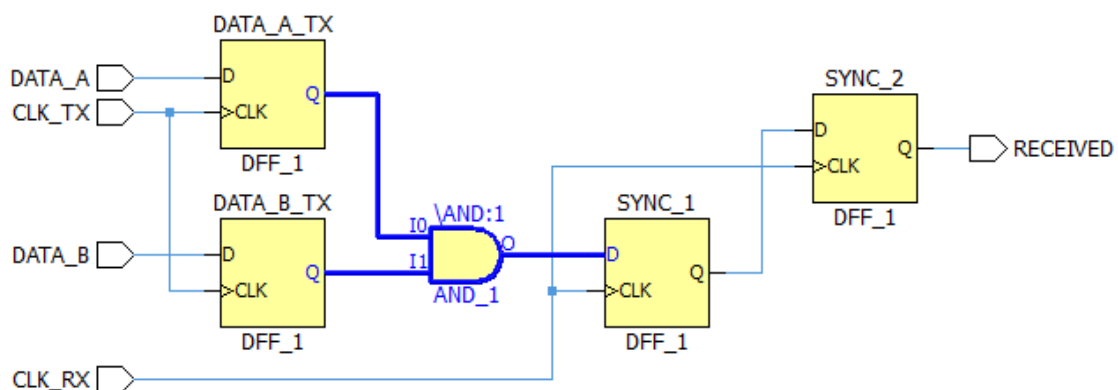


Рис. 1. Схождение временных путей на пересечении тактовых доменов

Правильный подход для устранения проблемы схождения на пересечении тактовых доменов состоит в выносе самого схождения до триггера, с выхода которого пересечение исходит (рис. 2) – такой подход более чем приемлем, поскольку на пересечении не будет происходить всплесков, а задержка на комбинационном элементе будет отнесена в зону путей в рамках одного тактового домена, что никак не повлияет на надежность последующей асинхронной передачи.

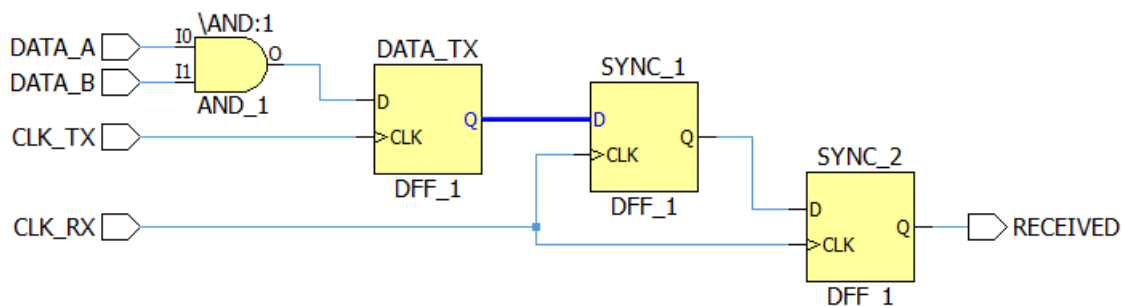


Рис. 2. Схождение временных путей до пересечения тактовых доменов

Подобную задачу составляет поиск расхождений на пересечениях тактовых доменов (divergence on crossover path). Между разошедшимися ветвями может отличаться задержка распространения сигнала и, как следствие, время стабилизации метастабильного состояния. Поскольку вероятность сбоя на пересечении тактовых доменов зависит от имеющегося окна стабилизации по экспоненциальному закону, даже малейшее расхождение задержек копий может привести к значительному ухудшению надежности одной из ветвей. В дальнейшем одна из ветвей может считать неправильное логическое значение передаваемого сигнала, что может привести к серьезным функциональным ошибкам. Дополнительно, разветвление сигнала увеличивает его емкость, что влияет на задержку распространения. В обычной ситуации такое изменение задержки ничтожно мало, но учитывая экспоненциальную зависимость (1), влияние данного фактора также заметно.

На рис. 3 показан пример описанной выше проблемной ситуации. Здесь выход триггера, находящегося в домене с тактовым сигналом CLK_TX, расходится и достигает двух триггеров, расположенных в домене с тактовым сигналом CLK_RX. Наличие комбинационной логики (инвертор) не является принципиальным для рассматриваемого правила проектирования, однако без такого размещенного вентиля, при отсутствии иерархических границ в схеме, большинство средств логического синтеза автоматически объединит разошедшиеся ветви как эквивалентные.

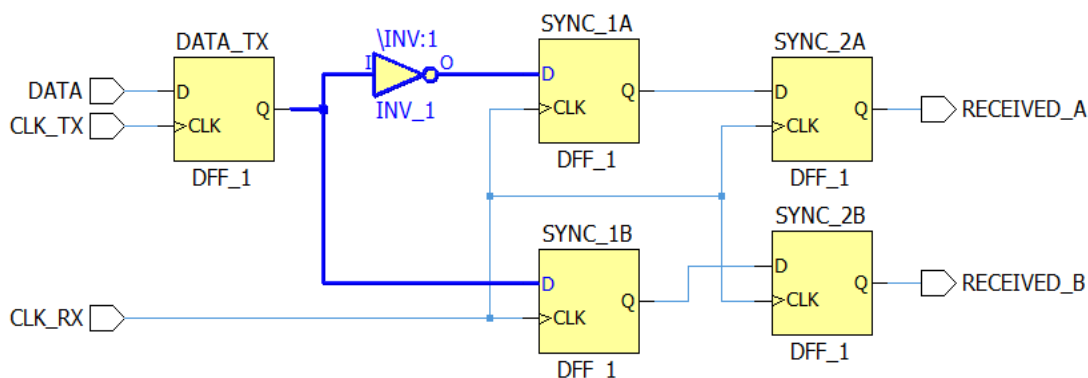


Рис. 3. Расхождение временных путей на пересечении тактовых доменов

Для обнаружения ситуации необходим подход, зеркально противоположный процедуре (15). Если находится выход p тактового домена D , на котором сумма (16) принимает значение больше 1, это означает, что за данным выходом имеется нежелательное расхождение:

$$\forall p \in P_O^D, \sum_{j,k} \left\{ 1, \exists p_j \in P_I^{D_k}, (p, p_j) \in \Psi_{D \rightarrow D_k} \right\} > 1, \quad (16)$$

где p_j – потенциально существующий вход другого домена D_k , к которому приходит пересечение с интересующей точкой p от тактового домена D .

При обнаружении таких выходов тактовых доменов расхождение следует поместить по завершению синхронизации пересечения (рис. 4).

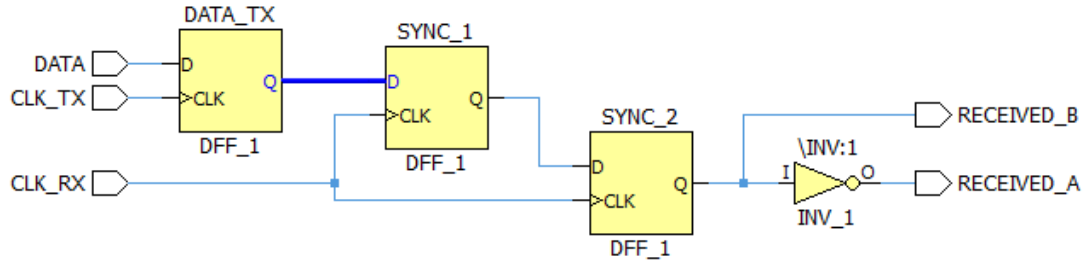


Рис. 4. Расхождение путей после синхронизации пересечения тактовых доменов

В таком случае упомянутое выше расхождение задержки между ветвями не окажет критического влияния на функциональные ошибки, поскольку от данной задержки более не будет зависеть окно стабилизации на переходе.

5. Логические элементы на пересечении тактовых доменов

Согласно (1), вероятность сбоя на CDC-пересечении растет при уменьшении окна стабилизации по экспоненциальному закону. Соответственно, величина окна стабилизации является доминирующим фактором, влияющим на надежность. Поскольку большинство средств статического временного анализа не рассматривают пути, уходящие в другие тактовые домены, ответственность за получение минимальной задержки распространения сигнала через пересечение тактовых доменов полностью лежит на проектировщике.

В связи с этим категорически запрещается размещение на пересечении тактовых доменов любой комбинационной логики, как значительного источника задержек, даже если речь идет всего лишь об инверторе (рис. 5):

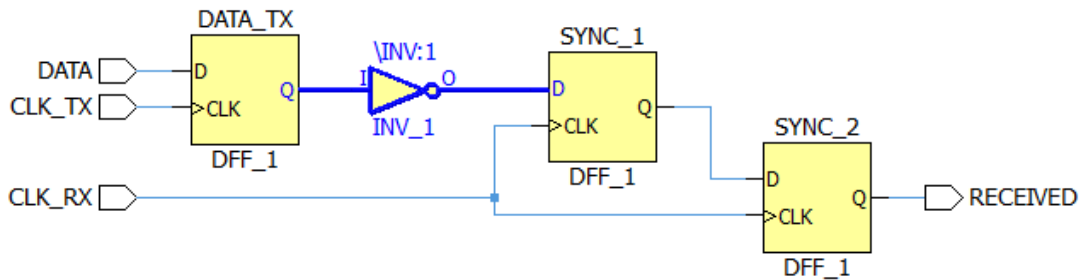


Рис. 5. Комбинационный элемент на пересечении тактовых доменов

Чтобы упростить обнаружение подобных топологических нарушений, необходимо ввести функцию фактической длины временного пути $L(p_1, p_2)$. Пусть фактическая длина временного пути представляет собой количество точек модели, входящих в его состав, исключая внутренние иерархические границы (входы и выходы дочерних блоков системы и их внутренние порты). Такую величину не представляет труда подсчитать при формировании данных о временных путях, достаточно лишь продвигать по пути распространения сигнала текущее значение длины, увеличивая ее на количество значащих точек, посещаемых при прохождении. Минимальной фактической длиной существующего временного

пути будет значение 2, что включает исходную и конечную точку, между которыми имеется прямое иерархическое соединение без какой-либо логики. Если же путь проходит через какой-либо логический вентиль, его фактическая длина увеличится еще на 2, что будет соответствовать точкам входа и выхода вентиля. Интересно, что при таком определении функция фактической длины временного пути будет всегда выдавать исключительно четные значения.

Имея в распоряжении функцию фактической длины временного пути, предикат (9) представляется возможным выразить через данную функцию:

$$\Pi(p_1, p_2) = \begin{cases} 1, & L(p_1, p_2) \geq 2, \\ 0 & \end{cases} \quad (17)$$

Чтобы обнаружить топологические нарушения, пример которых показан на рис. 5, необходимо проанализировать каждое пересечение тактовых доменов и выявить те из них, которые содержат дополнительные логические элементы, используя введенное понятие фактической длины временного пути:

$$((p_i, p_j) \in \Psi_{D_x \rightarrow D_y}) \wedge (L(p_i, p_j) > 2), \quad (18)$$

где D_x и D_y – два взаимодействующих тактовых домена; (p_i, p_j) – временные пути на пересечении между данными тактовыми доменами.

Корректным исправлением является помещение логических элементов до или после пересечения, как показано на рис. 6, где он не будет влиять на величину окна стабилизации.

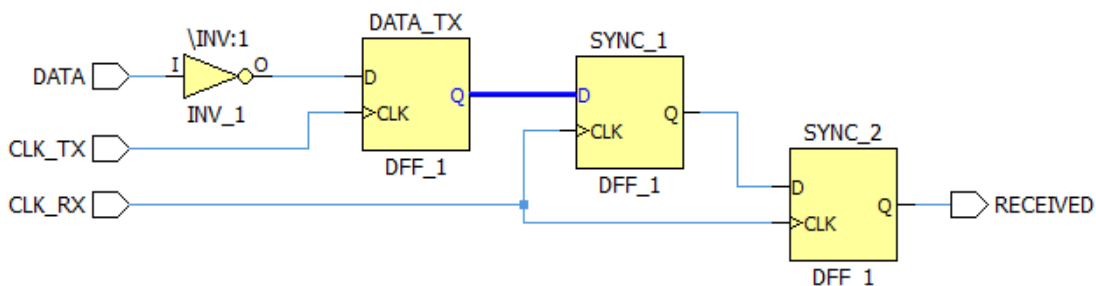


Рис. 6. Комбинационный элемент, вынесенный за пределы пересечения тактовых доменов

Комбинационная логика также не должна встречаться между первым и вторым триггером после пересечения тактовых доменов. По сути, помещение логики в эту часть схемы препятствует созданию классического синхронизатора из двух близко расположенных друг к другу триггеров (рис. 7).

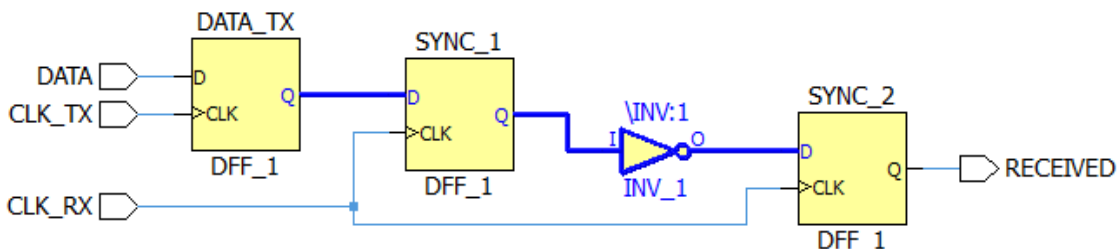


Рис. 7. Комбинационный элемент, нарушающий классический 2DFF-синхронизатор

Такая проверка требует правильной выборки первого и второго триггера, а затем проверки функции фактической длины временного пути, по аналогии с (18). Первый триггер после пересечения есть не что иное, как вход тактового домена (13). Для выбора вторых триггеров во всех цепочках после пересечения потребуется такое выражение:

$$\forall p_i \in P_I^D, \exists p_j \in E^D, \Pi(\bar{p}_i, p_j) = 1, \quad (19)$$

где \bar{p}_i – точка выхода первого триггера, которая определяется простейшей текстовой подстановкой, имея путь к входу первого триггера p_i . Для подстановки достаточно сменить в местоположении название входного контакта D на название выходного Q.

Далее, нарушение о комбинационном элементе между первым и вторым триггером выявляется путем проверки функции фактической длины временного пути между точкой выхода первого и точкой входа второго триггера:

$$L(\bar{p}_i, p_j) > 2. \quad (20)$$

Перемещение логики за выход второго триггера решает проблему уменьшения вероятности стабилизации метастабильного сигнала.

6. Выводы

В ходе исследования были решены ключевые поставленные задачи:

1) Сформулирована базовая математическая модель, описывающая внутреннюю структуру тактовых доменов, входящих в их состав тактовых сигналов и частотно-фазовых отношений между ними.

2) Разработана процедура, определенная на предложенной модели тактовых доменов, обнаруживающая исходное множество их пересечений путем эффективной выборки данных из множества временных путей.

3) Разработаны процедуры, осуществляющие проверку ключевых правил проектирования о схождении, расхождении и комбинационной логике в зоне пересечений тактовых доменов.

Главный *научный результат* исследования состоит в формулировке математической базы для методов верификации и различных процедур анализа внутренней структуры и взаимоотношений независимых тактовых доменов в моделях цифровых систем на кристаллах.

Ключевым *практическим результатом* исследования является повышение надежности цифровых систем на кристаллах путем детальной формализации комплекса необходимых вычислительных процедур на модели тактовых доменов, направленных на автоматизацию проверок ключевых правил проектирования, применяемых к CDC-пересечениям.

Риск возникновения сложных функциональных ошибок, проявляющихся из-за эффекта метастабильного состояния при некорректном взаимодействии между компонентами систем на кристалле, управляемых различными тактовыми доменами, может быть существенно снижен. Хотя полностью исключить явление метастабильности не представляется возможным, систематическое применение автоматизированных ключевых правил проектирования, обнаруживающих наиболее часто возникающие ошибки, способно удерживать среднее время между сбоями на пересечениях тактовых доменов в приемлемых рамках (более 1000 лет).

Перспективной возможностью видится внедрение предложенной модели и процедур в состав программного комплекса по CDC-верификации.

Список литературы: 1. *Vimjam V. C., Joseph A.* Challenges in Verification of Clock Domain Crossings // Real Intent Inc., Design Automation Conference (DAC'47). 2010. 2. *Haseloff E.* Metastable Response in 5-V Logic Circuits // Texas Instruments Application Note SDYA006. 1997. 3. *Veendrick H. J. M.* The Behavior of Flip-Flops Used as Synchronizers and Prediction of Their Failure Rate // IEEE Journal of Solid-State Circuits. 1980. Vol. 15. P. 169-176. 4. *Sarwary S., Verma S.* Critical clock-domain crossing bugs // Atrenta Inc. 2013. 5. *Ginosar R.* Fourteen Ways to Fool Your Synchronizer // Proc. Ninth IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC). 2003. P. 89. 6. *Chaturvedi S.* Static analysis of asynchronous clock domain crossings // Proceeding DATE '12 Proceedings of the Conference on Design, Automation and Test in Europe. 2012. P. 1122-1125. 7. *Cummings C.* Clock Domain Crossing (CDC) Design & Verification Techniques Using SystemVerilog // Synopsys User Group Conference (SNUG). 2008.

Поступила в редколлегию 11.02.2015

РЕФЕРАТИ

УДК4:519.713

Ключові правила проектування для перетинів тактових доменів в цифрових системах на кристалах / С.О. Зайченко, П.В. Лештаєв, Б.М. Гурєєв, М.М. Шляхтун // АСУ та прилади автоматики. 2015. Вип. 170. С. 4-14.

Розглянуто проблему забезпечення надійності функціонування перетинів незалежних тактових доменів в моделях цифрових систем на кристалах. Запропоновано підхід до організації процесу верифікації, орієнтований на автоматизацію статичної перевірки правил на топології, що викривають типові помилки проектування.

Лл. 7. Бібліогр.: 7 назв.

UDC 4:519.713

Key design rules for clock domain crossings in System-on-Chips /S.O. Zaichenko, P.V. Leshtaev, B.M. Gureev, M.M. Shlyakhtun// Management Information System and Devices. 2015. N 170. P. 4-14.

This paper analyzes a reliability problem for crossings of independent clock domains in digital SoCs. This work suggests an approach to organize the verification process, leading to the automation of static rule checks on the topology that detect typical design mistakes.

Fig. 7. Ref.: 7 items.

УДК 519.876.2

Розробка нечіткої моделі оцінки ситуації в процесі виробництва напівпровідникових матеріалів / І.Г. Оксанич, Н.В. Рилова // АСУ та прилади автоматики. 2015. Вип. 170. С.14-20.

Для вибору оптимальних управлінських рішень застосована модель прийняття рішень з оперативного управління виробництвом напівпровідникових матеріалів, яка дозволяє вибирати керуючий вплив згідно з поточною ситуацією в умовах нечітко заданої вихідної інформації. Результати виконаних аналітичних досліджень підтвердили широкі можливості та ефективність розробленої моделі при вирішенні задач оперативного управління виробництвом.

Табл. 2. Лл. 5. Бібліогр.: 3 назви.

UDC 519.876.2

Developing of an approximate model of manufacturing evaluation in the process of semiconductor material production // Management Information System and Devices. 2015. N 170. P. 14-20.

The model of taking decisions in efficient management of semiconductor material production giving possibility to choose managing action according to current situation when initial information is not fully known is used to take efficient administrating decisions. The results of analytic research conformed wide possibilities and effectiveness of the developed model in taking decisions on effective administrating production.

Tab. 2. Fig. 5. Ref.: 3 items.

УДК 621.383.51

Вдосконалення експресної методики і апаратури визначення електричних параметрів сонячних елементів великої площі / Є. Я Швець, Є. І. Зубко // АСУ та прилади автоматики. 2015. Вип. 170. С.21-31.

В статті розвинено методику розв'язання задачі автоматизованого експресного формування масиву даних електричних параметрів сонячних елементів великої площі на ідеалізованих структурах $Al/n - Si/p - Si/p^+ - Si/ITO$, $Al/por - Si/n - Si/p - Si/p^+ - Si/ITO$, $Al/PcAl/por - Si/n - Si/p - Si/p^+ - Si/ITO$, $Cu/PcCu/por - Si/n - Si/p - Si/p^+ - Si/ITO$, $Cu/n - Si/p - Si/p^+ - Si/ITO$, $Cu/por - Si/n - Si/p - Si/p^+ - Si/ITO$. Розроблено прямий аналітичний метод визначення електричних характеристик структур, за яким формування антивідбиттєвого покриття на основі пористого кремнію підвищує характеристики: фотоструму (I_{ph}), фактора заповнення (ff), якості приладу (n) і знижує послідовний та шунтуючий опори (R_s і R_{sh}), а створення додаткової контактної мережі – підвищує фотострум (I_{ph}), якість приладу (n), фактор заповнення (ff) та знижує послідовний опір (R_s).

Табл. 3. Лл. 4. Бібліогр.: 7 назв.

UDC 621.383.51

Improved methods and equipment of express analysis of the electrical parameters of solar cells with large area/ E. Y. Shvets, E. I. Zubko // Management Information System and Devices. 2015. N 170. P.21-31.

In article the technique of the decision of a problem automated express formations of data file of electric parameters of solar elements of the big area on idealized structures Al/n-Si/p-Si/p⁺-Si/ITO, Al/por-Si/n-Si/p-Si/p⁺-Si/ITO, Al/PcAl/por-Si/n-Si/p-Si/p⁺-Si/ITO, Cu/PcCu/por-Si/n-Si/p-Si/p⁺-Si/ITO, Cu/n-Si/p-Si/p⁺-Si/ITO, Cu/por-Si/n-Si/p-Si/p⁺-Si/ITO is developed. It is developed a direct analytical method of definition of electric characteristics of structures on which formation of an antireflective covering on the basis of porous silicon raises characteristics: a photocurrent (I_{ph}), the filling factor (ff), qualities of the device (n) i reduces consecutive and shunting resistance (R_s i R_{sh}), and creation of an additional contact grid - raises a photocurrent (I_{ph}), quality of the device (n), the filling factor (ff) and reduces consecutive resistance (R_s).

Tab. 3. Fig. 4. Ref.: 7 items.

УДК 519.711; 004.421; 519.68

Персональний віртуальний кіберкомп'ютер та інфраструктура аналізу кіберпростору / В.І. Хаханов, С.В. Чумаченко, Є.І. Литвинова // АСУ та прилади автоматики. 2015. Вип. 170. С.32-40.

Наведено результати держбюджетної науково-дослідної роботи (НДР) №0112U000209, мета якої – створення індивідуального та віртуального комп'ютера в кіберпросторі для виконання інтелектуальних транзакцій з даними і сервісами, орієнтованими на кожну людину. За завданням НДР проведено аналіз стану проблеми, висвітлені основні задачі та проблемні питання, означені шляхи їх реалізації, наведено характеристику основних наукових та практичних результатів роботи. Ключові слова: віртуальний кіберкомп'ютер, кіберфізична система, цифрові кубітні структури, моделювання, діагностування та ремонт цифрових систем, великі дані, мультипроцесор, векторно-логічний аналіз і простір, критерій якості, діагностування несправностей пам'яті, процес-модель.

Л. 3. Бібліогр.: 19 назв.

UDC 519.711; 004.421; 519.68

Personal virtual cyber computer and infrastructure of cyberspace analysis / VI Hahanov, SV Chumachenko, EI Litvinova // Management Information System and Devices. 2015. N 170. P.32-40.

The results of state budget research No 0112U000209 are represented. The goal of the research is to develop individual virtual computer in cyberspace for performing intelligent transactions of data and services focused on each person. According to the research specification the state of the art, main problems and ways for their solving, obtained scientific and practical results are described. Keywords: virtual cyber computer, cyber physical system, digital qubit structures, modeling, diagnosis and repair of digital systems, big data, multiprocessor, vector logical analysis and space, quality criteria, memory fault diagnosis, process model.

Fig. 3. Ref.: 19 items.

УДК 681.3.041

Універсальна система числення / В.В. Левенець // АСУ та прилади автоматики. 2015. Вип. 170. С.41-44.

Запропоновано універсальну система числення - УСС, за допомогою якої числа позначаються тільки цифровими знаками. Для знаків використовуються цифри, найбільш відомої системи числення, що дозволяє застосовувати їх в нових розробках.

Табл. 3. Бібліогр.: 5 назв.

UDC 681.3.041

The universal scale of numeration / V.V. Levenec // Management Information System and Devices. 2015. N 170. P.41-44.

The digits from the most popular scale of notation are in use in the proposed scale, and this fact allows to use them in new investigations.

Tab. 3. Ref.: 5 items.

УДК 621.39

Методологія вдосконалення обробки відеоінформації при управлінні у кризових ситуаціях / В.В. Бараннік, Ю.М. Рябуха, А.О. Красноручський, В.Ж. Яценюк // АСУ та прилади автоматики. 2015. Вип. 170. С.45-51.

Викладено напрямок підвищення ефективності сервісу надання дистанційних відеопослуг із застосуванням безпілотних комплексів, при управлінні у кризових ситуаціях. Запропоновано виконати початкову функцію дешифрування аерофотознімків на борту літального апарату. Це дозволить знизити інформаційну інтенсивність з урахуванням збереження семантично значущої для дешифрування інформації. Надана структурна схема технології дешифровочного кодування відеоінформації на борту літального апарату і обґрунтовані її складові. Надана структурна схема технології інтелектуальної обробки аерофотознімків для виділення ключових ознак дешифрування. Обґрунтовано основні етапи технології інтелектуальної обробки аерофотознімків на борту літального апарату.

Лл. 2. Бібліогр.: 4 назви.

UDC 621.39

Methodology of improvement video processing, the management of crisis situations. / V.V. Barannik, Yu.N. Ryabukha, A.A. Krasnorutskii, V.Zh. Yashenok // Management Information System and Devices. 2015. N 170. P.45-51.

It sets out the direction of enhancing the efficiency of the service of remote video services using unmanned systems, the management of crisis situations. It is proposed to perform an initial function of deciphering aerial photo on board the aircraft. This will reduce the intensity of information with a view to preserving semantically meaningful to decrypt the information. A block diagram of a video encoding interpretive technology on board the aircraft and its components are grounded. A block diagram of technologies for intelligent processing of aerial photographs to highlight the key features of decoding. Substantiates the main stages of technology intelligent processing of aerial photographs on board the aircraft.

Fig. 2. Ref.: 4 items.