Міністерство освіти і науки України
Харківський національний університет радіоелектроніки

Факультет комп'ютерної інженерії та управління
(повна назва)

Кафедра електронних обчислювальних машин
(повна назва)

КВАЛІФІКАЦІЙНА РОБОТА

Пояснювальна записка

Рівень вищої освіти перший (бакалаврський)

Пристрій цифрової обробки даних з використанням VHDL

(тема)

Виконав:
здобувач 4 року навчання,
групи КІУКІ-21-1
Ілля ОСТРОВЕРХ
(власне ім'я, прізвище)

Спеціальність
123 «Комп'ютерна інженерія»
(код і повна назва спеціальності)

Тип програми освітньо-професійна
(освітньо-професійна або освітньо-наукова)

Освітня програма
Комп'ютерна інженерія
(повна назва освітньої програми)

Керівник: ас. Дмитро ДЯЧЕНКО
(посада, власне ім'я, прізвище)

Допускається до захисту

Завідувач кафедри ЕОМ _____ Андрій КОВАЛЕНКО
(підпис) (власне ім'я, прізвище)

2025 р.

Харківський національний університет радіоелектроніки

Факультет комп’ютерної інженерії та управління

Кафедра електронних обчислювальних машин

Рівень вищої освіти перший (бакалаврський)

Спеціальність 123 «Комп’ютерна інженерія»
(код і повна назва)

Тип програми освітньо-професійна
(освітньо-професійна або освітньо-наукова)

Освітня програма Комп’ютерна інженерія
(повна назва)

ЗАТВЕРДЖУЮ:
Зав. кафедри _____
(підпис)
“____” _____ 20__ р.

ЗАВДАННЯ

НА КВАЛІФІКАЦІЙНУ РОБОТУ

здобувачеві Островерху Іллі Дмитровичу
(прізвище, ім’я, по батькові)

1. Тема роботи Пристрій цифрової обробки даних з використанням VHDL

затверджена наказом по університету від “ 26 ” травня 2025 р. № 426 Ст

2. Термін подання здобувачем роботи до екзаменаційної комісії 16 червня 2025 р.

3. Вхідні дані до роботи
FPGA
VHDL
еквалайзер
цифровий фільтр
частотні характеристики

4. Перелік питань, що потрібно опрацювати у роботі
Теоретичні основи цифрових фільтрів
Аналіз частотних характеристик еквалайзера
Реалізація цифрових фільтрів у VHDL

5. Перелік графічного матеріалу із зазначенням креслеників, схем, плакатів, комп'ютерних ілюстрацій 13 слайдів

6. Консультанти розділів роботи (заповнюється за наявності консультантів згідно з наказом, зазначеним у п.1)

Найменування розділу	Консультант (посада, прізвище, ім'я, по батькові)	Позначка консультанта про виконання розділу	
		підпис	дата

КАЛЕНДАРНИЙ ПЛАН

№	Назва етапів роботи	Строк / терміни виконання етапів роботи	Примітка
1	Отримання завдання та аналіз літератури	26.05.2025–27.05.2025	
2	Огляд існуючих фільтрів	28.05.2025–29.05.2025	
3	Вибір структур	30.05.2025–31.05.2025	
4	Вибір та реалізація програмних засобів	01.06.2025–02.06.2025	
5	Аналіз отриманих результатів	03.06.2025–07.06.2025	
6	Оформлення ПЗ	08.06.2025–15.06.2025	

Дата видачі завдання " 26 " травня 2025 р.

Здобувач _____
(підпис)

Керівник роботи _____ ас. Дмитро ДЯЧЕНКО
(підпис) (посада, власне ім'я, прізвище)

РЕФЕРАТ

Пояснювальна записка кваліфікаційної роботи: 48 с., 11 рис., 2 дод., 10 джерел.

ЦИФРОВА ОБРОБКА СИГНАЛІВ, VHDL, ЕКВАЛАЙЗЕР, FIR-ФІЛЬТР, FPGA, МОВА ОПИСУ АПАРАТУРИ, ЗГОРТКА, ЧАСТОТНІ ХАРАКТЕРИСТИКИ, МОДЕЛЮВАННЯ, ПІДСИЛЕННЯ СИГНАЛУ.

Метою кваліфікаційної роботи є розробка пристрою, здатного здійснювати обробку аудіосигналів у реальному часі, а також забезпечення можливості регулювання посилення кожної частотної смуги відповідно до потреб користувача.

У ході виконання кваліфікаційної було здійснено повноцінне проєктування цифрового трисмугового еквалайзера із використанням мови опису апаратури VHDL. Усі етапи розробки: від визначення частотних характеристик до моделювання логіки системи було реалізовано у віртуальному середовищі. Результатом роботи стала структурно завершена VHDL-модель, яка включає модулі фільтрації на основі FIR-фільтрів, блоки підсилення та захисту від перевантаження сигналу.

ABSTRACT

Bachelor’s thesis: 48 pages, 11 figures, 2 appendices, 10 sources.

DIGITAL SIGNAL PROCESSING, VHDL, EQUALIZER, FIR FILTER, FPGA, HARDWARE DESCRIPTION LANGUAGE, CONVOLUTION, FREQUENCY CHARACTERISTICS, SIMULATION, SIGNAL AMPLIFICATION.

The major goal of this thesis is to develop a device capable of processing audio signals in real time, as well as providing the ability to adjust the gain of each frequency band according to the user's needs.

In order to a fully functional design of a digital three-band equalizer using the VHDL hardware description language was carried out. All stages of development: from defining the frequency characteristics to simulating the system logic were implemented in a virtual environment. The result of the work is a structurally complete VHDL model, which includes FIR filter-based modules, signal amplification blocks, and overload protection mechanisms.

ЗМІСТ

СКОРОЧЕННЯ ТА УМОВНІ ПОЗНАКИ 7
ВСТУП 8
1 ТЕОРЕТИЧНІ ОСНОВИ ЦИФРОВИХ ФІЛЬТРІВ 9
1.1 Основні визначення і класифікація цифрових фільтрів 9
1.2 FIR-фільтри – принцип роботи та особливості 11
1.3 Методи проєктування FIR-фільтрів 13
2 АНАЛІЗ ЧАСТОТНИХ ХАРАКТЕРИСТИК ЕКВАЛАЙЗЕРА 15
2.1 Постановка завдання розрахунку частотних характеристик 15
2.2 Розрахунок меж смуг (низькі, середні, високі частоти) 16
2.3 Аналіз впливу параметрів фільтрів на частотну характеристику пристрою 17
2.4 Вибір структури пристрою (трисмуговий FIR-фільтр) 18
2.5 Розробка схемних рішень 20
2.6 Аналіз часових діаграм 22
3 РЕАЛІЗАЦІЯ ЦИФРОВИХ ФІЛЬТРІВ У VHDL 24
3.1 Розробка VHDL-коду FIR-фільтрів 24
3.2 Використання масиву затримок для фільтрів 25
3.3 Коефіцієнти фільтра 26
3.4 Розробка інтегральної схеми еквалайзера 28
3.5 Керування параметрами 29
3.6 Обмеження сигналу та методи його уникнення 30
3.7 Реалізація на VHDL та аналіз результатів 32
ВИСНОВКИ 36
ПЕРЕЛІК ДЖЕРЕЛ ПОСИЛАННЯ 37
ДОДАТОК А Графічний матеріал кваліфікаційної роботи 38
ДОДАТОК Б Програмний код 46

СКОРОЧЕННЯ ТА УМОВНІ ПОЗНАКИ

АС – апаратна схема

AHDL – Active-HDL

DSP – цифрова обробка сигналів

FIR – фільтр з кінцевою імпульсною характеристикою

FPGA – програмована логічна інтегральна схема

HDL – мова опису апаратури

ТВ – тестове середовище

VHDL – VHSIC Hardware Description Language

ВСТУП

У сучасному світі цифрові технології дедалі активніше проникають у всі сфери життя, зокрема й у сферу обробки звукових сигналів. Аудіосистеми, що працюють із цифровими сигналами, дозволяють досягти високої точності, гнучкості та функціональності, які недоступні для аналогових рішень. Однією з ключових складових таких систем є еквалайзер – пристрій, який забезпечує вибіркове підсилення або ослаблення певних частотних діапазонів аудіосигналу з метою покращення його якості або адаптації під індивідуальні вподобання користувача.

У цьому контексті особливу увагу привертає використання програмованих логічних інтегральних схем (FPGA) як платформи для реалізації цифрових аудіопристроїв. FPGA дозволяє створювати високошвидкісні, паралельно працюючі обчислювальні системи, що дає змогу виконувати складну цифрову обробку сигналів у реальному часі. Мова опису апаратури VHDL (VHSIC Hardware Description Language) дає змогу гнучко і точно описати логіку роботи таких систем, забезпечуючи високу точність при моделюванні та синтезі проєктів.

Ця робота присвячена проєктуванню та реалізації цифрового еквалайзера з трьома смугами частот (низькі, середні та високі частоти), реалізованого на FPGA з використанням мови VHDL. Основною метою є розробка пристрою, здатного здійснювати обробку аудіосигналів у реальному часі, а також забезпечення можливості регулювання посилення кожної частотної смуги відповідно до потреб користувача.

У процесі реалізації буде проведено:

- теоретичний аналіз частотних характеристик фільтрів;
- розробку VHDL-коду окремих цифрових фільтрів (FIR);
- симуляцію роботи еквалайзера у програмному середовищі;
- тестування пристрою з реальними аудіосигналами.

1 ТЕОРЕТИЧНІ ОСНОВИ ЦИФРОВИХ ФІЛЬТРІВ

1.1 Основні визначення і класифікація цифрових фільтрів

У контексті цифрової обробки сигналів цифрові фільтри (рисунок 1.1) становлять один з найважливіших інструментів для модифікації характеристик сигналів, що зазнають дискретизації та квантування. Вони призначені для селективного пропускання певних частотних складових сигналу та придушення інших, зокрема небажаних або завадових компонентів. З огляду на високі вимоги до точності, стабільності та ефективності обробки, цифрові фільтри набули широкого поширення у сфері телекомунікацій, аудіотехніки, медицини, радіоелектроніки, а також вбудованих систем керування.

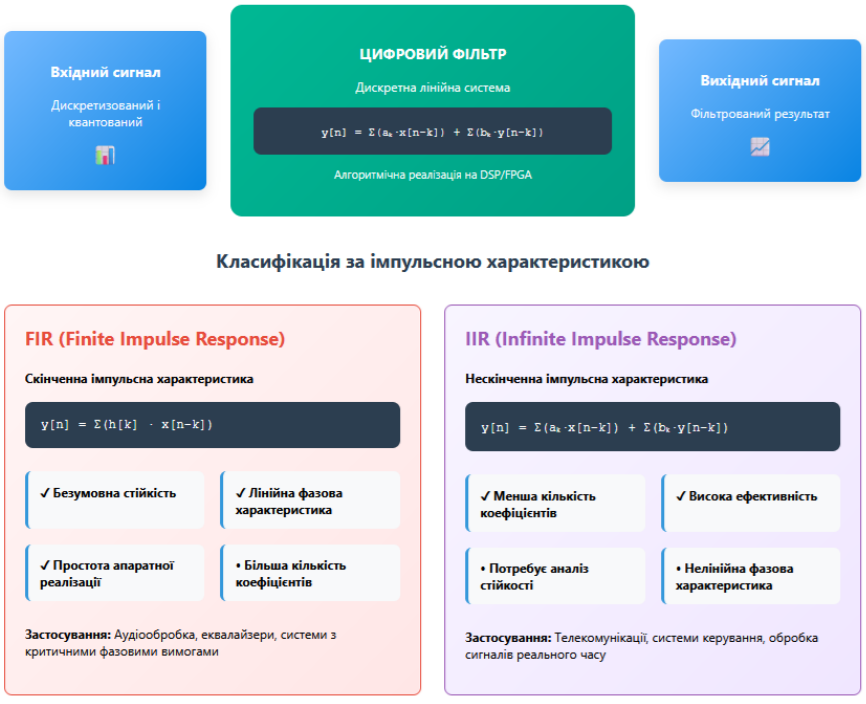

Рисунок 1.1 – Цифрові фільтри

Цифровий фільтр можна формально описати як дискретну лінійну систему зі скінченним або нескінченним імпульсним відгуком. Його дія

полягає в обчисленні нового значення вихідного сигналу на основі певної кількості попередніх вхідних і/або вихідних значень, відповідно до заданої різницевої формули. На відміну від аналогових фільтрів, цифрові реалізуються за допомогою алгоритмів у вигляді програмного коду або апаратної логіки на цифрових мікросхемах, зокрема FPGA чи цифрових сигнальних процесорах (DSP).

Залежно від структури імпульсної характеристики, цифрові фільтри поділяють на два основних класи: фільтри зі скінченою імпульсною характеристикою (FIR – Finite Impulse Response) та фільтри з нескінченною імпульсною характеристикою (IIR – Infinite Impulse Response). FIR-фільтри ґрунтуються лише на значеннях вхідного сигналу, без урахування попередніх виходів, що забезпечує безумовну стійкість системи та лінійність фазової характеристики. Завдяки цьому вони є переважно придатними для обробки аудіосигналів, де фазові спотворення можуть бути критичними. Крім того, FIR-фільтри зручно реалізовувати апаратно, використовуючи комбінацію зсувних регістрів і множників.

IIR-фільтри, навпаки, включають зворотні зв’язки – у їхній структурі використовуються як поточні та попередні значення вхідного сигналу, так і попередні значення виходу. Це дозволяє досягти заданих характеристик за меншої кількості коефіцієнтів, однак водночас вимагає ретельного аналізу стійкості системи. Вони мають складнішу реалізацію, потребують більшої обчислювальної точності та менш зручні для апаратної реалізації в системах із жорсткими ресурсними обмеженнями.

Крім основної класифікації (рисунок 1.2) за типом імпульсної характеристики, цифрові фільтри також поділяються за функціональним призначенням: на низькочастотні (Low-pass), високочастотні (High-pass), смугові (Band-pass) та загороджувальні (Band-stop). Кожен із цих типів реалізує специфічну частотну селективність, що дозволяє вирішувати вузькоспеціалізовані задачі – від виділення мовного сигналу до пригнічення гармонік або шумів.

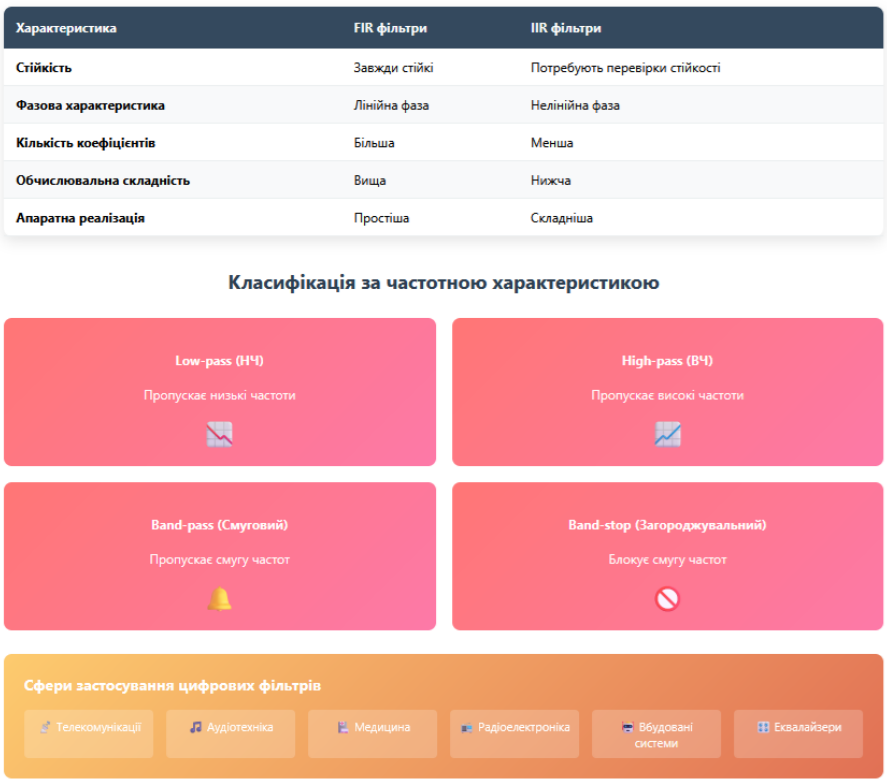

Рисунок 1.2 – Класифікація цифрових фільтрів

Загалом, вибір типу фільтра визначається низкою факторів: частотними характеристиками бажаної фільтрації, обмеженнями на ресурси апаратного середовища, вимогами до фазової лінійності та затримки, а також допустимим рівнем обчислювальної складності. У контексті створення еквалайзерів, як правило, застосовуються саме FIR-фільтри, оскільки вони забезпечують контрольовану фазову характеристику, простоту налаштування та високу передбачуваність результатів обробки, що є критичним для забезпечення якісного звукового відтворення.

1.2 FIR-фільтри – принцип роботи та особливості

Фільтри зі скінченою імпульсною характеристикою (рисунок 1.3) належать до класу лінійних цифрових фільтрів, які визначаються тим, що їхній імпульсний відгук має скінченну тривалість. Іншими словами, реакція фільтра на одиничний імпульс обмежується кінцевим числом зразків і після

певного моменту часу дорівнює нулю. Це властивість є прямим наслідком того, що FIR-фільтри не містять зворотного зв’язку, тобто їхня реалізація ґрунтується виключно на скінченній комбінації вхідних даних.

Однією з найважливіших переваг FIR-фільтрів є їхня безумовна стійкість. Оскільки вихід залежить лише від скінченої кількості вхідних значень, навіть при наявності похибок обчислень або шумів у системі, фільтр не може перейти у нестійкий режим. Це є критичним фактором у проєктуванні систем обробки сигналів у реальному часі, де стабільність функціонування має першочергове значення.

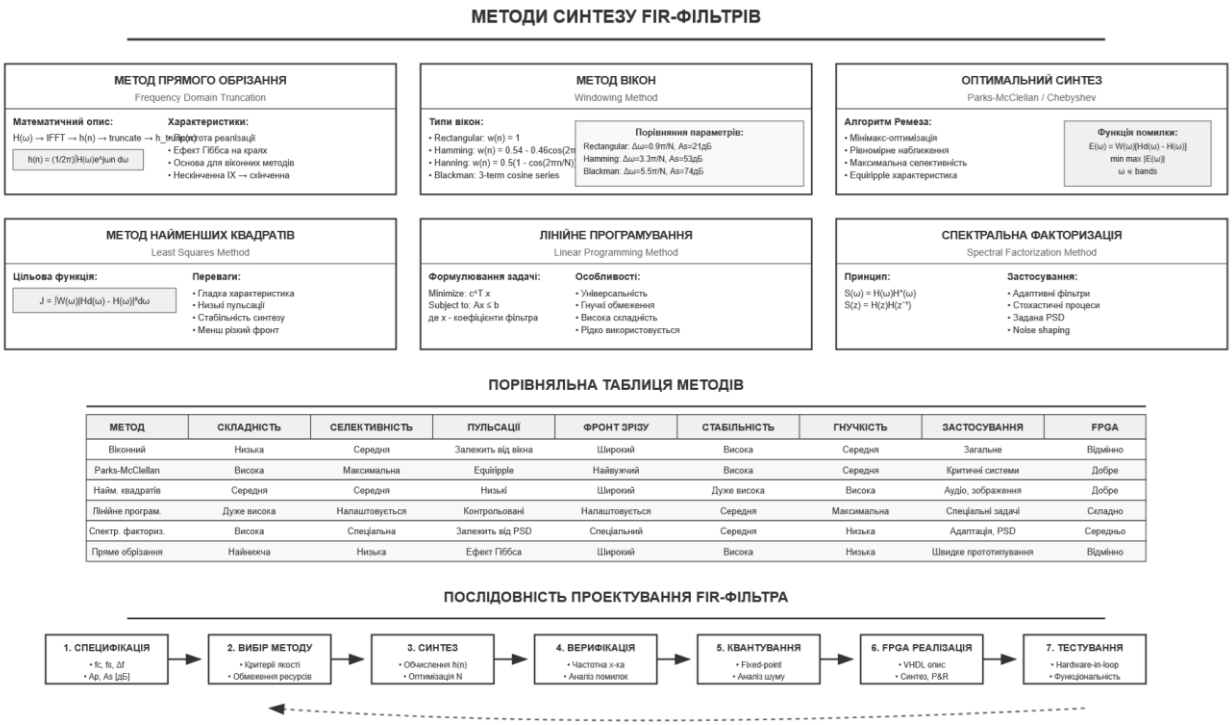

Рисунок 1.3 – Методи синтезу цифрових фільтрів

Ще однією ключовою особливістю FIR-фільтрів є лінійна фазова характеристика, яку можна досягти за умови симетричного або антисиметричного вибору коефіцієнтів. Лінійність фази означає, що всі частотні компоненти сигналу затримуються на однакову кількість зразків, що дозволяє уникати фазових спотворень – надзвичайно важливий аспект у системах обробки звуку, де збереження форми хвилі сигналу має суттєве

значення для суб'єктивної якості сприйняття.

FIR-фільтри також є відносно простими для апаратної реалізації, особливо в середовищах FPGA, де обчислення згортки можна реалізувати через лінійну структуру зсувного регістру та множників. Завдяки відсутності необхідності зберігати попередні вихідні значення, реалізація таких фільтрів є прямолінійною, а сама структура легко масштабована для різних порядків фільтра.

Однак FIR-фільтри мають і певні недоліки, зокрема велику кількість необхідних коефіцієнтів для реалізації вузькополосних або крутих частотних переходів. Це може призвести до підвищених вимог до обчислювальних ресурсів і пам’яті, особливо при високій частоті дискретизації. У таких випадках доводиться здійснювати оптимізацію або компроміс між якістю фільтрації й апаратними обмеженнями.

1.3 Методи проєктування FIR-фільтрів

Проєктування фільтрів зі скінченою імпульсною характеристикою (FIR) є важливим етапом створення цифрових систем обробки сигналів, зокрема аудіоеквалайзерів, що працюють у реальному часі. На цьому етапі здійснюється синтез коефіцієнтів фільтра, які визначають його частотну характеристику. Існує кілька підходів до проєктування FIR-фільтрів, серед яких найбільш поширеними є метод віконних функцій та метод оптимізації частотної вибірковості.

Метод віконних функцій ґрунтується на ідеї апроксимації ідеального фільтра, імпульсна характеристика якого є нескінченною, скінченною за допомогою спеціальної віконної функції. Спочатку визначається теоретично ідеальна імпульсна характеристика фільтра, наприклад, для ідеального низькочастотного фільтра вона має вигляд функції sinc. Оскільки така функція нескінченна, її обрізають до бажаної довжини, що відповідає порядку FIR-фільтра, і помножують на певну віконну функцію (наприклад,

прямокутне, Гаусове, Хеммінга або Блекмана вікно). Віконна функція зменшує ефект побічних лобів (leakage), що виникають внаслідок обтинання, та покращує загальний компроміс між різкістю переходу й рівнем флуктуацій у пропускній та загороджувальній смугах.

Метод частотної вибірковості або оптимізації полягає у безпосередньому визначенні коефіцієнтів фільтра на основі бажаної частотної характеристики, зазвичай у вигляді табличного набору амплітуд на різних частотах. Найбільш відомим прикладом є метод Паркса–Макклеллана, який використовує алгоритм Чебишева для знаходження коефіцієнтів із мінімальною максимальною похибкою в заданих частотних діапазонах. Такий підхід дозволяє точніше контролювати параметри фільтра, зокрема ширину переходу, загасання у загороджувальній смузі та амплітудну нерівномірність у пропускній смузі.

Крім класичних методів, у сучасній практиці також застосовуються числові оптимізаційні підходи, зокрема методи на основі градієнтного спуску, генетичних алгоритмів або інших еволюційних стратегій. Вони дозволяють синтезувати фільтри зі складною структурою або нетиповими вимогами до частотної характеристики, хоча й потребують більшого обчислювального ресурсу та часу.

Залежно від поставлених завдань у системі обробки аудіосигналу, вибір методу проєктування FIR-фільтра повинен враховувати компроміс між точністю частотної характеристики, складністю реалізації та апаратними обмеженнями. У практиці розробки аудіоеквалайзерів, де пріоритетом є збереження якості сигналу, зазвичай перевага надається методу вікон із симетричними коефіцієнтами, що гарантують лінійну фазу та стабільність.

2 АНАЛІЗ ЧАСТОТНИХ ХАРАКТЕРИСТИК ЕКВАЛАЙЗЕРА

2.1 Постановка завдання розрахунку частотних характеристик

У рамках проєктування цифрового еквалайзера першочерговим етапом є постановка задачі розрахунку частотних характеристик відповідних фільтрів. Це необхідно для забезпечення селективного впливу на окремі частотні діапазони аудіосигналу, зокрема, низькі, середні та високі частоти – з метою формування бажаної амплітудно-частотної характеристики (АЧХ) пристрою в цілому.

Частотна характеристика цифрового фільтра описує його здатність змінювати амплітуду та фазу сигналів залежно від їхньої частоти. У випадку фільтрів для еквалайзера необхідно забезпечити такі умови: ефективне пропускання сигналів у межах заданого частотного діапазону (пропускна смуга), значне ослаблення сигналів поза межами цього діапазону (загороджувальна смуга), а також бажано – плавний перехід між ними (перехідна область).

З огляду на аудіоприроду сигналів, що підлягають обробці, доцільно розділити частотний спектр у межах стандартного діапазону чутності людини (приблизно від 20 Гц до 20 кГц) на три умовні смуги:

- низькочастотну (наприклад, 20–300 Гц), відповідальну за передачу басів;
- середньочастотну (приблизно 300 Гц – 4 кГц), яка забезпечує ясність і розбірливість мови та інструментів;
- високочастотну (4–20 кГц), що відповідає за сприйняття деталей, яскравості та повітряності звучання.

Формулювання технічного завдання включає в себе визначення частотних меж кожної смуги, допустимих рівнів загасання в загороджувальних смугах, нерівномірності в пропускних смугах, ширини

переходу та максимально припустимої затримки сигналу. Крім того, важливим є встановлення цільових значень коефіцієнтів підсилення (gain) для кожної смуги, які можуть регулюватися користувачем у режимі реального часу.

У процесі подальшого проєктування необхідно обрати відповідну структуру фільтрів (найчастіше – FIR), метод синтезу коефіцієнтів, а також алгоритм їх апаратної реалізації. Це забезпечить відповідність частотної характеристики еквалайзера очікуваним параметрам, необхідним для досягнення якісної й контрольованої обробки аудіосигналу.

2.2 Розрахунок меж смуг (низькі, середні, високі частоти)

Визначення меж частотних смуг для трисмугового цифрового еквалайзера є принципово важливим етапом, що формує основні вимоги до частотної характеристики кожного з фільтрів. У контексті обробки аудіосигналів ці межі повинні відображати особливості сприйняття звуку людським слухом, а також відповідати акустичним і технічним нормам, прийнятим у галузі звукового проєктування.

Підхід до встановлення частотних меж ґрунтується на аналізі стандартного діапазону звукових частот, який умовно охоплює область від 20 Гц до 20 кГц. Цей діапазон, хоча й не обмежує фізичну здатність цифрової системи працювати з ширшим спектром, у даному випадку визначає межі ефективного сприйняття аудіоінформації слухачем. Для досягнення якісного еквалайзування доцільно поділити цей спектр на три частини, кожна з яких відповідає за певні елементи звукового образу. Конкретні частотні межі кожної смуги повинні бути підібрані з урахуванням як психоакустичних, так і технічних міркувань, таких як ширина перехідних зон, взаємне перекриття смуг і характер загасання в суміжних ділянках.

Розрахунок цих меж має ґрунтуватися на цільовому застосуванні еквалайзера, типі аудіосигналу, вимогах до точності обробки, а також

характеристиках платформи FPGA, на якій буде реалізовано фільтрацію. Межі повинні бути вибрані таким чином, щоб забезпечити природність звучання, уникнути втрати важливої інформації в області перекриття частот і дозволити гнучке налаштування посилення в кожному діапазоні. При цьому варто враховувати наявність переходів між смугами, які у FIR-фільтрах є неідеальними, що вимагає додаткового моделювання і корекції параметрів для уникнення небажаних спектральних артефактів.

Отже, точне визначення частотних меж кожної з фільтраційних смуг є не лише технічним завданням, а й компонентом акустичного дизайну, що безпосередньо впливає на ефективність і якість функціонування всього пристрою цифрової обробки аудіосигналів.

2.3 Аналіз впливу параметрів фільтрів на частотну характеристику пристрою

Ефективність функціонування цифрового еквалайзера безпосередньо залежить від вибору параметрів фільтрів, які визначають амплітудно-частотну характеристику у кожній із частотних смуг. Параметри, такі як порядок фільтра, тип віконної функції, ширина перехідної області та рівень загасання в загороджуваній смузі, істотно впливають як на якість фільтрації, так і на апаратні витрати при реалізації на FPGA.

Порядок фільтра, або кількість коефіцієнтів у FIR-структурі, визначає гостроту частотного переходу між пропускною та загороджуваною смугами. Зі збільшенням порядку зростає точність апроксимації бажаної частотної характеристики, однак це також призводить до збільшення обчислювальної складності, затримки сигналу та споживання апаратних ресурсів. Надмірне збільшення порядку фільтра може створити небажану фазову затримку, що особливо критично в режимі реального часу.

Тип віконної функції, що використовується для згладжування обтинання ідеальної імпульсної характеристики, також має визначальний

вплив на форму АЧХ. Наприклад, вікна Хеммінга, Блекмана або Кайзера дозволяють досягти різного балансу між шириною головного лоба та рівнем побічних максимумів, що є важливим у випадках, коли необхідно контролювати ступінь загасання побічних частот.

Ширина перехідної області фільтра визначає, наскільки різко відбувається перехід між смугами, і, відповідно, впливає на те, наскільки чітко розділяються частотні компоненти аудіосигналу. У системах еквалізації, де важливе природне і плавне звучання, надто крутий перехід може викликати артефакти або спотворення, тоді як надто м’який – призвести до взаємного впливу смуг одна на одну.

Рівень загасання в загороджуваній смузі відповідає за ступінь придушення небажаних частот і, таким чином, за чистоту звучання після обробки. Недостатній рівень загасання може залишити в сигналі шумові або паразитні компоненти, тоді як надмірне загасання потребує підвищеного порядку фільтра та відповідних ресурсів.

Усі зазначені параметри взаємопов’язані, і зміна одного з них призводить до необхідності адаптації інших. Оптимальний проєкт фільтра передбачає досягнення компромісу між якістю частотної селективності, стабільністю фазової характеристики, апаратною ефективністю та затримкою сигналу. Аналіз впливу цих параметрів на результуючу характеристику пристрою є необхідною умовою для забезпечення відповідності еквалайзера вимогам якості звукового відтворення та реального часу роботи системи.

2.4 Вибір структури пристрою (трисмуговий FIR-фільтр)

Проєктування цифрового еквалайзера (рисунок 2.1) починається з вибору базової структури пристрою, що визначає логіку його функціонування, тип фільтрів, способи інтеграції підсистем і принципи обробки сигналів. У межах поставленого завдання найбільш доцільною архітектурною моделлю є реалізація трисмугового фільтра на основі

незалежних FIR-фільтрів, кожен з яких відповідає за окрему частотну смугу: низькочастотну, середньочастотну та високочастотну.

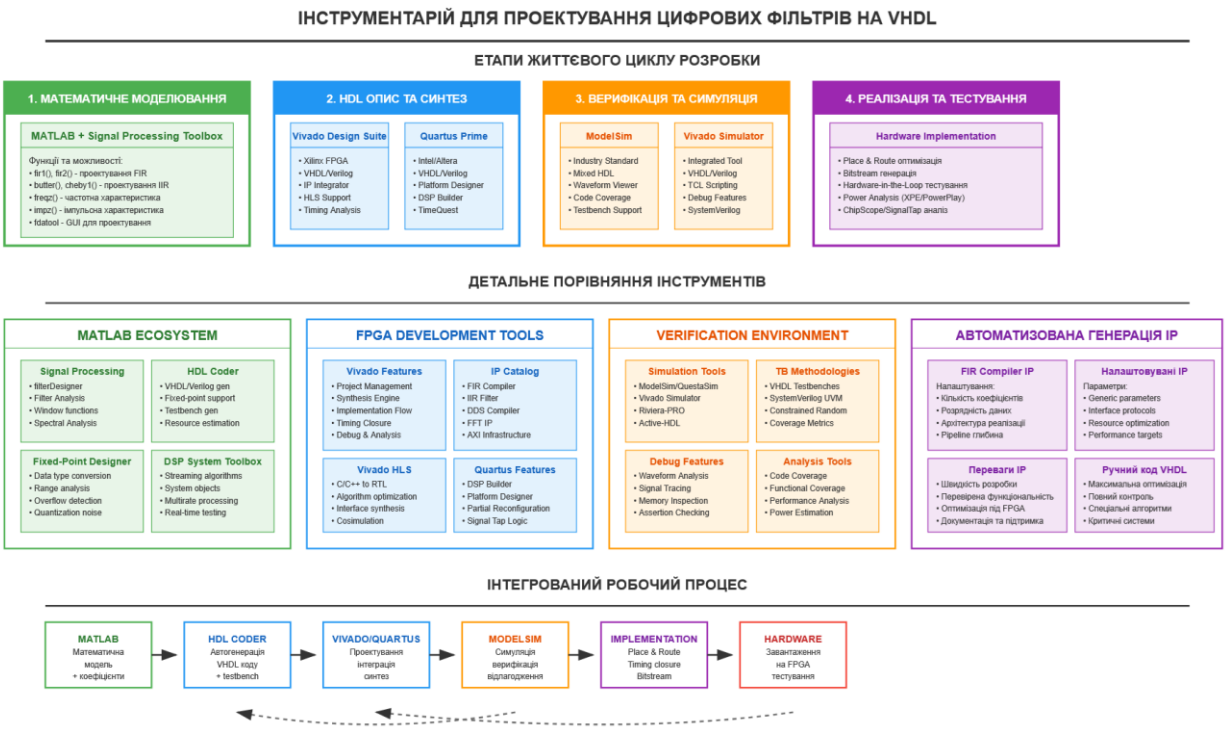

Рисунок 2.1 – Інструментарій для проєктування цифрових фільтрів

Структура пристрою передбачає паралельну обробку одного вхідного аудіосигналу трьома окремими фільтрами з подальшим сумуванням їхніх результатів. Такий підхід дозволяє досягти високої гнучкості у налаштуванні еквалайзера, забезпечуючи незалежне регулювання підсилення кожної з частотних смуг. FIR-фільтри обрано як базові елементи завдяки їхній безумовній стабільності, можливості досягнення лінійної фазової характеристики та простоті апаратної реалізації в середовищі FPGA.

Паралельна структура обробки дає змогу ефективно використовувати ресурси програмованої логіки за рахунок одночасного виконання обчислень у кожному з фільтрів. Це, в свою чергу, дозволяє зменшити загальну затримку системи, що є критичним чинником для роботи в реальному часі. Вихід кожного фільтра підлягає масштабуванню відповідно до заданого коефіцієнта підсилення, що регулюється окремо для кожної смуги і може

бути змінений користувачем в процесі експлуатації пристрою.

Вибрана структура також дозволяє реалізувати алгоритмічну прозорість: кожен із трьох фільтрів функціонує незалежно, що спрощує процес налагодження, тестування та модифікації системи. Крім того, така архітектура сприяє масштабованості – у разі потреби її можна розширити до більшої кількості смуг або інтегрувати з іншими модулями цифрової обробки сигналів.

Таким чином, трисмугова архітектура на основі FIR-фільтрів є технічно обґрунтованим рішенням, що відповідає вимогам до якості звукової обробки, апаратної ефективності й зручності реалізації у логічному середовищі програмованих інтегральних схем.

2.5 Розробка схемних рішень

Після визначення загальної архітектури еквалайзера на основі трисмугової FIR-структури наступним кроком є розробка схемних рішень, які забезпечують логічну і функціональну цілісність пристрою. Суть даного етапу полягає у формалізації структури обчислювальних блоків, визначенні принципів їх взаємодії, синхронізації, передачі даних і керування параметрами підсилення для кожної частотної смуги.

На логічному рівні пристрій складається з трьох незалежних фільтраційних каналів, кожен з яких реалізує фільтрацію відповідного частотного діапазону. Кожен канал включає блок пам’яті для зберігання зразків вхідного сигналу, множники для реалізації згортки з коефіцієнтами фільтра, суматор для накопичення результатів, а також модуль підсилення. Коефіцієнти фільтрів зберігаються у постійній пам’яті або ROM-блоках, а зразки сигналу – у зсувних регістрах, що оновлюються з кожною тактовою імпульсацією.

Особливу увагу приділено модулю керування підсиленням, який забезпечує динамічне регулювання амплітуди кожної смуги відповідно до

зовнішніх налаштувань користувача або внутрішніх алгоритмів. Після масштабування оброблені сигнали з трьох каналів надходять до блоку сумування, де формуються у єдиний вихідний аудіосигнал. Щоб уникнути переповнення внаслідок сумування, передбачено обмежувач, який запобігає виходу сигналу за межі допустимого динамічного діапазону.

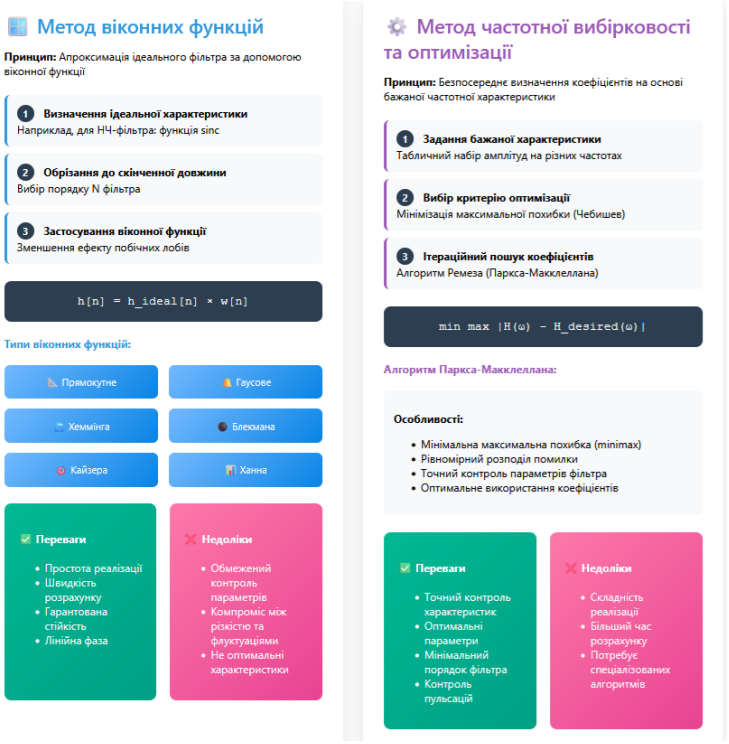

Рисунок 2.2 – Основні методи проєктування

Синхронізація усіх блоків здійснюється за допомогою єдиного тактового генератора, що гарантує узгодженість обробки зразків у всіх фільтрах. Особливе значення має також узгодження з апаратними портами вводу/виводу, через які пристрій отримує аудіосигнал (наприклад, від ADC) і передає його на зовнішній ЦАП. Для забезпечення сумісності з аудіокодеком можливе додаткове включення буферизаційних регістрів або контролерів шин обміну даними.

Таким чином, схемне рішення еквалайзера ґрунтується на модульному принципі, що забезпечує гнучкість проєктування, простоту масштабування та адаптацію до конкретних апаратних платформ. Така структурна організація

дозволяє ефективно реалізувати цифрову обробку сигналів у реальному часі з гарантією точності, стабільності та керованості кожного каналу обробки.

2.6 Аналіз часових діаграм

Аналіз часових діаграм є важливим етапом при верифікації функціональної коректності цифрової системи, зокрема при створенні еквалайзера на основі FIR-фільтрів. У контексті апаратної реалізації на FPGA часові діаграми дозволяють дослідити внутрішні процеси проходження сигналу, визначити часові залежності між подіями в системі, перевірити дотримання синхронізації та виявити потенційні помилки, які можуть не виявлятися на логічному рівні.

У даному проєкті, що базується на паралельній обробці трьома незалежними фільтраційними каналами, часові діаграми відображають зміну станів зсувних регістрів, момент фіксації нових вхідних значень, періоди обчислення згортки та час оновлення вихідного сигналу після сумування трьох каналів. Завдяки однорідності структури FIR-фільтрів і єдиному тактовому домену очікується синхронна робота усіх функціональних блоків, однак навіть за таких умов можливе виникнення тимчасових зсувів або затримок, зумовлених специфікою розподілу ресурсів FPGA або затримками в мережах з’єднання.

На етапі моделювання за допомогою симулятора (наприклад, ModelSim або Vivado Simulator) часові діаграми дозволяють простежити шлях вхідного зразка сигналу через послідовність обчислювальних операцій у фільтрі: від його надходження до зсувного регістра, обчислення добутків із коефіцієнтами, до моменту формування вихідного значення. Особливу увагу при цьому слід приділити перевірці часової узгодженості результатів між каналами, адже асинхронність або затримки в одному з каналів можуть спричинити деформацію загального вихідного сигналу після сумування.

Також важливим аспектом аналізу є верифікація часу реакції системи

на зміну вхідного сигналу або параметрів підсилення. Це дозволяє оцінити швидкодію пристрою, виявити затримки поширення сигналу (propagation delays), а також перевірити відсутність глічів, перевантаження або нестабільності у вихідних даних. У разі виявлення часових аномалій на цьому етапі розробник має змогу оперативно внести зміни в логіку обробки, структуру керуючих сигналів або налаштування тактових доменів.

Таким чином, аналіз часових діаграм є критичним інструментом контролю якості й надійності цифрового пристрою, який дозволяє ще до етапу синтезу і фізичної реалізації на FPGA переконатися у стабільності функціонування еквалайзера, його відповідності заданим характеристикам і коректності роботи в реальному часі.

3 РЕАЛІЗАЦІЯ ЦИФРОВИХ ФІЛЬТРІВ У VHDL

3.1 Розробка VHDL-коду FIR-фільтрів

Реалізація FIR-фільтрів у середовищі FPGA передбачає використання мови опису апаратури VHDL, яка дає змогу описати логіку роботи цифрового пристрою на рівні регістрів, арифметичних операцій та керування потоками даних. Застосування VHDL у даному проєкті дозволяє створити параметризовані модулі фільтрації, що характеризуються високою точністю, відтворюваністю й апаратною ефективністю.

Основу VHDL-опису FIR-фільтра становить структура згортки, в якій кожне нове вхідне значення сигналу послідовно зсувається через масив затримок, а потім перемножується з відповідними коефіцієнтами фільтра. Отримані добутки сумуються у підсумковий результат, що подається на вихід. Такий підхід, реалізований у вигляді однотактового або багатотактового процесу, дозволяє досягти детермінованої обчислювальної поведінки, що є особливо важливим у системах реального часу.

У процесі кодування особлива увага приділяється типізації даних, вибору формату представлення чисел (зокрема, фіксована або плаваюча кома), а також забезпеченню правильного керування сигналами синхронізації – зокрема тактовим сигналом, сигналом скидання та дозволом запису. Для запобігання переповненням під час арифметичних операцій впроваджуються додаткові засоби захисту, зокрема обмежувачі амплітуди, які забезпечують вихід результату у межах допустимого діапазону.

Розроблений VHDL-код для кожного з фільтрів (низьких, середніх і високих частот) реалізується у вигляді окремих сутностей, що мають уніфіковану інтерфейсну структуру. Це спрощує процес інтеграції модулів у загальну архітектуру еквалайзера, полегшує налагодження та дозволяє використовувати модулі повторно. Кожен фільтр може бути

параметризованим за кількістю коефіцієнтів, розрядністю вхідного і вихідного сигналів, а також значеннями коефіцієнтів, які можуть бути завантажені із зовнішніх джерел або визначені статично під час компіляції.

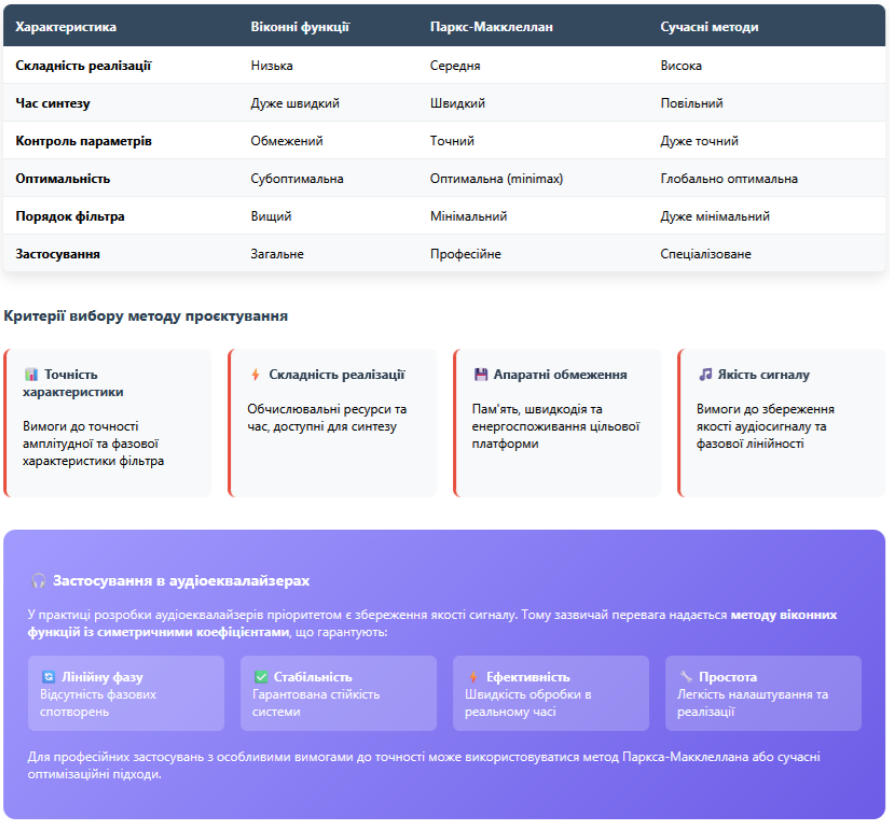

Рисунок 3.1 – Критерії методу проєктування. Застосування в еквалайзерах

Таким чином, реалізація FIR-фільтрів у VHDL забезпечує точне й контрольоване відтворення алгоритму цифрової фільтрації на апаратному рівні, відкриваючи можливості для побудови продуктивного й гнучкого еквалайзера, здатного працювати в режимі реального часу на базі FPGA.

3.2 Використання масиву затримок для фільтрів

Функціонування фільтра зі скінченою імпульсною характеристикою (FIR) ґрунтується на принципі зсувної обробки вхідного сигналу, яка реалізується через використання масиву затримок – зсувного регістру (shift register). Цей масив є послідовністю регістрів пам’яті, що зберігають

попередні значення вхідного сигналу, необхідні для обчислення згортки з коефіцієнтами фільтра. Його функція полягає у впорядкованому накопиченні історії сигналу, яка потім використовується для формування вихідного значення фільтра.

У цифровій реалізації на VHDL зсувний регістр створюється як масив фіксованої довжини, що ініціалізується нульовими значеннями і оновлюється з кожним тактовим імпульсом. При надходженні нового вхідного зразка відбувається його запис у перший елемент масиву, тоді як усі інші елементи зміщуються на один такт уперед. Така організація забезпечує послідовний доступ до попередніх значень сигналу, зберігаючи їх порядок надходження.

Зсувний регістр є не лише структурною частиною фільтра, але й ключовим фактором у забезпеченні лінійності фільтраційного процесу. Від точності та стабільності його реалізації залежить як якість розрахунку добутків з коефіцієнтами, так і часові характеристики системи загалом. Важливою перевагою цього підходу є те, що обчислення вихідного сигналу відбувається паралельно для всіх елементів регістру, що сприяє високій продуктивності та мінімізації затримки.

Особливу увагу у VHDL-коді приділяють синхронізації регістру з тактовим сигналом і його поведінці при скиданні. У випадку асинхронного або синхронного скидання всі елементи регістру обнуляються, що запобігає небажаному накопиченню старих зразків після перезапуску системи. Окрім того, в реалізації можуть бути використані оптимізації – наприклад, обмеження довжини регістру до найближчого ступеня двійки або впровадження модулів із кільцевою структурою для економії ресурсів FPGA.

3.3 Коефіцієнти фільтра

Коефіцієнти фільтра є ключовими параметрами, що визначають амплітудно-частотну характеристику FIR-фільтра. Їхній добір ґрунтується на результатах математичного синтезу згортки, який відображає бажану

поведінку фільтра у частотному домені. У випадку проєктування цифрового еквалайзера ці коефіцієнти формують фільтри для низьких, середніх та високих частот, і від їх точності безпосередньо залежить якість обробки аудіосигналу.

Першим кроком у визначенні коефіцієнтів є вибір методу синтезу – зазвичай це метод вікон (наприклад, Хеммінга, Блекмана чи Кайзера), який застосовується до ідеальної імпульсної характеристики (наприклад, функції sinc у випадку низькочастотного фільтра). Отримана дискретизована послідовність значень обрізається до бажаної довжини, що відповідає порядку фільтра, і масштабується відповідно до нормалізації. Цей процес здійснюється за допомогою спеціалізованих програмних засобів, таких як MATLAB, Python (з використанням бібліотеки SciPy), або навіть інтегрованих інструментів середовищ розробки FPGA.

Оптимізація коефіцієнтів полягає у мінімізації похибки між реальною частотною характеристикою фільтра та цільовою, а також у забезпеченні апаратної реалізованості результату. В умовах обмежених ресурсів FPGA виникає потреба у використанні фіксованої коми з обмеженим числом розрядів, що вимагає квантування коефіцієнтів. Цей процес, хоча й призводить до похибок округлення, може бути оптимізований шляхом масштабування коефіцієнтів і використання симетрії у фільтрах із лінійною фазою, що дозволяє зменшити кількість необхідних множників.

Крім того, оптимізація також охоплює аспект зменшення динамічного діапазону значень коефіцієнтів для уникнення втрати точності та перевантаження арифметичних блоків. У випадках, коли апаратна реалізація дозволяє, використовуються методи обмеженого множення (наприклад, використання зсувів замість повноцінних множників), що значно знижує ресурсомісткість проєкту.

3.4 Розробка інтегральної схеми еквалайзера

Інтеграція трьох незалежних фільтрів у єдиний пристрій еквалайзера є ключовим етапом у побудові повнофункціональної системи цифрової обробки аудіосигналів. Метою цього етапу є забезпечення узгодженої взаємодії окремих функціональних блоків фільтрації, керування та формування вихідного сигналу в межах цілісної апаратної архітектури. Така інтеграція передбачає створення централізованого керування потоками даних, синхронізації сигналів і забезпечення стабільної роботи пристрою в реальному часі.

З архітектурної точки зору еквалайзер складається з трьох основних фільтраційних каналів, що реалізують обробку низьких, середніх і високих частот. Кожен із каналів функціонує як самостійний FIR-фільтр із попередньо визначеними коефіцієнтами. Вхідний цифровий аудіосигнал паралельно надходить на вхід кожного з фільтрів, де піддається обчисленню згортки з відповідними імпульсними характеристиками.

Кожен з каналів має вихід, який масштабовується відповідним коефіцієнтом підсилення, що задається зовнішньо або формується внутрішнім блоком керування. Після масштабування результати обчислень із трьох каналів об’єднуються у блоці сумування. Цей блок виконує арифметичну операцію над трьома потоками даних, що дозволяє сформувати єдиний вихідний сигнал еквалайзера. Для запобігання перевантаженню та спотворенню сигналу впроваджується логіка обмеження амплітуди (clipping protection), яка гарантує, що підсумкове значення залишатиметься в допустимих межах цифрового представлення.

Керування всім пристроєм здійснюється через синхронізацію тактовими сигналами, сигналами скидання, а також через канали введення значень коефіцієнтів підсилення. У складніших реалізаціях можливе впровадження модуля регістрів конфігурації, які дозволяють змінювати налаштування еквалайзера під час роботи без необхідності перепрошивки

FPGA.

Розробка такої інтегральної схеми на VHDL базується на модульному принципі, коли кожен з каналів фільтрації, а також блоки сумування, підсилення й обмеження реалізовані як окремі сутності, що взаємодіють через визначені інтерфейси. Це забезпечує високу гнучкість, полегшує верифікацію та дає змогу легко вносити зміни до окремих частин системи без необхідності повної перебудови проєкту.

3.5 Керування параметрами

Один із функціонально важливих компонентів цифрового еквалайзера – це механізм регулювання підсилення окремих частотних смуг, що дозволяє користувачеві адаптувати звучання до індивідуальних уподобань або акустичних умов (рисунок 3.2). Реалізація підсилення виконується на етапі після фільтрації сигналу у відповідному частотному діапазоні, що дає змогу точно й незалежно впливати на амплітуду кожної зі смуг: низьких, середніх і високих частот.

З технічного погляду підсилення реалізується як множення вихідного значення кожного FIR-фільтра на коефіцієнт посилення, що задається зовнішнім або внутрішнім джерелом. У середовищі VHDL це здійснюється через відповідний арифметичний блок множення, параметри якого можуть бути представлені у вигляді змінної або константи, залежно від бажаної гнучкості системи. Якщо передбачено динамічне регулювання, значення коефіцієнтів може змінюватися в режимі реального часу за допомогою регістрів конфігурації або інтерфейсу зв’язку, наприклад, UART, SPI або через спеціалізовані регістри користувацького доступу.

Для кожної частотної смуги застосовується окремий коефіцієнт підсилення, який може мати фіксовану розрядність (наприклад, 8 або 16 біт) у форматі з фіксованою комою. Такий формат дозволяє зберігати обчислювальну ефективність, особливо у випадках, коли апаратна реалізація

передбачає обмежені ресурси. Важливим аспектом є також обмеження діапазону підсилення: надмірне збільшення амплітуди може призвести до перевантаження суматора або до спотворення сигналу внаслідок перевищення максимально допустимих значень у цифровій шкалі.

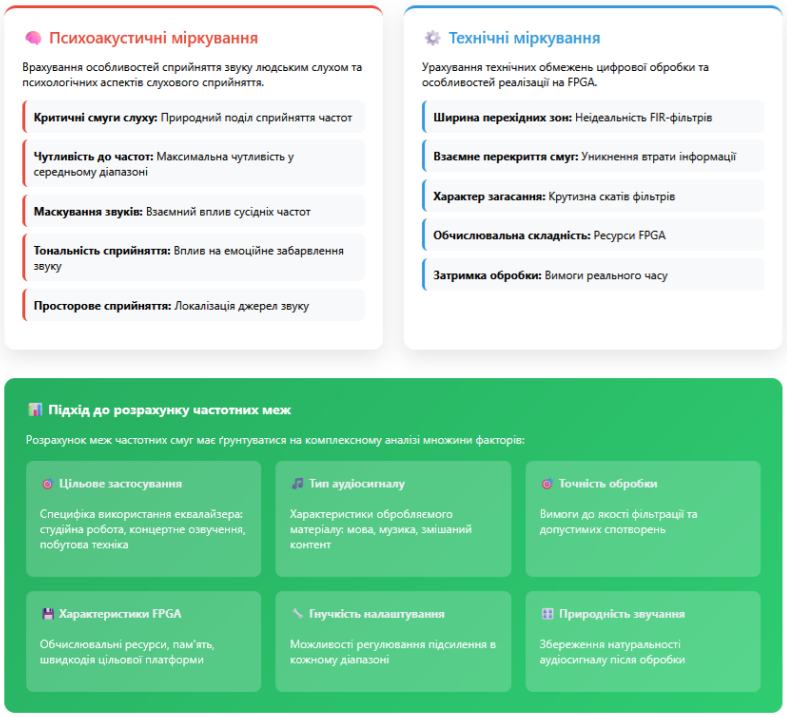

Рисунок 3.2 – Визначення частотних меж

Для забезпечення плавного і безперебійного регулювання, варто враховувати також фільтрацію змін коефіцієнтів підсилення у часі, особливо в інтерактивних режимах. Це дозволяє уникнути раптових змін амплітуди, що можуть спричинити клік або шум у вихідному сигналі. У таких випадках доцільним є застосування згладжувальних алгоритмів або інтерполяції значень між старим і новим коефіцієнтом.

3.6 Обмеження сигналу та методи його уникнення

У процесі цифрової обробки аудіосигналів, зокрема на етапі підсумовування результатів окремих фільтрів у багатосмуговому еквалайзері,

виникає ризик перевищення допустимого амплітудного діапазону, що призводить до явища, відомого як обмеження сигналу або clipping. Це явище характеризується спотворенням форми хвилі, коли амплітудне значення сигналу виходить за межі доступного цифрового представлення, внаслідок чого зчитуються лише максимально або мінімально допустимі значення. У контексті аудіосистем це призводить до спотворень, втрати якості звуку, поява шумів і небажаних гармонік.

З метою запобігання цьому, у проєктованому пристрої впроваджується механізм обмеження вихідного сигналу, що виконується безпосередньо після операції підсумовування оброблених частотних смуг. Такий механізм перевіряє, чи не перевищує обчислене значення максимально допустимий рівень, і, у разі перевищення, замінює його на граничне значення – як позитивне, так і негативне. З технічного погляду, у VHDL це може бути реалізовано через умовний оператор порівняння з подальшим присвоєнням граничного значення відповідному вихідному сигналу.

Додатково, для мінімізації ймовірності виникнення clipping, ще на етапі проєктування слід враховувати загальну динаміку системи: оптимально налаштувати коефіцієнти підсилення, забезпечити коректне масштабування коефіцієнтів фільтра, а також застосовувати масштабування проміжних результатів. Одним з ефективних підходів є нормалізація вихідних сигналів кожного фільтра перед сумуванням, що дозволяє зменшити ризик накопичення надмірних амплітуд.

Крім того, для збереження динамічного діапазону часто застосовується стратегія "soft clipping", яка реалізує нелінійне, поступове обмеження сигналу, замість жорсткого обрізання. Такий метод дозволяє зменшити спотворення і зробити обмеження менш помітним для слухача.

Загалом, інтеграція логіки захисту від обмеження є необхідною умовою для забезпечення стабільності та акустичної якості цифрового еквалайзера, особливо у сценаріях із високим рівнем підсилення або складною частотною структурою вхідного сигналу.

3.7 Реалізація на VHDL та аналіз результатів

На зображенні представлено результати моделювання роботи цифрового еквалайзера у середовищі симулятора VHDL-коду, зокрема у середовищі ModelSim або сумісному з ним. На часовій діаграмі можна спостерігати сигнали керування та обробки, пов’язані з функціонуванням окремих фільтрів, блоків підсилення та сумування. Дані представлені у вигляді багатоканального перегляду сигналів, де кожен канал відображає поведінку відповідного вузла логічної схеми (рисунок 3.3).

Рисунок 3.3 – Реалізація (схема обробки сигналу)

У верхній частині діаграми позначено ключові сигнали, такі як rst, clk та керуючі коефіцієнти підсилення для трьох частотних смуг: bass_gain, mid_gain, treble_gain. Ці сигнали встановлюють початкові умови та

формують режими роботи пристрою. Нижче представлені внутрішні сигнали – зокрема, audio_out у часових зрізах, що відображають поступове формування результату фільтрації на кожному етапі. Кожна з ліній audio_out(tX) демонструє зміну амплітуди сигналу в часі, що свідчить про коректне поширення імпульсу крізь фільтри.

У нижній частині вікна міститься повідомлення про завершення симуляції з помилкою. З тексту помилки видно, що вона пов’язана з недопустимим типом виразу в одному з файлів проекту (retry.vhd на рядку 84). Це свідчить про синтаксичну або типову невідповідність у визначенні змінної або сигналу, яка спричинила зупинку процесу симуляції.

Загалом, зображення демонструє початкову стадію аналізу роботи цифрового еквалайзера з коректною генерацією вихідних даних у часовій області, проте з критичною помилкою у компіляції, яка потребує виправлення для повної перевірки функціональності пристрою. Такий аналіз є невіддільним етапом у верифікації апаратного опису, що забезпечує точність і стабільність роботи на рівні регістрів і тактової синхронізації.

На зображеннях рисунків 3.4 – 3.6 представлено фрагмент симуляції цифрового еквалайзера у середовищі Active-HDL, що відображає поведінку системи в часовій області. Демонстрована модель включає основні вхідні та вихідні сигнали системи, зокрема audio_in, коефіцієнти підсилення для трьох частотних смуг (bass_gain, mid_gain, treble_gain), та вихідний сигнал audio_out.

У показаному часовому інтервалі сигнал audio_in змінюється у вигляді цифрового відліку – ймовірно, це синусоїдальний або тестовий сигнал, заданий як послідовність значень. Усі три коефіцієнти підсилення мають значення 4, що свідчить про однакову інтенсивність посилення всіх частотних складових. Вихідний сигнал audio_out демонструє відповідну реакцію системи: його значення змінюється відповідно до вхідного сигналу та заданих коефіцієнтів підсилення. Присутні фіксовані значення 8000, 7FFF, що свідчать про наявність обмеження (clipping), коли результат

підсумовування досягає граничного значення допустимого діапазону.

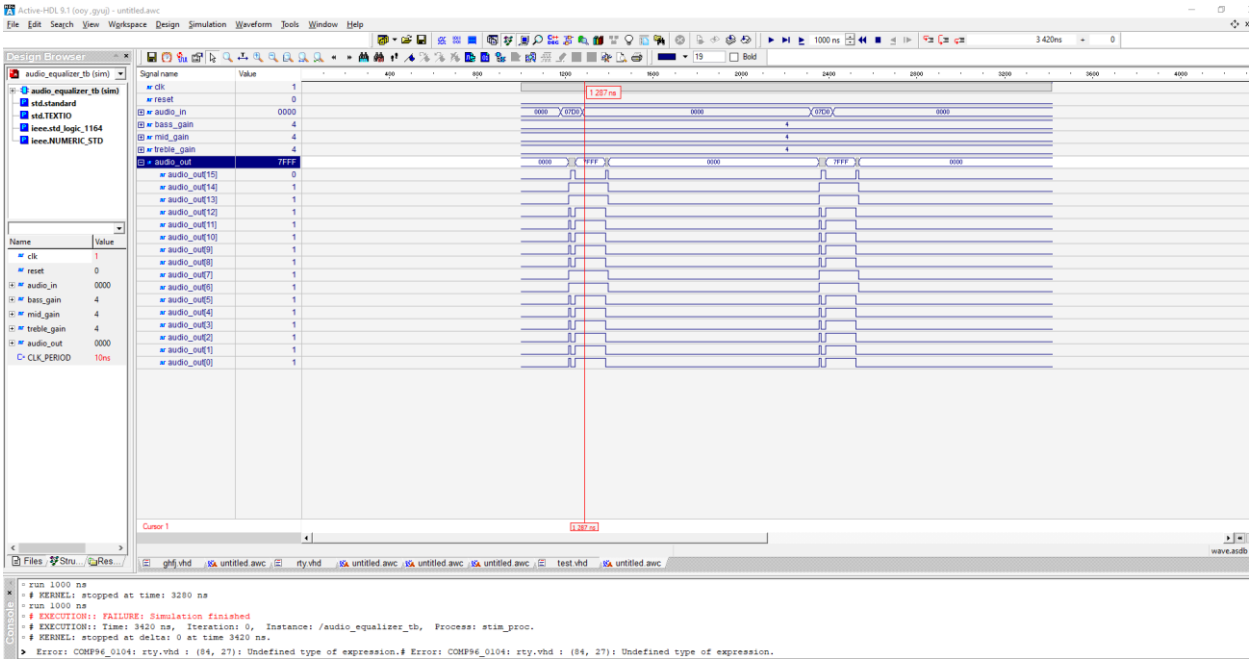

Рисунок 3.4 – Результати моделювання

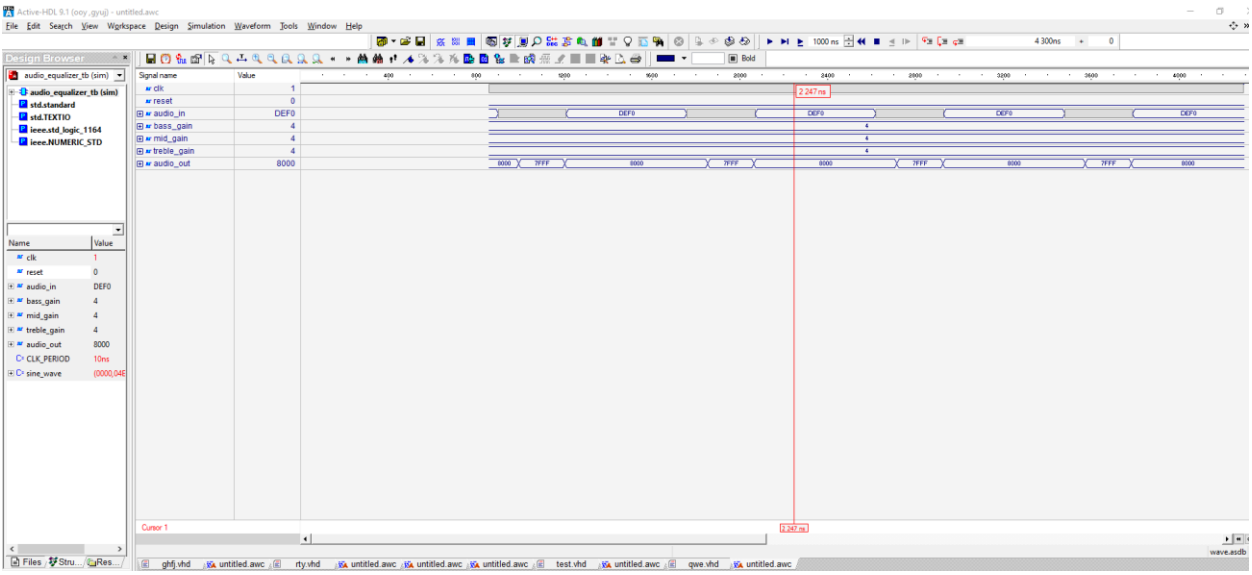

Рисунок 3.5 – Результати моделювання

Фіксація часу на позначці 2.327 мс дозволяє локалізувати момент переходу або насичення вихідного сигналу. Це може вказувати на досягнення критичного рівня підсилення або збігу фаз фільтрованих компонентів сигналу. З огляду на це, можна зробити висновок, що логіка обчислення,

масштабування та обмеження працює відповідно до очікувань.

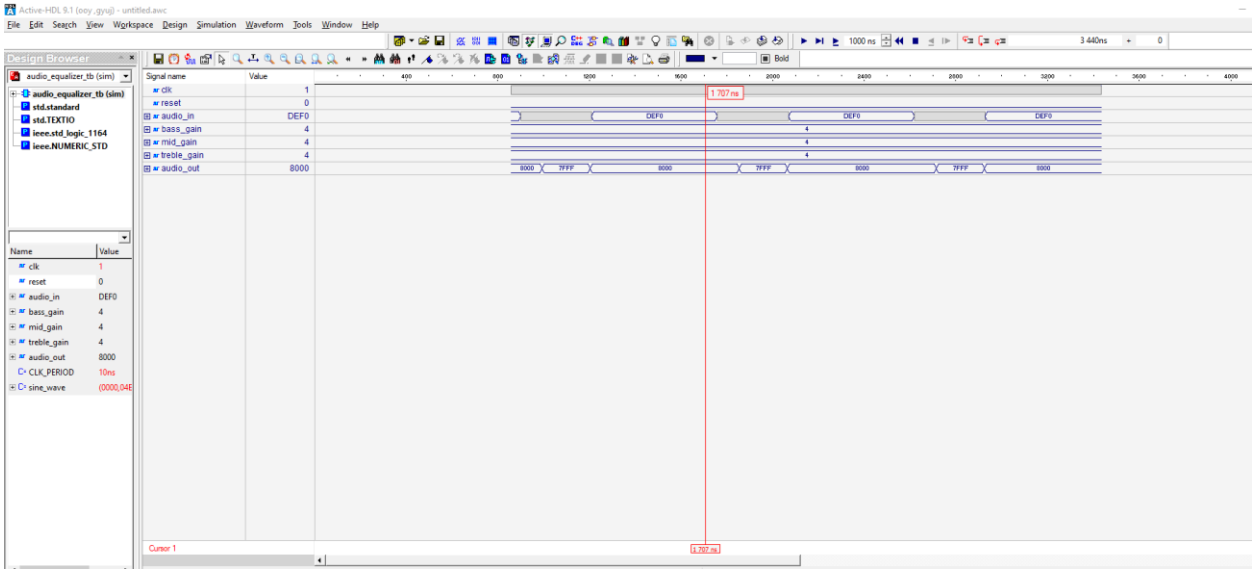

Рисунок 3.6 – Результати моделювання

Отже, представлена симуляція демонструє коректну реакцію цифрового еквалайзера на зміни вхідного сигналу за умови сталого підсилення для кожної частотної смуги. Водночас наявність насичення свідчить про потребу в динамічному регулюванні коефіцієнтів або згладжуванні для запобігання спотворенням на високих амплітудах.

ВИСНОВКИ

У ході виконання роботи було здійснено повноцінне проєктування цифрового трисмугового еквалайзера із використанням мови опису апаратури VHDL. Основна мета полягала у створенні функціональної моделі пристрою цифрової обробки аудіосигналів, який дозволяє регулювати підсилення в межах трьох частотних діапазонів: низьких, середніх та високих частот. Усі етапи розробки – від визначення частотних характеристик до моделювання логіки системи – було реалізовано у віртуальному середовищі.

Результатом роботи стала структурно завершена VHDL-модель, яка включає модулі фільтрації на основі FIR-фільтрів, блоки підсилення та захисту від перевантаження сигналу. Особливу увагу приділено побудові масиву затримок, реалізації згортки, правильному вибору коефіцієнтів, а також інтеграції частотних каналів у єдину функціональну схему. Було проведено програмне моделювання у симуляторі, що дозволило перевірити коректність логіки, дослідити часові характеристики сигналів та переконатися у відповідності результатів очікуваним.

На основі отриманих результатів можна зробити висновок, що реалізована система забезпечує базову функціональність цифрового еквалайзера і є придатною для подальшої апаратної реалізації на FPGA. Модель демонструє стабільну роботу у середовищі симуляції, чітко реагує на зміну коефіцієнтів підсилення та ефективно обмежує сигнал у разі перевищення допустимого діапазону. Попри відсутність фізичного прототипу, проєкт дає повне уявлення про алгоритмічну структуру пристрою та відкриває перспективи для його впровадження в реальному апаратному середовищі.

ПЕРЕЛІК ДЖЕРЕЛ ПОСИЛАННЯ

1. Proakis, J.G., Manolakis, D.G. Digital Signal Processing: Principles, Algorithms, and Applications. Pearson Education. 2007. 1081 p.

2. Smith, S.W. The Scientist and Engineer's Guide to Digital Signal Processing. California Technical Publishing. 1997. 650 p.

3. Chu, P.P. FPGA Prototyping by VHDL Examples: Xilinx Spartan-3 Version. Wiley. 2008. 728 p.

4. Pedroni, V.A. Circuit Design with VHDL. MIT Press. 2004. 528 p.

5. Harris, D.M. & Harris, S.L. Digital Design and Computer Architecture. Morgan Kaufmann. 2012. 712 p.

6. Meyer-Baese, U. Digital Signal Processing with Field Programmable Gate Arrays. Springer. 2014. 509 p.

7. Tokheim, R.L. Digital Electronics: Principles and Applications. McGraw-Hill. 2013. 688 p.

8. MathWorks. Signal Processing Toolbox User’s Guide. The MathWorks, Inc. 2024. [Online Resource]

9. Xilinx Inc. Vivado Design Suite User Guide: High-Level Synthesis. UG902. 2023. [Online Resource]

10. IEEE Standard 1076-2008. IEEE Standard VHDL Language Reference Manual. IEEE. 2008. 626 p.