

Міністерство освіти і науки України
Харківський національний університет радіоелектроніки

Факультет Комп'ютерної інженерії та управління
(повна назва)

Кафедра Автоматизації проектування обчислювальної техніки
(повна назва)

КВАЛІФІКАЦІЙНА РОБОТА Пояснювальна записка

рівень вищої освіти другий (магістерський)
(рівень вищої освіти)

Метод аналізу тестопридатності комбінаційних схем у системах
вбудованого самотестування
(тема)

Виконав: студент 2 курсу, групи СКСм-22-1

Абрамов В.С.
(прізвище, ініціали)

Спеціальність 123 – Комп'ютерна інженерія
(код і повна назва спеціальності)


Тип програми освітньо-професійна
(освітньо-професійна або освітньо-наукова)

Освітня програма _____
Спеціалізовані комп'ютерні системи
(повна назва освітньої програми)

Керівник доц. Кулак Е.М.
(посада, прізвище, ініціали)

Допускається до захисту

Зав. кафедри


(підпис)


Чумаченко С.В.
(прізвище, ініціали)

2024 р.

Харківський національний університет радіоелектроніки

Факультет Комп'ютерної інженерії та управлінняКафедра Автоматизації проектування обчислювальної технікиРівень вищої освіти другий (магістерський)Спеціальність 123 Комп'ютерна інженерія
(шифр і назва)Тип програми Освітньо-професійна
(освітньо-професійна або освітньо-наукова)Освітня програма Спеціалізовані комп'ютерні системи
(повна назва)

ЗАТВЕРДЖУЮ:

Зав. кафедри 

(підпис)

« » 20 р.

ЗАВДАННЯ

НА КВАЛІФІКАЦІЙНУ РОБОТУ

студентові Абрамова Віталія Сергійовича

(прізвище, ім'я, по батькові)

1. Тема роботи Метод аналізу тестопридатності комбінаційних схем у системах вбудованого самотестуваннязатверджена наказом по університету від 03 листопада 2023 р. № 1282 Ст 2. Термін подання студентом роботи до екзаменаційної комісії 16 січня 2024 р.3. Вихідні дані до роботи Класичні методи аналізу тестопридатності цифрових схем, орієнтованих на детерміноване тестування.4. Перелік питань, що потрібно опрацювати в роботі Аналіз предметної області. Реалізація та дослідження вибраних класичних методів аналізу тестопридатності. Розробка нового методу аналізу тестопридатності. Проведення експериментів. Оцінка результатів.

5. Перелік графічного матеріалу із зазначенням креслеників, схем, плакатів, комп'ютерних ілюстрацій (слайдів) _____
 слайди презентації 19 слайдів _____

6. Консультанти розділів роботи (п.6 включається до завдання за наявності консультантів згідно з наказом, зазначеним у п.1)

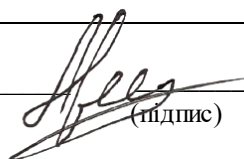
Найменування розділу	Консультант (посада, прізвище, ім'я, по батькові)	Позначка консультанта про виконання розділу	
		підпис	дата

7. Дата видачі завдання 01 вересня 2023 р.


КАЛЕНДАРНИЙ ПЛАН

№	Назва етапів роботи	Терміни виконання етапів роботи	Примітка
1	Отримання завдання	01.09.2023-05.09.2023	
2	Аналіз предметної області	07.09.2023-21.09.2023	
3	Опис обраних класичних методів аналізу тестопридатості та їх програмна реалізація	22.09.2023-05.10.2023	
4	Проведення експериментів	06.10.2023-19.10.2023	
5	Опис оновленого методу аналізу тестопридатості	20.10.2022-27.11.2023	
6	Оформлення пояснювальної записки	28.11.2023-30.12.2023	
7	Оформлення графічного матеріалу	02.01.2024-11.01.2024	
8	Перевірка виконаного проекту керівником	12.01.2023-14.01.2024	

Студент _____


 (підпис)

Керівник роботи _____


 (підпис)

доц. Кулак Е.М.

(посада, прізвище, ініціали)

РЕФЕРАТ

Пояснювальна записка містить 55 сторінок, 9 рисунок, 9 таблиць, 34 джерел за переліком посилань.

ВБУДОВАНЕ САМОТЕСТУВАННЯ, ДЕТЕРМІНОВАНЕ
ТЕСТУВАННЯ КЕРУЄМІСТЬ, СПОСТЕРІГАЄМІСТЬ,
ТЕСТОПРИДАТНІСТЬ,

Об'єктом дослідження є комбінаційні схеми, що представлені на вентиляльному рівні.

Предметом дослідження є методологія аналізу тестопридатності (розрахунку показників) вентиляльних схем, що дозволяє виявити ділянки схеми, які необхідно модифікувати для збільшення її тестопридатності і, як наслідок, гарантувати високу якість тесту ще до його побудови.

Метою дослідження є розробка вдосконаленого методу аналізу тестопридатності комбінаційних схем для детермінованого тесту, для забезпечення високого покриття несправностей генерованим тестом після внесення певних змін до структури схеми, що покращують її тестопридатність на основі показників, що розраховуються.

У цій роботі зроблено огляд і аналіз існуючих методів аналізу тестопридатності цифрових схем, орієнтованих на детерміноване тестування. Зроблено програмна реалізація обраних класичних методів аналізу тестопридатності для проведення порівняльного аналізу. Наведені результати аналізу. Розроблено удосконалений метод аналізу. Проведені експерименти.

Область можливого застосування – для побудови детермінованих тестів для комбінаційних схем або їх частин, які погано піддаються псевдовипадковому тестуванню у системах вбудованого самотестування.

ABSTRACT

The explanatory note contains: 55 pages, 9 figures, 9 tables, 34 sources according to the list of links.

BUILT-IN SELF TEST, DETERMINISTIC ATPG CONTROLLABILITY, OBSERVABILITY, TESTABILITY

The object of research is combinational circuits presented at the gate level.

The subject of the study is the methodology of testability analysis (calculation of indicators) of gate circuits, which makes it possible to identify sections of the circuit that need to be modified to increase its testability and, as a result, guarantee the high quality of the test even before its construction.

The purpose of the work is to develop an improved method for analyzing the testability of combinational circuits for a deterministic test, to ensure high fault coverage by the generated test after making certain changes to the structure of the circuit that improve its testability based on the calculated indicators.

Known approaches to testability analysis for deterministic test pattern generation were presented in this work. Selected approaches to program implementation were realized. Research results were offered. An improved analysis method has been developed. Experiments were carried out.

The area of possible application is intended for constructing deterministic tests for combinational circuits or their parts, which are difficult to pseudo-random testing in built-in self-test systems.

ЗМІСТ

Перелік скорочень, умовних позначень, символів, одиниць і термінів	7
Вступ	8
1 Аналіз предметної області	10
1.1 Проектування тестопридатних схем	10
1.2 Кількісна оцінка тестопридатності.....	14
1.3 Огляд існуючих методів аналізу тестопридатності.....	15
1.4 Постановка задачі	24
2 Реалізація та дослідження вибраних класичних методів аналізу тестопридатності	26
2.1 Порівняльний аналіз вибраних методів	26
2.2 Програмна реалізація вибраних методів	31
2.3 Проведення експериментів	32
3 Розробка нового методу аналізу тестопридатності.....	36
3.1 Обчислення керованості	36
3.2 Обчислення спостережуваності.....	39
3.3 Обчислення тестопридатності	43
3.4 Проведення експериментів. Оцінка результатів	46
Висновки.....	50
Перелік джерел посилання	52
Додаток А Презентаційні слайди	56
Додаток Б Лістинг модуля оголошення класів	66
Додаток В Лістинг модуля реалізації класів для методу CAMELOT	68
Додаток Г Приклад звіту за розрахованими показниками.....	76
Додаток Д Тези доповіді	77

ПЕРЕЛІК СКОРОЧЕНЬ, УМОВНИХ ПОЗНАЧЕНЬ, СИМВОЛІВ, ОДИНИЦЬ
І ТЕРМІНІВ

- ВСТ – вбудоване самотестування
- ЗРЛЗС – зсувний регістр з лінійними зворотними зв'язками
- ОЗП – оперативний запам'ятовуючий пристрій
- ПЛІС – програмовані логічні інтегральні схеми
- ПЗП – постійний запам'ятовуючий пристрій
- ТПР – тестопридатне проектування
- ATPG – Automatic Test Pattern Generation (автоматична генерація тестових наборів)
- BILBO – Built-in Logic Block Observer (вбудований контролер логічного блока)
- СУ – Controllability (керуваність)
- FPGA – Field Programmable Gate Array (програмована користувачем вентильна матриця)
- IEEE – Institute of Electrical and Electronics Engineers (інститут інженерів по електротехніки та електроніки)
- LSSD – Level Sensitive Scan Design (метод сканування, чутливий до рівня тактового сигналу)
- NoC – Network-on-Chip (мережа на кристалі)
- OY – Observability (спостережуваність)
- RAS – Random Access Scan (сканування з довільним доступом)
- SoC – System-On-Chip (система на кристалі)
- SP – Scan Path (сканований шлях)
- TY – Testability (тестопридатність)
- VHDL – Very high speed integrated circuit Hardware Description Language (мова опису апаратури для високошвидкісних інтегральних схем).

ВСТУП

Рівень розвитку засобів автоматизованого проектування в даний час дозволяє досить просто спроектувати схему, яка в сучасному значенні цього поняття фактично не є тестопридатною. Сьогодні визнається, що якщо у результаті проектування необхідно мати тестопридатний пристрій, то забезпечення тестопридатності має виконуватися у процесі проектування. Такий підхід дав початок розвитку численних методів тестопридатного проектування (ТПР). Одним із методів ТПР, який використовується та розвивається сьогодні є метод вбудованого самотестування (ВСТ).

У системах ВСТ переважно використовуються псевдовипадкові та виважені тести. Існують методи, що дозволяють оцінювати наскільки адекватно можна протестувати ту чи іншу комбінаційну схему за допомогою псевдовипадкових тестів, і для схем, що погано піддаються такому тестуванню, будуються детерміновані тести, які зберігаються в ПЗП всередині системи. Одним із численних завдань, що стоять перед розробниками, є реалізація аналізу тестопридатності в системах автоматизованої генерації тестів детермінованим способом (deterministic ATPG (Automatic Test Pattern Generation)). Ці системи призначені для побудови тестів для комбінаційних частин схем, які погано піддаються псевдовипадковому тестуванню.

Проблематика аналізу тестопридатності має давню історію. Існує велика різноманітність структурних методів аналізу тестопридатності цифрових схем для різних типів тестів [1]. У сучасних системах вбудованого самотестування, що активно розвиваються в наш час [2], використовуються детерміновані, псевдовипадкові та виважені тести [3]. Ідея структурного аналізу тестопридатності полягає в тому, щоб виявити за допомогою показників, що розраховуються, проблемні ділянки схеми, які

модифікуються для збільшення їх тестопридатності і тестопридатності схеми в цілому. Це дозволяє забезпечувати високе покриття несправностей при подальшій побудові тесту у разі детермінованого тестування або діагностичному експерименті у разі псевдовипадкового та зваженого тестування. У разі тест не будується і моделювання несправностей не проводиться. [4]. Якщо йдеться про детерміноване тестування, стратегія, за якої спочатку будується тест, а потім модифікуються проблемні ділянки схеми, через незадовільну якість тесту, щоб знову побудувати новий тест для модифікованої схеми з метою покращення якості тесту (покриття несправностей) може виявитися провальною, оскільки це може зайняти велику кількість часу. Набагато більш ефективним практично виявляється використання аналізу, що передує генерацію тесту.

Об'єктом дослідження є комбінаційні схеми, що представлені на вентиляльному рівні.

Предметом дослідження є методологія аналізу тестопридатності (розрахунку показників) вентиляльних схем, що дозволяє виявити ділянки схеми, які необхідно модифікувати збільшення її тестопридатності і, як наслідок, гарантувати високу якість тесту ще до його побудови.

Метою дослідження є розробка вдосконаленого методу аналізу тестопридатності комбінаційних схем для детермінованого тесту, для забезпечення високого покриття несправностей генерованим тестом після внесення певних змін до структури схеми, що покращують її тестопридатність на основі показників, що розраховуються.

Область можливого застосування – для побудови детермінованих тестів для комбінаційних схем або їх частин, які погано піддаються псевдовипадковому тестуванню у ВСТ-системах.

1 АНАЛІЗ ПРЕДМЕТНОЇ ОБЛАСТІ

1.1 Проектування тестопридатних схем

Тестопридатність – це один з найважливіших показників, який повинен враховуватися при проектуванні цифрових пристроїв поряд з такими показниками, як швидкодія та вартість пристрою.

Не формально тестопридатність визначається наступним чином [5]: схема є тестопридатною, якщо процедури генерації безлічі тестових наборів, оцінки їх ефективності та реалізації тестового діагностування можуть бути виконані за умови дотримання у встановлених межах фінансових витрат, витрат часу та значень показників, що характеризують пристосованість схеми до виявлення несправностей, пошуку місця несправностей та реалізації тестового діагностування.

Існує безліч методів аналізу тестопридатності цифрових схем, у тому числі, що орієнтуються на детерміноване тестування. Однак вони мають деякі недоліки.

Існуючі методи ТПР поділяються на три групи: спеціалізовані методи (ad hoc), методи сканування та методи вбудованого самотестування. Методи сканування поділяються на структурні методи сканування та методи граничного сканування.

Неструктурні або спеціалізовані підходи (ad hoc) є сукупністю правил поліпшення керованості та спостережуваності, що застосовуються на останніх етапах проектування. [4]. Додаткові апаратурні витрати, необхідних реалізації цих методів щодо невеликі (серед усіх методів ТПР – найменші апаратурні витрати).

Інші методи ТПР, на відміну спеціалізованих, застосовуються, починаючи з ранніх етапів проектування, і додаткові апаратурні витрати,

необхідні реалізації цих методів набагато вище. Вони гарантують, що пов'язані з тестуванням проблеми не виникатимуть, забезпечуючи покращений доступ до пристрою при тестуванні як для подачі тестових наборів, так і для зняття реакцій на тести. Для складних пристроїв лише змішане використання методів ТПР давало найкращий результат забезпечення їх тестування [6].

Після спеціалізованих методів почали розвиватися структурні методи сканування. Суть їх полягає в тому, що існуючі елементи пам'яті, що входять до структури пристрою, модифікуються та об'єднуються в єдиний регістр зсуву, іменованій шляхом сканування. Таким чином покращується керованість та спостережуваність внутрішніх вузлів схеми. При цьому схема виявляється розділеною на дві частини – послідовну та комбінаційну. Кожна з цих частин тестується своїми способами. Для послідовної частини використовуються стандартні тести для зсувного регістру, а комбінаційної – детерміновані. Така ідея відвідала в середині 80-х років низку компаній, які виробляють цифрову техніку. Кожна компанія створила свій метод сканування. Найбільш відомими є: метод сканованого шляху SP (Scan Path) фірми Nippon Electric [7]; LSSD (Level Sensitive Scan Design) фірми IBM [8]; RAS (Random Access Scan) фірми Fujitsu [9, 10]; Scan Set фірми Sperry Univac [11]. Апаратурна надмірність даних методів становить від 5 до 20% площі кристала. Особливістю методів і те, що є регулярними, тобто. дозволяють одноманітним способом організувати тестування всіх рівнях від кристала до системи загалом.

Природним розвитком методів структурного сканування стали методи вбудованого самотестування (BCT) [12]. Суть принципу вбудованого самотестування у системах тестового (off-line) діагностування полягає в тому, що генерація тестових наборів та аналіз реакцій на ці набори здійснюється самим пристроєм. Для спрощення генератора тестової послідовності використовують способи генерації, що характеризуються

високою регулярністю, або навпаки випадкові тестові набори. Тестування проводиться на реальних частотах, що важливо, оскільки несправності, що перемежуються, перевіряються або на робочій частоті пристрою, або на частоті, близькій до неї. Це одна з переваг, які дають методи ВСТ. Крім того, методи не вимагають моделювання несправностей, полегшують перевірку пристроїв, знижують час тестування, значно знижується потреба у зовнішньому діагностичному обладнанні.

У системах ВСТ використовуються вичерпні, псевдовичерпні та псевдовипадкові тести. Вичерпні тести використовуються для комбінаційних схем, що містять не більше ніж 22 входи [13], такі тести генеруються лічильниками. Псевдовипадкова послідовність може бути отримана за допомогою схеми, званої зсувним регістром з лінійними зворотними зв'язками (ЗРЛЗС) Проблема при використанні псевдовипадкових тестів полягає у визначенні довжини послідовності, що генерується тестових наборів для виявлення необхідного числа несправностей. І тому використовуються спеціальні методи аналізу тестопридатності [14, 15]. Всі ці методи тестування добре підходять тільки для комбінаційних схем. Для схем, що погано піддаються псевдовипадковому тестуванню, будують детермінований тест. Детермінований тест у системах ВСТ зберігається у ПЗП.

Методи стиснення вихідних реакцій характеризуються складністю реалізації та ймовірністю втрати інформації про несправність за рахунок стиснення. Для стиснення використовується дві структури - лічильник та ЗРЛЗС. Найбільш популярним при ВСТ є ЗРЛЗС, у такій реалізації його називають сигнатурним аналізатором. Існує два види сигнатурних аналізаторів - послідовний або одновходовий і паралельний або багатовхідний [16, 17].

Одним із найвідоміших методів ВСТ є метод ВІЛВО (Built-in Logic Block Observer) [18]. Його сенс полягає в перетворення елементів пам'яті схеми на регістри ВІЛВО для тестування комбінаційних схем, розташованих між ними. ВІЛВО регістр є багатофункціональним пристроєм, що дозволяє генерувати псевдовипадковий тест, виконувати функції паралельного і зсувного регістра, здійснювати стиснення реакцій на тест послідовним або паралельним способом. Додаткові витрати можуть сягати 30%.

При появі багат шарових друкованих плат у середині 80-х років гостро постала проблема їх тестування, оскільки до цього тестування друкованих плат ґрунтувалося на прямому доступі до провідників та мікросхем. Для вирішення цієї проблеми було створено групу JTAG (Joint Test Action Group), яка за допомогою 200 провідних фірм протягом 5 років розробила стандарт Boundary-Scan IEEE 1149.1 [19, 20]. В основі методу лежить концепція розміщення послідовного регістру зсуву по межах пристрою. Декілька пристроїв на платі можуть бути об'єднані в єдиний послідовний шлях сканування. Таким чином, метод граничного сканування забезпечує фактично 100% спостереження, і 100% керованість входів/виходів пристроїв. Основним завданням архітектури Boundary-Scan, згідно зі стандартом IEEE 1149.1, є тестування міжз'єднань (перевірка наявності, розміщення та зв'язку з'єднаних компонентів, а також виявлення обривів з'єднань та замикань між пристроями). Переваги технології Boundary-Scan: Забезпечує простоту управління конфігуруванням складних систем, що включають дочірні плати, багатокристалні модулі і т. п. дозволяє організовувати тестування on-line; забезпечує доступ до регістрів, шин, висновків; простий доступ до ВСТ можливостей пристроїв; полегшує тестування пристосованих до сканування пристроїв, пам'яті. Першу редакцію стандарту IEEE 1149.1 було прийнято у 1990 році та вдосконалено у 2013 році.

Для систем на кристалі SoC (System-On-Chip) на основі стандарту IEEE 1149.1 було розроблено стандарт IEEE 1500 Standard for Embedded Core Test

(для тестування вбудованих ядер) [21]. Його було прийнято у 2005 році. Розширенням стандарту IEEE 1500 на мережу на кристалі NoC (Network-on-Chip) [22] став стандарт IEEE 1687 Standard for Access and Control of Instrumentation Embedded within Semiconductor Device [23].

1.2 Кількісна оцінка тестопридатності

Існують два шляхи кількісної оцінки тестопридатності проекрованої схеми, які можуть використовуватися до виконання процедур генерації тестів та оцінки їхньої повноти. Вони видаються як «лічильні» та «алгоритмічні» методи [5]. У «рахункових» методах ідентифікуються характеристичні особливості схеми, які поліпшують, або погіршують тестопридатність. Кожна характеристика визначається деяким числом показників, що представляють ступінь впливу цієї характеристики на тестопридатність. Однак, по суті, лічильний метод є грубою оцінкою тестопридатності. Основна перевага лічильного методу полягає в тому, що він дозволяє відрізнити тестопридатний виріб від іншого, в середньому менш тестопридатного. Алгоритмічні методи тестопридатності реалізуються програмно та дозволяють отримати оцінки тестопридатності шляхом аналізу топологічного опису схеми. Перевага цих заходів полягає в можливості якісно оцінити тестопридатність кожного схемного вузла, що дозволяє побудувати перерізи схеми за рівнем тестопридатності. Порівняння різних вузлових значень тестопридатності дозволяє легко визначити області з невисокою тестопридатністю та оцінити ефективність різних методів її покращення. У цьому контексті дуже важливими є базові поняття: керованість, спостережуваність та тестопридатність [5]. Керованість - здатність схеми встановлювати значення внутрішніх улов із зовнішніх входів. Спостережуваність – здатність схеми спостерігати значення

внутрішніх вузлів зовнішніх виходах. Тестопридатність кожного вузла – це функція значень його керованості та спостережуваності.

1.3 Огляд існуючих методів аналізу тестопридатності

Перші роботи у цій галузі належать Рутману [24] 1972 року.

Незалежно від нього велися дослідження Стефенсон і Грасон [25] 1976-1981 рр. Ці роботи були орієнтовані детерміноване тестування і присвячені системі TMEAS.

У системі TMEAS значення керованості та спостереження нормалізуються в інтервалі від 0 (низький рівень) до 1 (високий рівень). Для обчислення значень керованості схеми СУ її входам приписують значення $SU=1$. Потім залежність керованості інших вузлів схеми від станів їх входів є системою рівнянь. У цих рівняннях використовуються коефіцієнти передачі керованості елементів, які визначають співвідношення між значеннями керованості входів та виходів елемента схеми. Коефіцієнти передачі керованості змінюються залежно від логічної функції компонента схеми та є функцією однорідності вхід-вихідного відображення. Коефіцієнт передачі керованості компонента схеми дорівнює 1, якщо вхід-вихідне відображення однорідно, і зменшується до 0 принаймні зменшення однорідності.

При обчисленні спостережуваності схеми ОУ спочатку передбачається, що з первинних виходів $OU=1$. Потім значення ОУ інших вузлів схеми зв'язуються із значеннями ОУ виходів за допомогою коефіцієнтів передачі спостереження. Ці коефіцієнти визначають міру ймовірності того, що несправність, що з'являється на входах компонента схеми, буде поширюватися на її виходи, і значення коефіцієнтів знову змінюються в межах від 0 до 1 відповідно до виконуваної логічної функцією компонента. У системі TMEAS обчислення спостережуваності залежить від значень керованості, обчисленої раніше. Для обчислення СУ та ОУ компонентів

схем, що містять елементи пам'яті, тактові шини та розгалуження, розроблені спеціальні правила. Коротко вони перебувають у наступному. Елемент пам'яті представляється як елемента з додатковими ланцюгами зв'язку, які визначають залежність наступного стану елемента від його поточного стану. Наявність шин тактової синхронізації не враховується. При обчисленні керованості у вузлах розгалужень значення СУ зменшується порівняно зі значенням СУ при прямій передачі інформації, відображаючи той факт, що в точках розгалуження не можна встановити різні логічні значення, як часто потрібно для активізації шляху транспортування несправності. Ці правила відрізняються від тих, що використовуються в системі CAMELOT. Значення тістопридатності обчислюється як середнє геометричне значень керованості та спостережуваності.

Обмеженість системи TMEAS полягає в тому, що задані формули для обчислення значень коефіцієнтів передачі керованості та спостережуваності за функціональними характеристиками елементів визначають тенденцію до отримання надзвичайно низьких значень цих параметрів для найпростіших схемних елементів (I, АБО тощо), проте це не є серйозним недоліком, тому що завжди при необхідності можна збільшити значення коефіцієнтів до необхідного рівня. Ще одна складна проблема, загальна для систем TMEAS і CAMELOT, виникає, коли зустрічаються вузли схеми, постійно підключені до одного з логічних рівнів. Виникає воно з причини, що обчислення одного значення керованості кожному за вузла має тенденцію приховувати відносні проблеми формування двох можливих логічних рівнів. Вирішення цієї проблеми запропоновано у наступних трьох системах оцінки тестопридатності.

Робота Рутмана була вдосконалена та розширена Брейером [26] Ці роботи були орієнтовані на детерміноване тестування та присвячені системі TEST/80.

У системі TEST/80 пропонується програма автоматичної генерації тестів для цифрових схем. Подібно D-алгоритму в ній реалізується спроба встановити безліч шляхів, якими несправності внутрішніх вузлів можуть транспортуватися через схему і спостерігатися на її виходах. Процедура виконується за дві фази: визначення шляху від вузла до виходу схеми та встановлення множини вхідних умов, що сприяють активізації цього шляху. На відміну від D-алгоритму у системі TEST/80 використовується процес, званий аналізом витрат, що дозволяє ідентифікувати оптимальний шлях переходу у стан. Насправді цей аналіз є процедурою оцінки властивостей керованості та спостережуваності схеми.

До кожного вузла, схеми обчислюються значення трьох оцінок: c_A – видатки установку у вузлі А стану 1; \bar{c}_A - витрати на установку у вузлі А стану 0; d_A -витрати на D-прохід від вузла А до виходу схеми. Недоліки зростають, коли виникають різні проблеми, що ускладнюють виконання цих процедур.

У загальному випадку описані далі заходи систем SCOAP і TESTSCREEN дозволяють обчислити значення керованості вузла окремо для кожного логічного рівня (в системі c_A і \bar{c}_A). Якщо відома функція елемента, оцінки цих витрат на виходах деякого елемента обчислюються підсумовуванням наступних трьох складових:

- функції витрат керованості входу;
- складової, обумовленої несприятливими ефектами, які можуть бути при наявності розгалужень на виході елемента;
- складника, пов'язаного з типом елемента.

Завершивши обчислення оцінок цих складових кожного елемента схеми, можна скласти систему рівнянь, з якої всім вузлів схеми визначаються значення c_A і \bar{c}_A .

Третя оцінка, dA є мірою спостережуваності вузла. Значення цієї оцінки на вході елемента знову обчислюється підсумовуванням трьох складових:

- оцінки ймовірності реалізації D -розповсюдження зі входу елемента на його вихід, яка є функцією sA та \bar{sA} інших входів елемента;
- оцінки витрат на D -поширення від виходу елемента до виходу схеми; якщо є кілька шляхів, то вибирається шлях із найменшими витратами;
- оцінки числа тактових циклів, необхідні передачі значення D від вузла на вихід схеми.

Може здатися, що витрати dA дорівнюють 0, якщо A – вихід схеми. Зауважимо, що принцип використання значень керованості для обчислення спостережуваності такий самий, як у системі CAMELOT.

Ця система оцінок дозволяє обчислити параметри тестопридатності, значення яких зменшуються, якщо умови, від яких ці параметри, забезпечуються з меншими витратами. Отже, щоб максимізувати тестопридатність, витрати необхідно мінімізувати. З іншого боку, можливість обчислення значень керованості окремо для кожного логічного рівня збільшує точність моделювання процесу генерації тестів і дозволяє вирішити труднощі, пов'язані з наявністю у схемі вузлів, які постійно підключені до одного з логічних рівнів.

Одним із найвідоміших методів аналізу тістопридатності є метод Голдштейна SCOAP (Sandia Controllability/Observability Analysis Program) [27].

Система SCOAP є розвитком TEST/80. Кожен вузол схеми характеризується шістьма параметрами: комбінаційними керованостями 0 і 1, послідовними керуваннями 0 і 1 і комбінаційною і послідовністю спостереження.

Як і в системі TEST/80, керованості та спостережуваності входів та виходів елементів схеми пов'язані логічною функцією, що реалізується цим

елементом. Крім того, їх значення обернено пропорційні обчислюваним параметрам вузлів схеми. Вони визначаються в такий спосіб. Комбінаційні керованості, $CC0$ і $CC1$, визначаються як мінімальна кількість вузлів, які повинні бути встановлені у певний стан, щоб у заданому вузлі вийшло логічне значення 0 або 1. Послідовні керованості $SC0$ та $SC1$ визначаються аналогічно як число «послідовних вузлів», які необхідно встановити в певний стан. Послідовний вузол - це вузол схеми, стан якого фіксується на один тактовий період. Таким чином, вузол, який необхідно підтримувати в стані логічної 1 протягом шести тактів для транспортування необхідного логічного значення заданого вузла, оцінюється як шість послідовних вузлів. Для входів схеми $CC0=CC1=1$, тоді як $SC0=SC1=0$ визначення.

Комбінаційна і послідовна спостереження, $C0$ і $S0$, визначаються як мінімальна кількість вузлів або послідовних вузлів відповідно, які повинні бути встановлені в певний стан, щоб несправність транспортувалася від її джерела до виходу схеми. За визначенням, спостережуваності виходів схеми дорівнюють 0.

Як і в системі TEST/80, керованості та спостережуваності входів та виходів елементів схеми пов'язані логічною функцією, що реалізується цим елементом. Крім того, їх значення обернено пропорційні обчислюваним параметрам вузлів схеми.

В 1982 був описаний модифікований варіант алгоритму SCOAP [28], який задовольняє вимогам проектування пристроїв на вентилях матрицях. Ця система, яка називається COMET (Controllability and Observability Measure for Test), включає додатковий параметр тестопридатності, що називається передбачуваністю. Передбачуваність є похідною керованості та характеризує міру здатності або нездатності схеми до початкової установки у відомий стан.

Інші варіанти базового алгоритму SCOAP забезпечують можливість більш досконалого поводження з шинами живлення та землі, вузлами з

постійними логічними рівнями, двоспрямованими елементами та макроосередками.

Описані вище розробки, лягли в основу інших систем, які обчислювали значення спостережуваності та керованості для детермінованих АТПГ, таких як TESTSCREEN [29] 1981, CAMELOT (Computer-Aided Measure for Logic Testability) [30] 1981, і VICTOR VLSI Identifier of Controllability, Testability, Observability and Redundancy) [31] 1982

Система TESTSCREEN. Один із недоліків системи SCOAP полягає в тому, що для ланцюга з n інверторів керованість виходу дорівнює $n-1$. Проте реально керувати виходом n -го інвертора набагато важче, ніж виходом першого. Для виключення цього недоліку в системі TESTSCREEN змінено визначення спостережуваності, значення якої визначається числом входів схеми, які повинні бути встановлені у певний стан для досягнення бажаного результату. Так, наприклад, комбінаційна керованість визначається як число входів схеми, які мають бути встановлені у певний стан для отримання необхідного логічного значення на заданому вузлі. Отже, для ланцюжка інверторів комбінаційна керованість виходу дорівнює тепер 1. Тестопридатність у системі TESTSCREEN визначається як зважена функція шести показників керованості та спостережуваності, розміру схеми та числа входів та виходів.

Система CAMELOT розроблена спільно Брюнельським університетом (Аксбрідж, Великобританія) та компанією Cirrus Computers. У системі CAMELOT керованість СУ може набувати відносне значення від 0 до 1. Максимальне значення 1 має такий вузол, як первинний вхід, де можна легко встановити як логічну 1, так і логічний 0. Інше граничне значення керованості 0 має вузол, який не може бути встановлений в один із двох можливих логічних станів. Практично значення керованості більшості вузлів у схемі лежать між цими двома межами. Визначивши значення СУ на первинних входах, визначаю значення СУ внутрішніх вузлів. Якщо входи

пристрою керуються безпосередньо, то керованості його виходів повинні просто у відносних одиницях відображати міру здатності пристрою до встановлення на кожному виході 0 та 1, що визначається логічною функцією передачі пристрою. Однак у загальному випадку керованість входів пристрою не 100%. Тому керованість виходів повинна враховувати як здатність передачі логічних значень через пристрій, так і значення керованості на його входах. Таким чином, вираз, використовуваний для обчислення значення СУ кожного виходу, використовує коефіцієнт передачі керованість, який є мірою, що характеризує ступінь відмінності здатності пристрою генерувати на даному виході значення 1 від здатності генерувати значення 0. Цей коефіцієнт залежить тільки від логічної функції, що реалізується пристроєм, і залежить від місця його розташування у схемі.

Другий показник тестопридатності - спостереження ОУ обчислюється в такий спосіб. Спостережуваність вузла визначається як міра, що характеризує здатність схеми передачі інформації про логічний стан даного вузла на один або кілька її виходів. Це означає, що спостереження первинного виходу дорівнює 1. Аналогічно, спостереження вузла в самому вузлі також дорівнює 1. Це значення зменшується в міру проходження сигналів уздовж активізованого шляху до первинних виходів. Для обчислення спостереження використовують коефіцієнт передачі спостереження. Коефіцієнт передачі спостереження є кількісною мірою, що характеризує зменшення значення спостережуваності вхідного вузла пристрою у міру просування до виходу вздовж активізованого шляху за умови, що інші вхідні вузли пристрою керовані. Цей коефіцієнт визначає здатність пристрою передавати зміни логічного стану одного входу певний вихід. Однак у загальному випадку процес поширення інформації про несправність через пристрій залежить від умови активізації певного входу, так і від умови встановлення фіксованих значень на деяких або всіх інших входах пристрою, що дозволяють активізувати шлях до певного виходу.

Очевидно, що здатність пристрою задовольняти другий з цих умов є функцією керованості цих входів.

Міра тестопридатності вузла ТУ виходить у результаті множення значень його керованості та спостережуваності.

Обмеженість системи CAMELOT, яка притаманна і системі TMEAS, полягає в тому, що задані формули для обчислення значень коефіцієнтів передачі керованості та спостережуваності за функціональними характеристиками елементів визначають тенденцію до отримання надзвичайно низьких значень цих параметрів для найпростіших схемних елементів (І, АБО тощо), однак це не є серйозним недоліком, тому що завжди при необхідності можна збільшити значення коефіцієнтів до необхідного рівня. Ще одна складність, загальна для системи CAMELOT, виникає, коли зустрічаються вузли схеми, постійно підключені до одного з логічних рівнів. Виникає воно з причини, що обчислення одного значення керованості кожному за вузла має тенденцію приховувати відносні проблеми формування двох можливих логічних рівнів.

Система VICTOR. Програма аналізу тестопридатності VICTOR розробили з метою ідентифікації надлишкових вузлів схеми на початок процесу генерації тестів. Вузол схеми є логічно надлишковим, якщо значення на виходах схеми не залежать від стану вузла всім вхідних наборів або послідовності станів. Насправді це означає, що певні несправності на логічно надлишковому вузлі неможливо знайти. Ідентифікація потенційно надлишкових елементів схеми перед процедурою генерації тестів дозволяє виключити непотрібні витрати часу та, зрештою, марні обчислення.

Система VICTOR аналізує комбінаційні підсхеми, в яких є розгалуження, що сходяться, і реалізовані методи сканування (ці методи проектування описані в наступному розділі). Програма повідомляє про наявність у схемі надлишкового вузла на основі аналізу конфліктів логічних значень у цьому вузлі. Користувач потім може вибрати одне з двох рішень:

модифікувати схему, або дати команду генератору тестів не синтезувати тест для несправностей надлишкового вузла.

Деякий час розвивалися ентропійні методи аналізу тестопридатності. Було запропоновано метод аналізу тестопридатності, що ґрунтується на теоретико-інформаційних оцінках і тому мало пов'язаний з методами аналізу, розглянутими раніше. У розглянутому методі керованість і спостереження визначаються як змінні, подібні до ентропії. Керованість входів є високою, оскільки відомо, які логічні сигнали будуть прикладені. У міру просування сигналів через схему кількість інформації про логічний стан внутрішніх вузлів схеми зменшується, а отже, зменшується керованість. Аналогічно спостережливість виходів схеми є високою і зменшується в міру просування до первинних входів. Ці визначення добре узгоджуються з аналогічними, що використовуються у системах CAMELOT та TMEAS. Цей метод представляв винятково теоретичний інтерес, що важко застосувати на практиці, особливо для послідовних схем.

Кожен із описаних вище методів аналізу має певні відмінності. Якщо ці відмінності спрямовані на збільшення точності передбачення тестопридатності, то це досягається ціною збільшення теоретичної складності процедури аналізу. Прикладом є обчислення окремих показників тестопридатності для двох логічних рівнів у системах TEST/80 SCOAP і TESTSCREEN, яке засноване на аналізі логічної поведінки елементів у процесі обчислень. Інші особливості, як, наприклад, незалежність обчислень спостеріжуваності від попередньо обчислених значень керованості у системі TMEAS, зумовлюють зменшення точності передбачення. Вибір співвідношення між складністю і точністю повинен здійснюватися розробником відповідно до його вміння прийняти правильне рішення та призначення обчислюваних параметрів тестопридатності. Система CAMELOT представляє одне з таких рішень, що у 80-х роках розглядалося як

задовільне для практичного використання у процесі проектування. В інших методах аналізу вибрано інші співвідношення між складністю та точністю.

Пізніше з'явився метод визначення загального коефіцієнта якості тестопридатності Р. Спіллмена та ін. (Факультет математики та обчислювальної техніки лютеранського університету, Такома, США) [32] (1983). Він заснований на двох базових поняттях: тестопридатність вузлів, що перебувають у схемі, і тестопридатності ізольованих вузлів, тобто вузлів, що знаходяться поза схемою. Знаходження тестопридатності вузлів схеми ґрунтується на тестопридатності ізольованих вузлів та структури схеми. Використовується поняття досяжності вузлового елемента схеми, яке характеризується досяжністю всіх вузлів, пов'язаних з цим елементом по дорозі проходження сигналу від входу до виходу. Визначення загального коефіцієнта якості тестопридатності зводиться вирішення трьох завдань: визначення всіх шляхів від входів до виходів; обчислення тестопридатності для кожного шляху; обчислення коефіцієнта якості тестопридатності пристрою, що дорівнює виваженому середньому тестопридатності шляхів. Метод застосовується для невеликих схем через необхідність визначення всіх шляхів від входів до виходів.

1.4 Постановка задачі

У всіх описаних методах є дві проблеми [13]. По-перше, не було досягнуто кореляції між значеннями тестопридатності і числом несправностей, що перевіряються (якістю тесту). По-друге, залишилося нез'ясованим як все-таки модифікувати схему, щоб підвищити тестопридатність. Тривіальне рішення, що полягає у додаванні додаткових контрольних точок на лінії з поганою спостеріжуваністю, а також схем, що підвищують керованість на лінії з поганою керованістю не завжди ефективно. У [33] (1985 р.) було запропоновано складніший підхід, та його

обчислювальна складність занадто висока, щоб бути використаним практично. Загалом більшість існуючих методів містять дуже складні обчислення, застосовні тільки для невеликих схем (сотні вентилів) і важко піддаються аналізу [13].

Завдання дослідження полягають у розробці методу аналізу тестопридатності, що дозволяє розраховувати показники тестопридатності, а також у розробці способу модифікації схеми за показниками, що розраховується, що передує етап побудови детермінованого тесту, з метою отримання його максимальної якості.

Метою дослідження є проведення експериментів над класичними методами аналізу тестопридатності для детермінованого тестування, для розробки оновленого методу аналізу тестопридатності, що запобігає генерації детермінованого тесту, а також розробка оновленого методу аналізу тестопридатності, передваряючого генерацію детермінованого тесту.

Для вирішення поставленої мети необхідно вирішити такі завдання:

- виконати аналіз існуючих методів аналізу тестопридатності, орієнтованих на детерміноване тестування;
- реалізувати обрані методи для їхньої порівняльної характеристики;
- провести експерименти над реалізованими методами аналізу тестопридатності для дослідження їх можливостей та меж використання;
- при необхідності розробити оновлений метод аналізу тестопридатності, що виявляє ділянки схеми, які необхідно модифікувати, з підвищенням її тестопридатності;
- провести експериментальні дослідження розробленого методу для підтвердження своїх переваг перед аналогами.

2 РЕАЛІЗАЦІЯ ТА ДОСЛІДЖЕННЯ ВИБРАНИХ КЛАСИЧНИХ МЕТОДІВ АНАЛІЗУ ТЕСТОПРИДАТНОСТІ

2.1 Порівняльний аналіз вибраних методів

Для попереднього порівняльного аналізу було обрано 3 методи: метод Спіллмена, метод CAMELOT, метод SCOAP, які є типовими представниками основних підходів під час аналізу тестопридатності у системах автоматизованої генерації тестів детермінованим способом. Показники керованості, спостережуваності та тестопридатності у методі Спіллмена та методі CAMELOT є відносними величинами і лежать у відрізку $[0;1]$ дійсних значень. Значення 0 має найгірший показник, 1 – найкращий. У методі SCOAP показники лежать у проміжку $[1; \infty[$ натуральних значень, найкращим з яких є значення 1.

Дослідження показали, що у методі Спіллмена показники тестопридатності вузлів точно відповідають показникам керованості відповідних вузлів методу CAMELOT. Це ілюструє приклад, наведений нижче.

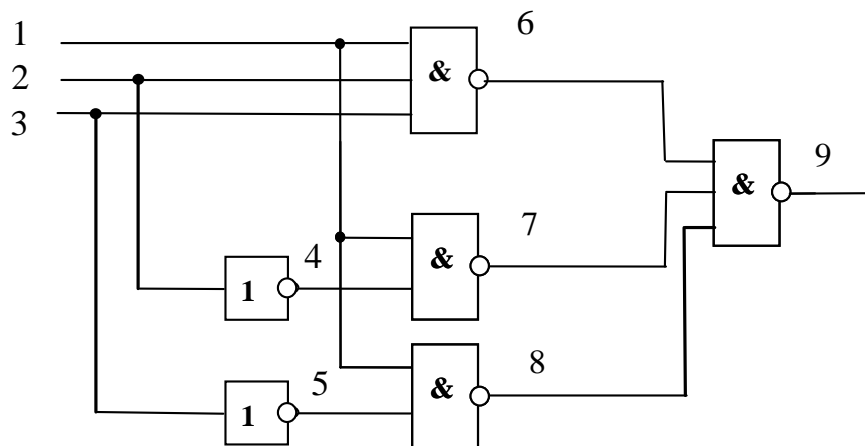


Рисунок 2.1 – Комбінаційна схема

Розрахуємо показники керованості методом CAMELOT для схеми, зображеної на рис. 2.1. Визначимо КСУ – коефіцієнти передачі керованості логічних елементів:

$$КСУ(НІ) = 1;$$

$$КСУ(2І-НІ) = 0,5;$$

$$КСУ(3І-НІ) = 0,25.$$

Якщо взяти для розрахунку тестопридатності за методом Спіллмена тестопридатності вузлів, що знаходяться поза схемою Т, рівні не 0.8 (для елементів І-НІ), а $T1 = T2 = T3 = T4 = T5 = 1$, $T6 = T9 = 0.25$, $T7 = T8 = 0.5$ (як у методі CAMELOT), то можна побачити, що тестопридатність вузлів у схемі t, розрахованих за методом Спіллмена, збігається з керованістю відповідних вузлів, розрахованих за методом CAMELOT (див. табл. 2.1).

Таблиця 2.1 - Порівняльний аналіз розрахунку показників

Номер лінії (вузла) у схемі, N	Керованість, розрахована за методом CAMELOT, СУ(N)	Тестопридатність вузлів у схемі, розрахованих за методом Спіллмена, t
1	1	1
2	1	1
3	1	1
4	1	1
5	1	1
6	0.25	0.25
7	0.5	0.5
8	0.5	0.5
9	0.104167	0.10415

Зважаючи на те, що в методі Спіллмена показники тестопридатності вузлів точно відповідають показникам керованості відповідних вузлів методу CAMELOT, метод Спіллмена був виключений з подальшого розгляду.

Для порівняння методів CAMELOT та SCOAP вручну на початковому етапі використовувалися наведені значення. Під наведеними значеннями тут розуміються відсоток, що становить показник від максимально можливого значення (для методу SCOAP – від максимального розрахованого значення у межах досліджуваної схеми). Ці методи дають схожі результати оцінки (табл. 2.2 та 2.3).

Таблиця 2.2 - Показники, розраховані за методом за методом CAMELOT

Номер лінії (вузла) у схемі	Керованість, розрахована за методом CAMELOT	Спостережуваність вузлів у схемі, розрахована за методом CAMELOT	Тестопридатність вузлів у схемі, розрахованих за методом CAMELOT
N	CY(N)	OY(N)	TY(N)
1	100	5,47	5,47
2	100	0	0
3	100	24,95	24,95
4	100	24,95	24,95
5	100	8,11	8,11
6	100	23,33	23,33
7	62,1	34,89	23,33
8	47,48	19,47	5,27
9	47,48	29	13,79
10	47,48	47,26	30,2
11	42,92	30,63	14
12	11,87	61,46	29,82
13	0	100	55,58

Таблиця 2.3 - Показники, розраховані за методом SCOAP

Номер лінії (вузла) у схемі	Керованість, розрахована за методом SCOAP	Спостережуваність вузлів у схемі, розрахована за методом SCOAP	Тестопридатність вузлів у схемі, розрахованих за методом SCOAP
N	CY(N)	OY(N)	TY(N)
1	100	18,19	60
2	100	0	20
3	100	27,28	80
4	100	27,28	80
5	100	18,19	60
6	100	36,67	80
7	57,14	45,46	60
8	42,86	27,28	0
9	42,86	45,46	40
10	42,86	63,64	80
11	42,86	45,46	40
12	14,28	72,73	60
13	0	100	100

На рис. 2.2 – 2.4 наведено графіки для наочного порівняння показників, розрахована за методами SCOAP и CAMELOT.

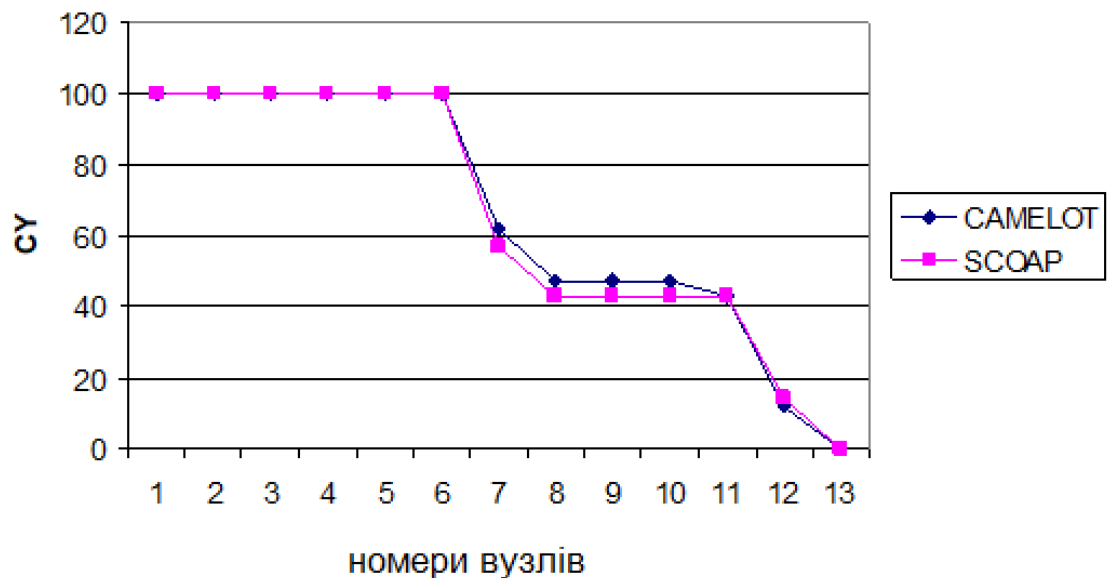


Рисунок 2.2 – Графіки порівняння керованості вузлів



Рисунок 2.3 – Графіки порівняння спостережуваності вузлів

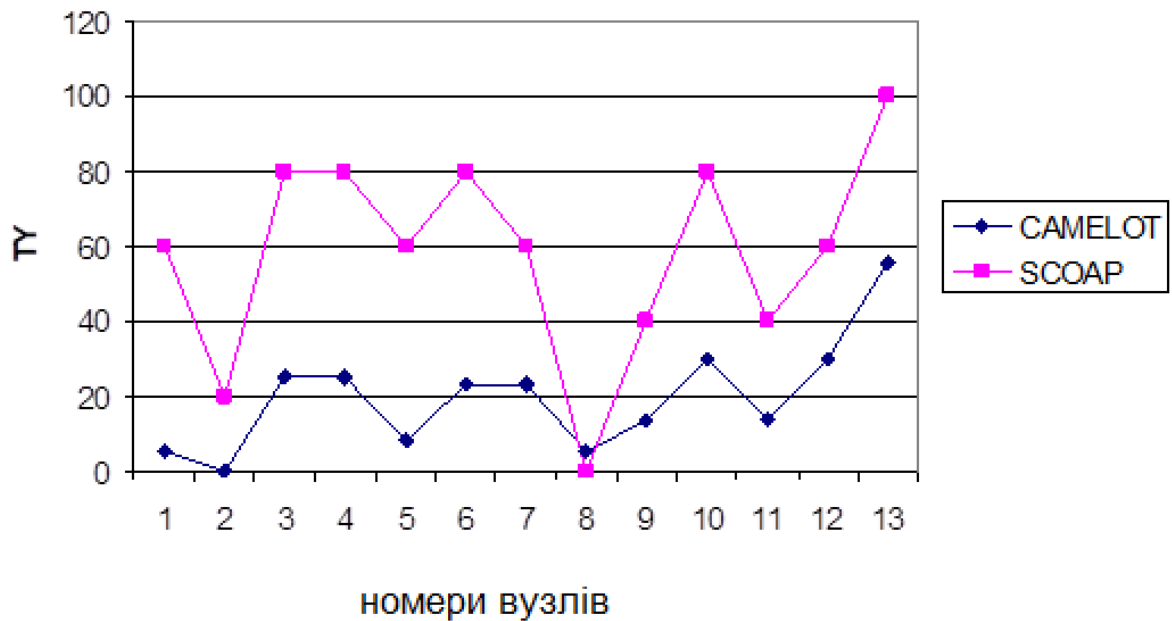


Рисунок 2.4 – Графіки порівняння тестопридатності вузлів

З наведених результатів розрахунків як таблиць і графіків видно, що методи SCOAP і CAMELOT схожий характер зміни значень показників тестопридатності.

Таким чином, було ухвалено рішення про програмну реалізацію обох методів – SCOAP та CAMELOT.

2.2 Програмна реалізація вибраних методів

Програмна реалізація досліджуваних методів здійснювалася у межах системи Sigetest з допомогою мови C++. Метод SCOAP був реалізований програмістами розробниками системи Sigetest, тому лістинг програми у проекті не наводиться. Лістинги модулів (вихідні файли) для методу CAMELOT: camelot.h призначений для оголошення класів, другий - camelot.cpp (додаток Б) призначений для реалізації класів, оголошених у camelot.h. Налаштування відбувалося на прикладах, розрахованих вручну, приклад звіту додатку В.

Система Sigetest розроблена для реалізації найбільш поширених у світі методів моделювання несправностей та впровадження результатів досліджень науково-дослідної лабораторії Aldec Team, орієнтованих на значне покращення продуктивності обробки моделей пристроїв та методів моделювання. У системі Sigetest вирішуються такі основні функціональні завдання (у порядку обробки інформації):

- компіляція моделей цифрових пристроїв промислового рівня, що подаються у вигляді постсинтезних нетлистів вентиляного рівня, згенерованих найбільш популярними програмами логічного синтезу: Design Compiler (Synopsys), Synplify Pro (Synplicity), Exemplar Spectrum (Mentor Graphics), FPGA Compiler (Synopsys);

- моделювання справної поведінки цифрових пристроїв;

- різні методи моделювання несправностей: одиночний, дедуктивний та ін;
- різні методи аналізу тестопридатності пристроїв;
- різні методи генерації тестів: псевдовипадковий, алгоритмічний, селективний та ін.;
- графічний інтерфейс користувача, що інтегрує перелічені модулі та завдання.

2.3 Проведення експериментів

Для проведення експериментів було обрано схеми з бібліотеки ISCAS'85, а також власні схеми розміром у десятки вентилів. Детерміновані тести будуються для схем розміром не більше 5000 вентилів, тому в таблицях, наведених нижче, відображені дані щодо схем, що містять менше 5000 вентилів, хоча експерименти проводилися і на схемах ISCAS'85 більшого розміру. У таблиці 2.4 наведено загальні цікаві для експериментального процесу характеристики схем з бібліотеки ISCAS'85.

Таблиця 2.4 - Характеристики схем з бібліотеки ISCAS'85

Схема ISCAS'85	Число вентилів схеми	Число входів схеми	Число внутрішніх ліній схеми	Число виходів схеми
c17	6	5	4	2
c432	160	36	153	7
c499	202	41	170	32
c880	383	60	357	26
c1355	546	41	514	32
c1908	877	33	855	25
c2670	1269	243	1129	140
c3540	1669	50	1647	22

c5315	2307	178	2184	123
c6288	2416	32	2384	32
c7552	3513	207	3405	207

У таблиці 2.5 наведено результати експериментів, проведених методом SCOAP. Виникла проблема, яка полягає в тому, що в методі SCOAP відбувається переповнення розрядної сітки при аналізі схем розміром приблизно від 2400 вентилів (наприклад, схема c6288 з бібліотеки ISCAS'85) при точності обчислень до 10^{-15} , що унеможливило подальший аналіз у рамках аналізованої схеми, а також загалом для схем більшого розміру.

Таблиця 2.5 - Результати експериментів за методом SCOAP

Схема ISCAS'85	Число ліній схеми	Переповнення розрядної сітки та неможливість подальших обчислень
c17	11	немає
c432	196	немає
c499	243	немає
c880	461	немає
c1355	587	немає
c1908	913	немає
c2670	1512	немає
c3540	1719	немає
c5315	2485	є
c6288	2448	є
c7552	3819	є

У таблиці 2.6 наведено результати експериментів, проведених методом CAMELOT при точності обчислень до 10^{-15} .

Таблиця 2.6 – Результати експериментів за методом CAMELOT

Схема ISCAS'85	Число ліній схеми	Число ліній з показниками, рівними нулю	Відсоток ліній з показниками, рівними нулю, %
c17	11	0	0
c432	196	0	0
c499	243	0	0
c880	461	0	0
c1355	587	275	46,84
c1908	913	15	1,64
c2670	1512	237	15,67
c3540	1719	94	5,46
c5315	2485	331	13,32
c6288	2448	1582	64,62
c7552	3819	1010	26,45

Для схем, що досліджуються за методом CAMELOT від 1,64 % ліній (схема c1908 ISCAS'85 - 913 ліній) до 64, 62 % ліній (схема c6288 ISCAS'85 – 2448 ліній) мають показники рівні нулю. Причому відсоток показників з нульовими значеннями не залежить прямо від розміру схеми. Так для схеми c1355 ISCAS'85 (587 ліній), приблизно для 46,84 % ліній мають значення показників керованості та спостереження рівні нулю, а для схеми c3540 ISCAS'85 (1719 ліній), лише 5,46 % ліній мають значення показників керованості та спостережуваності рівні нулю.

Така ситуація не відповідає дійсності і, отже, знижує адекватність аналізу. Крім того, велика кількість ліній мають однакові значення показників, що знижує точність аналізу.

Для збільшення адекватності аналізу логічним є збільшення розміру пам'яті, що використовується для обчислень, що обмежується максимальною

точністю 10^{-31} . Дослідження показали, що збільшення точності до 10^{-31} не змінює значною мірою числа показників керованості та спостережуваності та тестопридатності, рівних нулю.

Таким чином, аналізовані методи виявилися неприйнятними навіть щодо невеликих схем вже першому етапі – підрахунку основних показників. Класичні методи призначені для невеликих схем ще й тому, що доводиться вирішувати системи лінійних рівнянь визначення керованості послідовносних схем. У наведеному нижче методі певною мірою вдалося вирішити виявлені проблеми.

3 РОЗРОБКА НОВОГО МЕТОДУ АНАЛІЗУ ТЕСТОПРИДАТНОСТІ

Як і вище наведені методи, запропонований метод є алгоритмічним методом, що дозволяє здійснювати оцінку шляхом топологічного аналізу схеми вентиляного рівня. Значення тестопридатності обчислюються кожному за вузла. Під вузлами розуміються еквіпотенційні лінії схеми. Обчислювані показники призначаються для порівняльного аналізу тестопридатності вузлів схеми. Метод складається з трьох етапів: обчислення показників керованості, спостережуваності та тестопридатності.

3.1 Обчислення керованості

Керованість $СУ$ - кількісна міра здатності пристрою встановлювати на лінії значення 0 ($СУ^0$) або значення 1 ($СУ^1$). Вона залежить від логічної функції вентиля та зменшується в міру віддалення лінії від зовнішніх входів схеми. Керованість може набувати відносне значення, що лежить у проміжку $[0;1]$.

$СУ = 1$ - має зовнішній вхід схеми, де можна легко встановити логічні «0» та «1».

$СУ = 0$ - має лінія, яку не можна встановити в жодний з логічних станів.

Практично значення керованості більшості ліній лежать між межами проміжку $[0; 1]$. У загальному випадку керованість входів елементів не 100%, тому керованість виходів повинна враховувати як здатність передачі логічних значень через елемент, так і значень керованості на його входах:

$$СУ^0(Y) = КСУ^0 \cdot f^0, \quad (3.1)$$

$$СУ^1(Y) = КСУ^1 \cdot f^1, \quad (3.2)$$

де КС Y – коефіцієнт передачі керованості, який визначається логічною функцією елемента (КС Y^1 – для одиничного значення на виході елемента, КС Y^0 – для нульового значення на виході елемента);

На рис. 3.1 наведено загальний вигляд довільного логічного елемента.

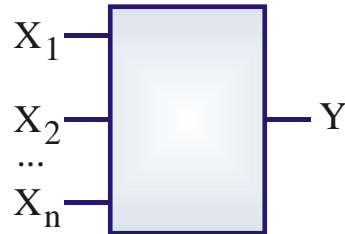


Рисунок 3.1 – Логічний елемент

Коефіцієнт передачі керованості визначається за формулами:

$$\text{КС}Y^0 = \frac{N(0)}{N(1) + N(0)}, \quad (3.3)$$

$$\text{КС}Y^1 = \frac{N(1)}{N(1) + N(0)}, \quad (3.4)$$

де $N(0)$ ($N(1)$) – число всіх способів встановлення логічного нуля (одиниці) вихідної лінії елемента.

f^0 – функція, яка визначається формулою

$$f^0 = \left[\sum_{\forall Z^0} \frac{\text{C}Y^i(X_1) + \text{C}Y^j(X_2) + \dots + \text{C}Y^k(X_n)}{n} \right] / m, \quad (3.5)$$

де n – число входів елемента;

z^0 – набори вхідних значень (X_1, X_2, \dots, X_n) , на яких функція виходу елемента Y дає логічний «0»;

m – число наборів z^0 ;

$i, j, \dots, k \in \{0, 1\}$ і дорівнюють 0, якщо X_1, X_2, \dots, X_n на наборі z^0 приймають нульові значення, і, дорівнюють 1, якщо X_1, X_2, \dots, X_n на наборі z^0 приймають одиничні значення.

f^1 – функція, яка визначається формулою

$$f^1 = \left[\sum_{\forall z^1} \frac{CY^i(X_1) + CY^j(X_2) + \dots + CY^k(X_n)}{n} \right] / p, \quad (3.6)$$

де n – число входів елемента;

z^1 – набори вхідних значень (X_1, X_2, \dots, X_n) ,

на яких функція виходу елемента Y дає логічну «1»;

p – число наборів z^1 ;

$i, j, \dots, k \in \{0, 1\}$ і дорівнюють 0, якщо X_1, X_2, \dots, X_n на наборі z^1 приймають нульові значення, і, дорівнюють 1, якщо X_1, X_2, \dots, X_n на наборі z^1 приймають одиничні значення. Сума наборів z^0 і z^1 дорівнює 2^n .

Наприклад, для двовходового елемента «І-НІ» (табл. 3.1).

Таблиця 3.1

z	X_1	X_2	i	k
$\forall z^0$	1	1	1	1
	0	0	0	0
$\forall z^1$	0	1	0	1
	1	0	1	0

а також $p = 3$, $m = 1$, $n = 2$, звідси

$$f^0 = \frac{CY^1(X_1) + CY^1(X_2)}{2} / 1,$$

$$f^1 = \left[\frac{CY^0(X_1) + CY^0(X_2)}{2} + \frac{CY^0(X_1) + CY^1(X_2)}{2} + \frac{CY^1(X_1) + CY^0(X_2)}{2} \right] / 3.$$

Обчислення значень керованості вузлів схеми починається з первинних входів та просувається далі через всю схему до первинних виходів.

Для послідовнісних схем визначення значень керованості не зводиться до вирішення системи лінійних рівнянь, як у класичних методах, оскільки схема перетворюється на комбінаційну шляхом розриву зворотних зв'язків, про що буде сказано нижче.

3.2 Обчислення спостережуваності

Спостережуваність ОУ – кількісна міра здатності пристрою транспортувати стан лінії, що розглядається, на зовнішні виходи схеми. Спостережуваність може набувати відносне значення, що лежить у проміжку [0;1].

ОУ = 1 для зовнішнього виходу.

ОУ = 0, якщо неможливо забезпечити такі умови, за яких зміна значення у вузлі призводила до зміни значення на первинному виході.

Практично значення керованості більшості ліній лежать між межами проміжку [0; 1]. Спостережуваність вузлів у схемі зменшується від первинних виходів до первинних входів.

У загальному випадку процес поширення інформації про несправність через елемент залежить як від здатності активізувати певний вхід, так і від здатності встановити фіксовані значення на деяких або всіх інших входах

пристрою, що дозволяють активізувати шлях до певного виходу пристрою (функція керуваності цих входів, рис. 3.2 шлях активізації X - Y - Primout).

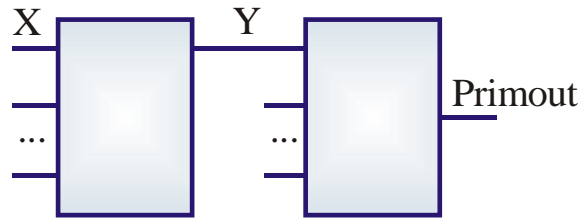


Рисунок 3.2 – Шлях активізації X - Y - Primout

Тому спостережуваність визначається за такою формулою:

$$OY(X - Primout) = OY(Y - Primout) \cdot g, \quad (3.7)$$

де Primout – зовнішній вихід пристрою;

X - Y - Primout – шлях активізації;

g – середнє арифметичне значень керуваності входів, що забезпечують проходження активізації з входу X на вихід Y.

$$g = \frac{CY^i(X_1) + CY^j(X_2) + \dots + CY^k(X_{n-1})}{n-1}, \quad (3.8)$$

де n – число входів елемента,

$(X_1, X_2, \dots, X_{n-1})$ – набір вхідних значень (z_a) , що забезпечують активізацію шляху $X_n - Y$,

$i, j, \dots, k \in \{0, 1\}$ і дорівнюють 0, якщо $(X_1, X_2, \dots, X_{n-1})$ на наборі z_a приймають нульові значення, і, дорівнюють 1, якщо $(X_1, X_2, \dots, X_{n-1})$ на наборі z_a набувають одиничних значень.

Наприклад, для тривходового вентиля «І» $OY(X_1 - \text{Primout}) = OY(Y - \text{Primout}) \cdot [CY^1(X_2) + CY^1(X_3)] / 2$. Вибираються $CY^1(X_2)$ и $CY^1(X_3)$, тому що $X_2 = X_3 = 1$ забезпечують активізацію шляху з входу X_1 на вихід Y вентиля.

Якщо елементи відсутні входи активізації, отже, і z_a , то $g = 1$. Прикладом таких елементів є інвертор і повторювач. У них один вхід і один вихід, причому спостереження входу дорівнює спостереженню виходу.

У разі розгалуження, що сходяться (рис. 3.3) спостереження лінії розгалуження визначається як середнє арифметичне спостереження цієї лінії по кожному з шляхів (формула 3.9). В даному випадку не вибирається шлях мінімальної довжини, розраховуючи на те, що інші шляхи при побудові тесту блокуватимуться, а враховується спостереження по кожному з шляхів, оскільки може виникнути ситуація, коли блокування неможливе.

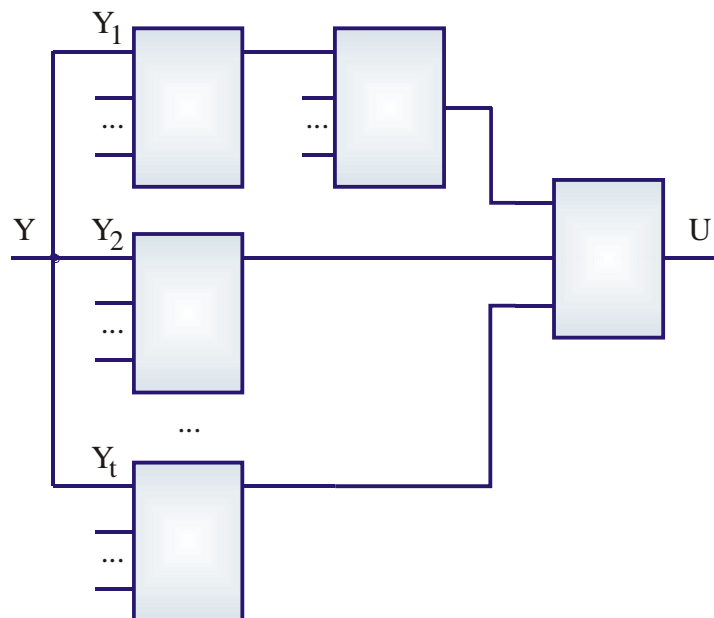


Рисунок 3.3 – Випадок розгалужень, що сходяться.

$$OY(Y - U) = \left[\sum_{i=1}^t OY(Y_i - U) \right] / t \quad (3.9)$$

Наявність розгалуження на виході пристрою (рис. 3.4) дозволяє спостерігати за його станом на декількох первинних виходах схеми. Стан вузла Y може спостерігатися на первинному виході Primout 1 і на первинному виході Primout 2. Можна обчислити обидва значення спостережуваності – $OY(Y - \text{Primout1})$ та $OY(Y - \text{Primout2})$.

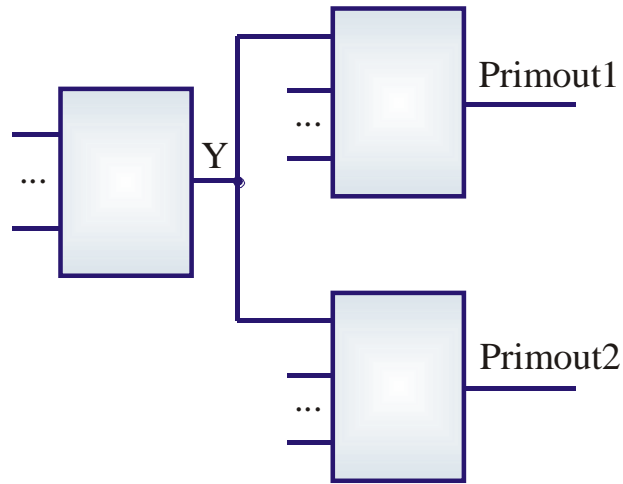


Рисунок 3.4 – Випадок розгалуження виходу

Як враховувати обидва значення спостережливості при обчисленні загальної оцінки спостережуваності вузла із розгалуженням виходу? Відповідь впливає зі порівняння розглянутої задачі із завданням надійності системи з паралельним з'єднанням елементів. І тут працездатність гарантується, якщо функціонує щонайменше одне із паралельних шляхів, тобто.

$$R(S) = 1 - Q(S) = 1 - \Pi[Q(\text{кожного шляху})] = 1 - \Pi[1 - R(\text{кожного шляху})],$$

де R – функція надійності процесу, Q – функція ненадійності процесу.

Переходячи до термінології спостереження, можна сказати, що за умови активізації одного з можливих шляхів стан вузла можна успішно спостерігати на первинному виході. Якщо можна активізувати більше одного шляху, то

$$OY(\text{составное}) = 1 - \prod [1 - OY(\text{каждого Primout})] \quad (3.10)$$

Для розгалуження виходу, зображеного на рис. 3.4 спостереження лінії розгалуження визначається за формулою (3.11).

$$OY(Y - (\text{Primout1}, \text{Primout2})) = 1 - ([1 - OY(Y - \text{Primout1})] \cdot [1 - OY(Y - \text{Primout2})]) \quad (3.11)$$

Обчислення значень спостережуваності вузлів схеми починається з первинних виходів і далі через всю схему до первинних входів.

3.3 Обчислення тестопридатності

Проста міра тестопридатності вузла може бути отримана перемноженням значень його керованості та спостережуваності.

$$TY^0(Y) = CY^0(Y) \cdot OY(Y) \quad (3.12)$$

$$TY^1(Y) = CY^1(Y) \cdot OY(Y) \quad (3.13)$$

$$TY(Y) = (TY^0(Y) + TY^1(Y)) / 2 \quad (3.14)$$

де $TU^0(Y)$ ($TU^1(Y)$) – 0 – тестопридатність (1- тестопридатність) вузла Y ,

$TU(Y)$ – тестопридатність вузла Y ,

Загальний показник тестопридатності всієї схеми повинен бути мірою середньої трудомісткості отримання тесту для вузла схеми, отже, цей захід може бути представлений як середнє арифметичне значення тестопридатностей всіх вузлів схеми, тобто:

$$TY_{\text{схеми}} = [\sum_{i=1}^L TY(Y_i)]/L, \quad (3.15)$$

$TY_{\text{схеми}}$ – тестопридатність усієї схеми,

L – кількість вузлів схеми.

Для зручності інтерпретації результатів береться корінь восьмого ступеня значень керованості, спостережуваності, тестопридатності.

Складність (швидкість) методу розрахунку показників тестопридатності лінійна. Для розрахунку керованості потрібен один прохід по всіх лініях схеми, від первинних входів до первинних виходів, а для розрахунку спостережуваності та тістопридатності, необхідний один прохід по всіх лініях схеми, від первинних виходів до первинних входів. Тому порядок складності дорівнює $2L$ де L - кількість вузлів (ліній) схеми.

Розрахунок показників розглянуто з прикладу комбінаційної схеми, зображеної на рис. 3.5.

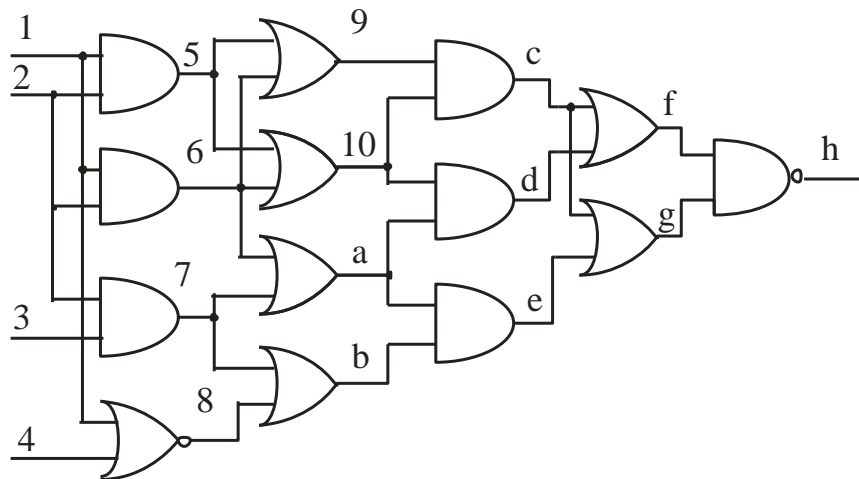


Рисунок 3.5 – Приклад комбінаційної схеми

Далі виконується розрахунок показників тестопридатності для подальшої модифікації схеми.

У таблиці 3.2 наведено результати оцінки тестопридатності до модифікації схеми.

Таблиця 3.2 - Результати оцінки тестопридатності перед модифікації схеми

СУ ⁰	СУ ¹	ОУ	ТУ ⁰	ТУ ¹	ТУ	Номер лінії
1,000	1,000	0,498	0,498	0,498	0,498	1
1,000	1,000	0,498	0,498	0,498	0,498	2
1,000	1,000	0,489	0,489	0,489	0,489	3
1,000	1,000	0,489	0,489	0,489	0,489	4
0,965	0,841	0,498	0,480	0,419	0,449	5
0,965	0,841	0,489	0,472	0,412	0,442	7
0,965	0,841	0,489	0,472	0,412	0,442	8
0,812	0,865	0,516	0,419	0,446	0,432	9
0,812	0,866	0,512	0,415	0,443	0,435	10
0,812	0,865	0,508	0,412	0,439	0,425	a
0,812	0,865	0,508	0,412	0,439	0,425	b
0,802	0,727	0,597	0,479	0,434	0,456	c
0,727	0,802	0,541	0,393	0,434	0,414	d
0,802	0,727	0,587	0,471	0,427	0,449	e
0,648	0,744	0,744	0,482	0,553	0,518	f
0,675	0,732	0,732	0,493	0,535	0,514	g
0,620	0,669	1,000	0,620	0,669	0,645	h

Загальне значення тестопридатності $TU_{\text{схеми}} = 0,474$.

Для асинхронних послідовних схем проводять розриви зворотних зв'язків у тестовому режимі. Це досягається шляхом введення в зворотний зв'язок осередку, який повністю тестується незалежно від схеми та забезпечує 100% керованість та спостережуваність лінії. Для синхронних послідовних схем тригери поєднуються в зсувний регістр, а показники

розраховуються за моделлю, в якій тригери видалені і замість них - розриви. Тобто при розрахунку показників послідовна схема перетворюється на комбінаційну. Отже, необхідність вирішувати величезні системи лінійних рівнянь відпадає.

3.4 Проведення експериментів. Оцінка результатів.

З вище викладеного випливає, що аналізовані методи виявилися неприйнятними навіть щодо невеликих схем вже першому етапі – підрахунку основних показників. У цій роботі вдалося певною мірою вирішити виявлені проблеми.

Програмну реалізацію запропонованого методу було проведено поза рамками даної роботи. Однак на її базі були зроблені деякі експерименти на підтвердження відсутності недоліків, виявлених у класичних методах.

Експериментальні дослідження показали, що розроблений метод є адекватнішим порівняно з класичними. А саме - у схемах до 5000 вентилів при розрахунку показників за новим методом показники з нульовими значеннями відсутні як при точності обчислень 10^{-15} , так і 10^{-31} . Показники з нульовими значеннями зустрічаються у великих схемах. Наприклад, при точності обчислень 10^{-31} у схемі c50000 ISCAS'85 2% ліній із 49996 мають показники з нульовими значеннями. І показників з однаковими значеннями у запропонованому методі менше, ніж у методі CAMELOT від кількох разів до кількох десятків разів.

Показники, що розраховуються за запропонованим методом, дозволяють простим способом вибирати ділянки схеми для її модифікації з метою зведення до мінімуму неперевіраних несправностей. Однак кореляція між значеннями тестопридатності і числом несправностей, що перевіряються (якістю тесту) не завжди має місце, тому мінімізація апаратних витрат за розрахунковими показниками не представляється можливим.

Був виконаний порівняльний аналіз часу розрахунку показників та часу моделювання несправностей у системі Sigetest, для деяких схем він наведено у табл. 3.3.

Таблиця 3.3 - Час розрахунку показників тестопридатності та моделювання несправностей у системі Sigetest

Схема SCAS'85	Число ліній	Число входів	Час розрахунку $T_{\text{загальне, с}}$	Час моделювання несправностей, с	Довжина теста, векторів	Час моделювання несправностей на одному тест векторі, с
c432	398	36	0,01	0,07	52	0,00135
c499	599	41	0,01	0,01	50	0,0002
c880	623	60	0,03	0,04	84	0,00048
c1355	1015	41	0,03	0,1	116	0,00086
c1908	1307	33	0,03	0,6	98	0,00612
c3540	2007	50	0,04	8,5	916	0,00928
c6288	4579	32	0,12	6,76	750	0,00901

Значення у таблиці 3.3. Отримано за допомогою програми моделювання несправностей Sigetest. Використовувався випадковий тест. Результати порівняльного аналізу: часові витрати на розрахунок показників та моделювання несправностей можна порівняти.

Процедура вибору точок для модифікації схеми полягає в наступному: вибираються 3% ліній з мінімальними значеннями SY^0 (крім зовнішніх входів і виходів), при цьому до вибраних ліній додаються ще ті, які мають значення показника, що дорівнює максимальному, з 3% вибраних, якщо такі є. Зазвичай ліній із однаковими значеннями показників порівняно мало – це особливість методу оцінки. Це ж робиться зі значеннями SY^1 і значеннями OY . Отримані множини точок об'єднуються. У середньому виходить 9 - 13% ліній.

Спосіб модифікації схеми полягає в наступному: на кожен лінійну схему ставиться осередок, який повинен забезпечити 100%-ву керуваність і 100%-ву спостережуваність обраної лінії, при цьому вона повинна бути абсолютно прозорою для нормального режиму роботи схеми, а також повинна просто тестуватися. Для зменшення числа додаткових входів і виходів цей осередок повинен з рештою осередків об'єднуватися в зсувний регістр, аналогічний шляху сканування в структурних методах тестопридатного проектування.

Стратегія модифікації асинхронних послідовних схем ось у чому. На кожен з ліній всіх локальних та глобальних зворотних зв'язків і ставиться комірка сканування для комбінаційної схеми.

Таким чином, у режимі тестування послідовна схема перетворюється на комбінаційну. Далі для одержаної в такий спосіб комбінаційної схеми розраховуються показники тестопридатності. Подальша модифікація схеми зводиться до способу модифікації комбінаційної схеми. Усі комірки (вбудовані у зворотний і в розраховані лінії) поєднуються в зсувний регістр.

Стратегія модифікації синхронних послідовних схем ось у чому. Всі тригери видаляються зі схеми, в результаті виходить комбінаційна схема. Далі для одержаної в такий спосіб комбінаційної схеми розраховуються показники тестопридатності. Подальша модифікація схеми зводиться до способу модифікації комбінаційної схеми. Тобто для вибраних ліній використовується комірка сканування для комбінаційної схеми, робиться зсувний регістр першого типу. А замість віддалених тригерів використовується комірка сканування для послідовної схеми.

Комірка сканування для послідовної схеми відрізняється від комірки сканування для комбінаційної схеми. Тут також використовується двоступінчастий D-тригер, проте мультиплексор розташований перед тригером. Осередок також працює в нормальному режимі (режим нормального функціонування пристрою – (F) і в режим сканування (SP).

Якщо осередків кілька, вони об'єднуються в регістр зсуву для сканування тестових даних.

Для тестування такого регістру використовується стандартні тести (біжить нуль, одиниця, що біжить, пари одиниць і нулів, що біжать).

Таким чином, робляться два шляхи сканування тестових даних, які при необхідності можуть бути об'єднані в один.

Детермінований тест як синхронної, так асинхронної схеми будується з урахуванням те, що замість осередків сканування мають місце розриви. Тестування модифікованої схеми робиться як тестування комбінаційної схеми.

Проведені експерименти показали, що якість тесту, побудованого для модифікованих таким чином схем, коливається від 98% до 100%, а додаткові апаратурні витрати досягають від 50% до 275%.

ВИСНОВКИ

В результаті виконання магістерської кваліфікаційної роботи було отримано наступні результати.

Виконано аналіз методів тестопридатного проектування та існуючих методів аналізу тестопридатності, орієнтованих на детерміноване тестування. Вибрані для більш детального дослідження методи Спіллмена, CAMELOT, та SCOAP. При цьому було проведено первинний аналіз, при якому з'ясувалося, що в методі Спіллмена показники тестопридатності вузлів точно відповідають показникам керованості відповідних вузлів методу CAMELOT, у зв'язку з чим метод Спіллмена був виключений з подальшого розгляду. Реалізовано метод CAMELOT у рамках системи Sigetest для порівняльної характеристики вибраних методів та дослідження можливостей та меж їх використання. Проведено експерименти над реалізованими методами аналізу тестопридатності CAMELOT та SCOAP (метод SCOAP був реалізований поза даною роботою). При цьому з'ясувалося, що в методі SCOAP відбувається переповнення розрядної сітки при аналізі схем розміром приблизно від 2400 вентилів, що унеможливує подальший аналіз, а в методі CAMELOT великий відсоток ліній мають нульові значення показників, крім того, велика кількість ліній мають однакові значення показників, що відповідає дійсності. Все це говорить про низьку точність методу. Таким чином, аналізовані методи виявилися неприйнятними навіть щодо невеликих схем вже першому етапі – підрахунку основних показників.

Зроблено висновок, що необхідний новий метод, позбавлений описаних недоліків і який дозволив би використовувати показники модифікації схеми перед побудовою тесту з метою збільшення його якості.

Розроблено новий метод розрахунку показників, що виявляє ділянки схеми, які необхідно модифікувати, з метою збільшення її тестопридатності

та, як наслідок, забезпечення високої якості детермінованого тесту ще до його генерації.

Виконано частину експериментальних досліджень, проведених загалом над новим методом у рамках системи Sigetest для підтвердження його переваги перед дослідженими аналогами.

Наукова новизна. Розроблено новий метод розрахунку показників тестопридатності, більш адекватний порівняно з відомими класичними методами. Переваги методу:

- застосуємо для схем розміром до 50000 вентилів (межа для генерації детермінованого тесту – 5000 вентилів);
- відсутність втрати інформації при розрахунку показників тестопридатності для схем, що тестуються детермінованим тестом (у схемах до 49000 вентилів відсутні показники, що дорівнюють нулю);
- простота методу, під час аналізу послідовних схем (не потрібно вирішувати систему лінійних рівнянь – аналіз послідовних схем зводиться до аналізу комбінаційних схем);
- забезпечення простого способу вибору ділянок схеми для модифікації її структури (вибираються мінімальні значення керованості та спостережуваності ліній).

Практична значимість. Метод може бути використаний перед побудовою детермінованих тестів у DFT-системах для комбінаційних схем або їх частин, що погано піддаються псевдовипадковому тестуванню. Може також використовуватися для потреб SoC при тестуванні ядер.

Результати дослідження наведено у тезах доповіді на науково-технічній конференції [34].

ПЕРЕЛІК ДЖЕРЕЛ ПОСИЛАННЯ

1. Novak A, Gramatova E., Ubar R. Handbook of testing of electronic systems Czech Technical University Publishing House, 2005 393 p.
2. Miroschnik M.A. Methods for Designing Self-Checking Digital Machines / [M.A. Miroschnik, E.N. Kulak, E.M. Aliyeva, D.G. Karaman, Yu.V Pakhomov та ін.] // Tele-communications and Radio Engineering, USA. – 2017. – № 15. –р. 1367– 1377.
3. 12. Stroud C. E., A Designer’s Guide to Built-in Self-Test. Kluwer Academic Publishers, 2002. 320 p.
4. Кулак, Э.Н. Метод анализа тестопригодности цифровых схем при генерации взвешенного псевдослучайного теста / Э.Н. Кулак, Л.В. Ларченко, И.В. Филиппенко // Научно-технический и практический журнал Оралдың ғылым жаршысы ТОО «Уралнауцкнига» Уральск: № 42(121) – 2014. С. 70 - 78.
5. Беннеттс Р. Дж. Проектирование тестопригодных логических схем: Пер. с англ. - М.: Радио и связь; 1990 - 176 с. ил.
6. Davidson S. Software Tools for Hardware Test // IEEE Computer, April, 1989 - p.12-15
7. Funatsu S., Wakatsuki W., Arima T. Test Generation Systems in Japan.// Proc.12th Design Automation Conf., June 1975.- 1975. - p.114-122
8. Hansen P. New techniques for manufacturing test and diagnosis of LSSD boards.// Proc.Int.Test Conf., Cherry Hill, Oct 18-20, 1983.-1983.- p.40-45
9. Ando M. Testing VLS with random access scan // Dig.Comp.Conf., Feb, 1980.-1980.- p.342-346
10. Mayashi T., Matayama K., Kunitomo Y. and all. An approach to design automation for highly testable logic circuits.// Proc. ICCAD 86. - 1986.- p.98-101

11. Stewart J.H. Application of Scan/Set for Error Detection and Diagnostics.// Proc.1978 Semiconductor Test Conf., Oct 1978.- 1978.- p.152-158
12. McCluskey E.J. Built-in Self-Test Techniques & Built-in Self-Test Structures // IEEE Design and Test of Computers, pril 1985., - p.21-36
13. Abramovichi M., Breuer M.A., Friedman A.D. Digital systems testing and testable design. – Computer Science Pres IEEE Inc. New York. – 1998. – 652 p.
14. Closter C., Kedem G. Built-in Self-Test with Weigted Random pattern Hardware // IEEE International conference on Computer Design: VLSI Computers and Processors, Mass., Sept. 17-19, 1990.- p.161-166
15. Sastry S., Majumlar A. Test Efficiency Analysys of Random Self-Test of Sequential Circuits // IEEE Transactions on Computer-Aided Design, vol. 10, N3, March, 1991.- p.390-398
16. Ярмолик В.Н. Применение сигнатурного анализа для контроля и диагностики сетевых дискретных структур // Автоматика и вычислительная техника. -1985. -N4. -с.73-79.
17. Кривуля Г.Ф., Таранов В.Б. Структуры и погрешности преобразования параллельных сигнатурных анализаторов // АСУ и приборы автоматки. -1988. -Вып.86 -с.62-70.
18. Konemann B., Mucha J., Swiehoff G. Built-in logic block observation techniques // Proc. 1979 Test Conf. Oct. 1979, -1979 -p.37-41.
19. Городецкий А. Введение в технологии JTAG и DFT. Тестирование в технологиях граничного сканирования и тестопригодное проектирование / Ами Городецкий. – Palmarium Academic Publishing, Germany, 2012 – 308 с.
20. IEEE Std 1149.1-2013, IEEE Standard for Test Access Port and Boundary-Scan Architecture.
21. IEEE Std 1500-2005, IEEE Standard Testability Method for Embedded Core-based Integrated Circuits.

22. Network-on-Chip. The Next Generation of System-on-Chip Integration Santanu Kundu, Santanu Chattopadhyay, CRC Press Taylor & Francis Group, London New York, 2015, 370 p. ISBN: -13: 978-1-4665-6527-2 (eBook - PDF).
23. IEEE Std 1687-2014, IEEE 1687 Standard for Access and Control of Instrumentation Embedded within a Semiconductor Device.
24. Rutman R.A. Fault Detection Test Generation for Sequential Logic Heuristic Tree Search // IEEE Computer Repository Paper No. R-72-187, 1972.
25. Grason J., Nagel A.W. Digital Test Generation and Design for Testability // Journal Digital Systems, Vol.5, No. 4, pp. 319-359, 1981.
26. Breuer M.A., Friedman A.D. TEST/80 – a proposal for an advanced automatic test generation system // Proc. IEEE Autotestcon, pp 205 – 312, 1979.
27. Goldstein L.M., Thigen E.L. SCOAP: Sandia Controllability/Observability Analysis Program // Proc. 17th Design Automation Conf., pp. 190-196, June, 1980.
28. Berg W.C., Hess R.D. COMET: f testability analysis and design modification package // Proc. IEEE Test Conf., Paper 13.1, pp 364-378, 1982.
29. Kovijanic P.G. Single Testability Figure of Merit // Proc. IEEE. Test Conf., pp. 521-529, October, 1981.
30. Bennetts R.G., Maunder C.M., Robinson G.D. CAMELOT: A Computer-Aided Measure for Logic Testability // IEEE Proc., Vol. 128, Part E, No. 5, pp. 177-189, 1981.
31. Ratiu I.M. Sangiovanni-Vincentelli A., Peterson D.O. VICTOR: A Fast VLSI Testability Analysis Program // Proc. Intn'l Test Conf., pp. 397-401, November, 1982.
32. Spillman R., Glaser N., Peterson D. Development of a general testability figure-of-merit // IEEE International conference of Computer-Aided Design, pp. 34-35, 1983.

33. Chen T-H., Breuer M.A. Automatic Design for Testability Via Testability Measures // IEEE Trans. on Computer-Aided Design, Vol. CAD-4, pp. 3-11, January, 1985.

34. Абрамов В.С. Метод аналізу тестопридатності комбінаційних схем у системах вбудованого самотестування [Текст] / Е.М. Кулак, В.С. Абрамов // Тези доповідей тринадцятої міжнародної науково-технічної конференції «Сучасні напрями розвитку інформаційно-комунікаційних технологій та засобів управління». – Баку – Харків – Жиліна. – 26-27 квітня 2023р. с. 71.