

ДВУХШАГОВЫЙ ПРЕОБРАЗОВАТЕЛЬ КОДОВ С ПАРАЛЛЕЛЬНЫМ ИСПОЛЬЗОВАНИЕМ ШАГОВ ПРЕОБРАЗОВАНИЯ

Предлагается способ повышения быстродействия преобразователей кодов на счетчиках за счет применения параллельной стратегии использования шагов преобразования. Описывается метод расчета числа тактов преобразования и программное обеспечение для его реализации.

1. Постановка задачи

Двухшаговый преобразователь кодов (ПК) с последовательной стратегией использования шагов преобразования в ряде случаев не обеспечивает требуемого быстродействия. Поэтому в случае, когда необходимо высокое быстродействие, применяют параллельную стратегию шагов преобразования. Структуру преобразователя кодов в этом случае необходимо изменить.

2. Структура и функционирование двухшагового ПК последовательного типа

Структура двухшагового ПК, ориентированного на повышение быстродействия с применением параллельной стратегии приведена на рис.1.

Двухшаговый ПК двоично-К-ичного кода в двоичный код содержит группу разрядных счетчиков I, блок управления (генератор) импульсов 2, содержащий прямой П, прямые задержанные ПЗ1 и ПЗ2 выходы, первую группу триггеров 3 состояния, вторую группу триггеров 4 состояния, комбинационный двоичный сумматор 5 и регистр 6 результата, образующие в совокупности накапливающий сумматор 7, группу элементов И-НЕ 8, группу элементов И-НЕ 9, группу дешифраторов нуля 10, группу дешифраторов превышения 11, группу шифраторов 12, формирователь эквивалента 13, включающий в свой состав первый 14 и второй 15 дешифраторы и шифратор 16, элемент ИЛИ-НЕ 17, группу элементов ИЛИ 18.

В состав формирователя эквивалентов 13 также входят элемент НЕ 19, группа элементов И 20 и группа элементов ИЛИ 21. Функционирование двухшагового ПК происходит следующим образом.

Группа триггеров 3 фиксирует ненулевое значение счетчиков соответствующих разрядов; группа триггеров 4 - значение старших разрядных счетчиков, превышающее заданное число $a-1$, например 1.

Шифраторы 12 реализуют следующую функцию:

$$Y = \{X - a; X \geq a; \{X; X < a;$$

где X – входной код тетрады; a - параметр, в частном случае, равный 2. Цепи инициирования и сброса на рис.1 не показаны. Так как в конкретном случае $n = 4$, $K = 12$, то диапазон изменения входного кода $0 - (12^4 - 1) = 0 - 20735_{10}$. Код состояний триггеров как первой

группы 3, так и второй 4 имеет $2^3 = 8$ значений от 000 до III.

Формирователь эквивалентов (ФЭ) 13, выполненный в виде последовательного соединения первого 14 и второго 15 дешифраторов, реализует функцию

$$S = \begin{cases} KC_1 + K^2C_2 + K^3C_3; D_1 = D_2 = D_3 = 0; \\ aKK_1 + aK^2D_2 + aK^3D_3; D_1, D_2, D_3 \neq 0; \end{cases}$$

где C_1, C_2, C_3 – значения разрядов двоичного кода триггеров состояний первой группы 3; D_1, D_2, D_3 – значения разрядов двоичного кода триггеров состояния второй группы 4.

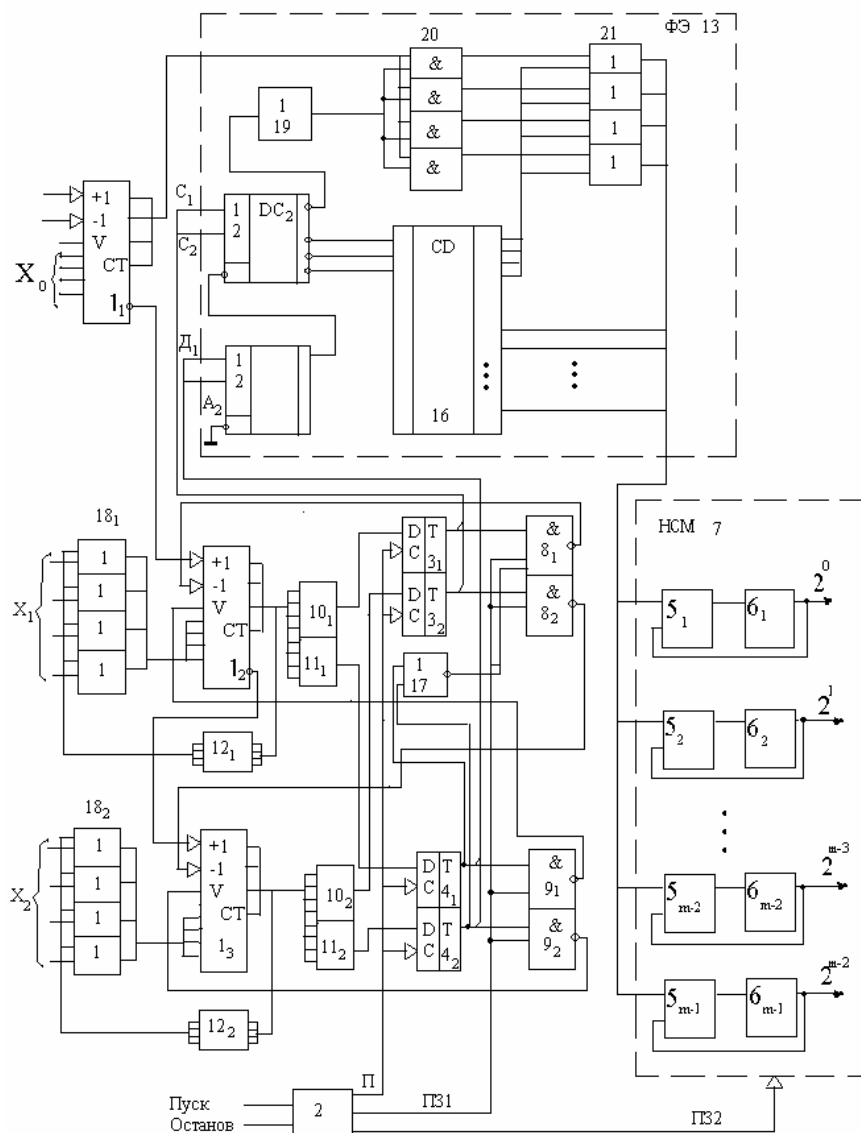


Рис 1. Структура двухшагового ПК с последовательным использованием шагов

Каждый из $C_m (m = \overline{1,3})$ триггеров 3 первой группы состояний разрядных счетчиков соответствует наличию (1) или отсутствию (0) информации в соответствующем старшем разряде преобразуемого кода, а разряд $D_m (m = \overline{1,3})$ триггеров 4 второй группы состояний разрядных счетчиков равен 1, если соответствующий разряд преобразуемого кода имеет значение $x_i \geq a (2 \leq a \leq k-1)$, в противном случае $D_m = 0$.

ФЭ 13 преобразует вначале двоичный код D_3, D_2, D_1 триггеров состояний второй группы, затем при $D_3, D_2, D_1 = 0$ преобразует двоичный код C_3, C_2, C_1 триггеров состояний первой группы и при $D_3 = D_2 = D_1 = C_3 = C_2 = C_1 = 000$ выполняет трансляцию (передачу) двоично-К-ичного кода младшего разряда в двоичный код эквивалента на выходе.

3. Структура и функционирование двухшагового ПК параллельного типа

Логика управления в двухшаговом ПК параллельного типа выполнена так, чтобы запретить возможность вычитания шага 1, если в этом разряде имеется возможность вычитания шага a . И наоборот, если значение разряда x_m находится в пределах $1 \leq x_m < a$, то

следует разрешить опрос вентиля, управляющего вычитанием I из разрядного счетчика, хранящего x_m .

Этот принцип управления реализуется в двухшаговом ПК параллельного типа путем замены (n-1) входного элемента ИЛИ-НЕ блоком инверторов, вход каждого из которых связан с единичным выходом соответствующего триггера старшего регистра состояний, а выход инвертора соединяется с управляющим входом схемы И, на информационный вход которой поступает сигнал с единичного выхода триггера этого разряда, но младшего регистра состояний.

Закон функционирования ФЭ для двухшагового ПК параллельного типа для набора шагов 1,2 и K=12 приведен в таблице. ФЭ двухшагового ПК параллельного типа имеет 27 строк; ПК последовательного типа - всего 15 строк. Особенностью ФЭ для ПК параллельного типа является отказ от принципа последовательного соединения ряда стробируемых ДШ и применение ряда вентилях, каждый из которых стробирует определенный ДШ, выделяющий определенное подмножество входных наборов.

Дешифрование строк таблицы ФЭ ПК параллельного типа осуществляется не двумя последовательно включенными ДШ, а совокупностью ДШ, стробируемых состояниями триггеров $D_3D_2D_1$ старшей группы, на информационные входы которых поступают сигналы с триггеров младшей группы. Каждой горизонтальной полосе соответствует определенный ДШ. Так, для дешифрования строк 0-7 следует применить ДШ 3-8, стробируемый инверсным выходом трехвходового элемента ЗИЛИ-НЕ, на входы которого поступают сигналы $D_3D_2D_1$, а на информационные входы ДШ – сигналы $C_3C_2C_1$ (см. рис. 2).

Вторую, третью и пятую полосы таблицы (строки 8-11; 12-15 и 18-21 соответственно) выделяют с помощью ДШ 2-4, на два информационных входа которых подают соответственно сигналы C_3C_2, C_3C_1, C_2C_1 .

Выделение оставшихся строк 16-17 (четвертая полоса); 22-23 (шестая); 24—25 (седьмая) и 26 (восьмая) выполняют с помощью или ЛЭ или ДШ 2-4.

После выделения всех строк закона функционирования ФЭ реализация выходных функций шифратора $y_{12} - y_1$ для двухшагового ПК параллельного типа выполняется аналогично случаю ПК последовательного типа. В целях более простой реализации осуществляют выделение ряда общих частей в некоторых подмножествах функций. Так, $y_1 = y_2 = 0$;

$$\begin{aligned}
 y_{12} &= D_3; y_4 = C_1; y_3 = (\overline{Z_1} \overline{Z_3} \overline{Z_5} \overline{Z_7} \overline{Z_{13}} \overline{Z_{15}} \overline{Z_{19}} \overline{Z_{21}}) \cup Z_{25}; \\
 M_1 &= \overline{Z_4} \overline{Z_5} \overline{Z_6} \overline{Z_7}; M_2 = \overline{Z_{10}} \overline{Z_{11}} \overline{Z_{14}} \overline{Z_{15}} \overline{Z_{17}}; M_9 = \overline{Z_{20}} \overline{Z_{21}} \overline{Z_{23}} \overline{Z_{24}} \overline{Z_{25}} \overline{Z_{26}}; \\
 M_3 &= M_5 \cup M_6; M_4 = \overline{Z_6} \overline{Z_7} \overline{Z_{16}} \overline{Z_{17}}; M_5 = \overline{Z_{20}} \overline{Z_{21}}; M_6 = \overline{Z_{23}} \overline{Z_{24}} \overline{Z_{25}} \overline{Z_{26}}, \\
 y_{11} &= D_3 \cup M_1 \cup M_2; y_{10} = M_1 \cup M_2 \cup M_3, \\
 y_9 &= (\overline{Z_{11}} \overline{Z_{12}} \overline{Z_{13}} \overline{Z_{14}} \overline{Z_{15}} \overline{Z_{18}} \overline{Z_{19}} \overline{Z_{22}}) \cup M_4, \\
 y_8 &= (\overline{Z_2} \overline{Z_3} \overline{Z_4} \overline{Z_5} \overline{Z_9} \overline{Z_{10}} \overline{Z_{14}} \overline{Z_{15}}) \cup (\overline{Z_{17}} \overline{Z_{18}} \overline{Z_{19}} \overline{Z_{22}} \overline{Z_{24}} \overline{Z_{25}} \overline{Z_{26}}), \\
 y_7 &= M_1 \cup M_2; y_6 = (\overline{Z_9} \overline{Z_{11}} \overline{Z_{12}} \overline{Z_{13}} \overline{Z_{14}} \overline{Z_{15}} \overline{Z_{16}} \overline{Z_{17}}) \cup M_6, \\
 y_5 &= (\overline{Z_2} \overline{Z_3} \overline{Z_6} \overline{Z_7}) \cup (\overline{Z_8} \overline{Z_{10}} \overline{Z_{16}} \overline{Z_{17}} \overline{Z_{20}} \overline{Z_{21}} \overline{Z_{22}} \overline{Z_{26}}).
 \end{aligned}$$

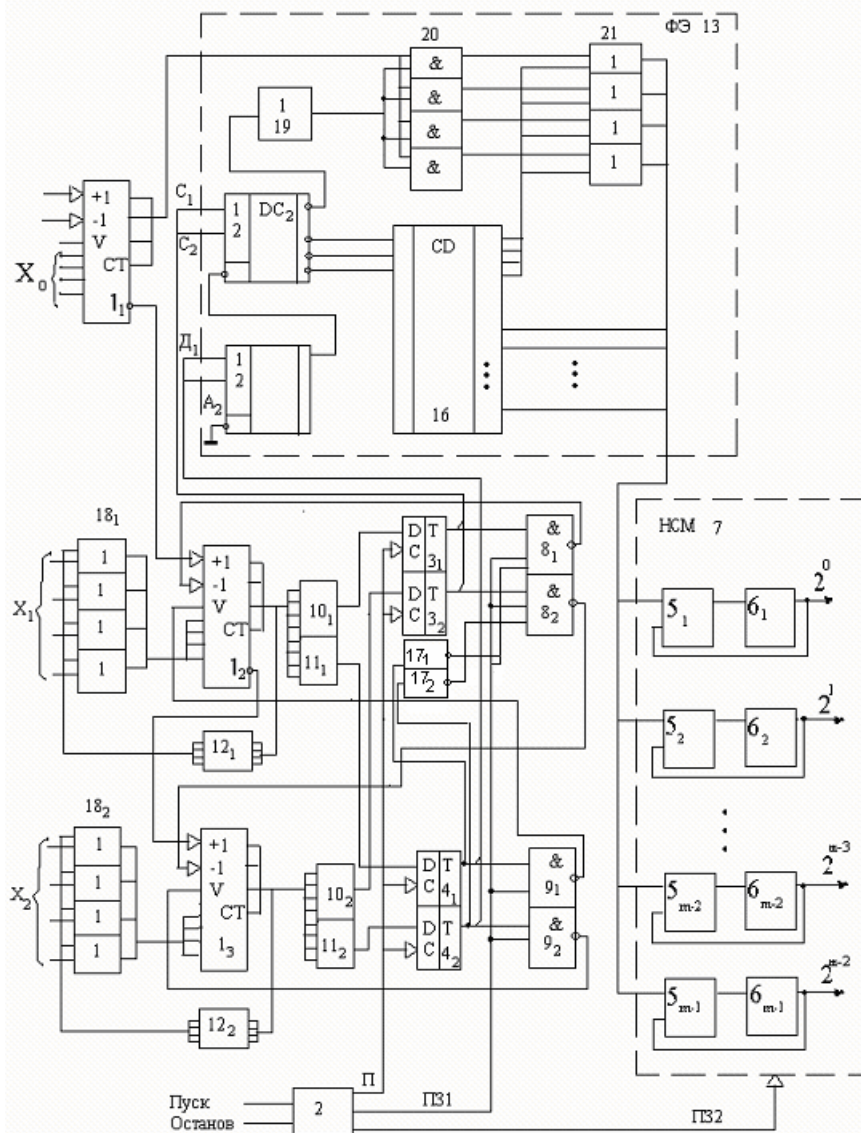


Рис 2. Структура двухшагового ПК с параллельным использованием шагов

4. Математические модели, описывающие ФЭ в ПК параллельного типа

Функционирование двухшагового многоблочного формирователя эквивалентов с параллельной стратегией использования шагов преобразования (рис.3), описывается выражением

$$S_m = \sum_{i=(m-1)P+1}^{i=mP} \gamma_i(h) K^{i-1} \cdot R_i(h), \quad (i = 1, \overline{mP}),$$

где m – номер блока ($m = \overline{1, M}$); i – номер разряда в блоке m ; P – число разрядов в блоке

($P = \frac{n}{M}$); n – число входных преобразуемых разрядов; h – текущий шаг преобразований; M

– число блоков в разбиении ($M = \frac{n}{p}$); C_i – состояние i -го триггера регистра состояний.

Коэффициент $\gamma_i(h)$ при степени оснований K^{i-1} может принимать три значения в зависимости от значений D_i и C_i триггеров i -го разряда соответственно старшего и младшего регистров состояний на этапе (такте) преобразования h :

$$\gamma_i(h) = \begin{cases} a, D_i \neq 0; C_i \neq 0; \\ 1, D_i = 0; C_i \neq 0; \\ 0, D_i = 0; C_i = 0. \end{cases}$$

Коэффициент $R_i(h)$ учитывает вхождение компоненты i -го разряда (ее вклад) в выражение для S_m блока m и равен

$$R_i(h) = \begin{cases} 0, D_i = C_i = 0; \\ 1, D_i \vee C_i = 1. \end{cases}$$

В зависимости от номера текущего такта преобразования $h(h = \overline{0, N})$ значения коэффициентов $\gamma_i(h)$ и $R_i(h)$ могут изменяться, т.е. являются динамически изменяющимися, что относится также и к величине S_m .

Номер набора	Состояние триггеров		Общий вид эквивалента	Десятичный код эквивалента	Двоичный код эквивалента		
	Второй группы	Первой группы			$Y_{12}Y_{11}Y_{10}Y_9$	$Y_8Y_7Y_6Y_5$	$Y_4Y_3Y_2Y_1$
Z_i	$D_3D_2D_1$	$C_3C_2C_1$	S	S_{10}			
0	000	000	X_0	X_0	Трансляция младшей тетрады		
1	000	001	K^1	12	0000	000	1100
2	000	010	K^2	144	0000	1001	0000
3	000	011	$K^2 + K^1$	156	0000	1001	1100
4	000	100	K^3	1728	0110	1100	0000
5	000	101	$K^3 + K^1$	1740	0110	1100	1100
6	000	110	$K^3 + K^2$	1872	0111	0101	0000
7	000	111	$K^3 + K^2 + K^1$	1884	0111	0101	1100
8	001	001	aK	24	0000	0001	1000
9	001	011	$K^2 + aK$	168	0000	1010	1000
10	001	101	$K^3 + aK$	1752	0110	1101	1000
11	001	111	$K^3 + K^2 + aK$	1896	0111	0110	1000
12	010	010	aK^2	288	0001	0010	0000
13	010	011	$aK^2 + K$	300	0001	0010	1100
14	010	110	$K^3 + aK^2$	2016	0111	1110	0000
15	010	111	$K^3 + aK^2 + K$	2028	0111	1110	1100
16	011	011	$aK^2 + aK$	312	0001	0011	1000
17	011	111	$K^3 + aK^2 + aK$	2040	0111	1111	1000
18	100	100	aK^3	3456	1101	1000	0000
19	100	101	$aK^3 + K$	3468	1101	1000	1100
20	100	110	$aK^3 + K^2$	3600	1110	0001	0000
21	100	111	$aK^3 + K^2 + K$	3612	1110	0001	1100
22	101	101	$aK^3 + aK$	3480	1101	1001	1000
23	101	111	$aK^3 + K^2 + aK$	3624	1110	0010	1000
24	110	110	$aK^3 + aK^2$	3744	1110	1010	0000
25	110	111	$aK^3 + aK^2 + K$	3756	1110	1010	1100
26	111	111	$aK^3 + aK^2 + aK$	3768	1110	1011	1000

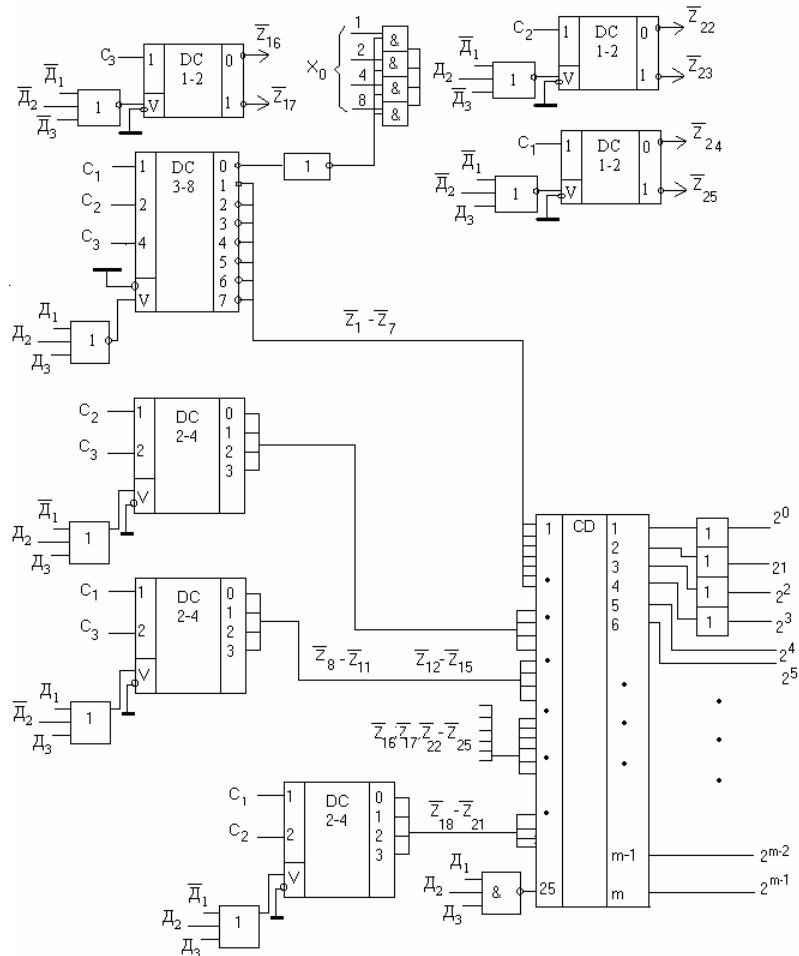


Рис. 3. Структура ФЭ для двухшагового ПК параллельного типа

Процесс преобразования заканчивается, если на каком-либо из тактов преобразования h состояния всех триггеров D_i и C_i всех блоков оказываются равными нулю. В случае разбиения шестиразрядного ПК и ФЭ на 6 блоков имеем следующие выражения для $S_1 - S_6$:
 $S_1 = \gamma_1(h)K^0R_1(h)$; $S_2 = \gamma_2(h)K^1R_2(h)$; $S_3 = \gamma_3(h)K^2R_3(h)$; $S_4 = \gamma_4(h)K^3R_4(h)$;
 $S_5 = \gamma_5(h)K^4R_5(h)$; $S_6 = \gamma_6(h)K^5R_6(h)$.

Число блоков разбиения (декомпозиции) M ФЭ и ПК на блоке является делителем числа входных разрядов n . В этом случае все блоки содержат одинаковое число разрядов. Так, при $n=6$ делителями являются числа 6,3,2,1 ($M=1,2,3,6$).

При $M=3$ получим следующие выражения для S_m :

$$S_1 = \sum_{i=1}^{i=2} \gamma_i(h)K^{i-1}R_i(h) = \gamma_2(h)K^1R_2(h) + \gamma_1(h)K^0R_1(h),$$

$$S_2 = \sum_{i=3}^{i=4} \gamma_i(h)K^{i-1}R_i(h) = \gamma_4(h)K^3R_4(h) + \gamma_3(h)K^2R_3(h),$$

$$S_3 = \sum_{i=5}^{i=6} \gamma_i(h)K^{i-1}R_i(h) = \gamma_6(h)K^5R_6(h) + \gamma_5(h)K^4R_5(h).$$

При $M=2$ выражения для вычисления значений S_m ФЭ преобразуются в следующие:

$$S_1 = \sum_{i=1}^{i=3} \gamma_i(h)K^{i-1}R_i(h) = \gamma_3(h)K^2R_3(h) + \gamma_2(h)K^1R_2(h) + \gamma_1(h)K^0R_1(h),$$

$$S_2 = \sum_{i=6}^{i=6} \gamma_i(h)K^{i-1}R_i(h) = \gamma_6(h)K^5R_6(h) + \gamma_4(h)K^3R_4(h) + \gamma_3(h)K^2R_3(h).$$

Наконец, при $M=1$ получим:

$$S_1 = \sum_{i=1}^{i=6} \gamma_i(h)K^{i-1}R_i(h) = \gamma_6(h)K^5R_6(h) + \gamma_4(h)K^3R_4(h) + \gamma_3(h)K^2R_3(h) + \gamma_3(h)K^2R_3(h) + \gamma_2(h)K^1R_2(h) + \gamma_1(h)K^0R_1(h).$$

Следует отметить, что если M является делителем числа n , то все блоки разбиения будут идентичными и иметь одинаковое число разрядов в блоке. Если это условие не выполняется, то последний блок разбиения будет иметь меньшее число разрядов по сравнению с предыдущими.

Так, при $n=8$ и $M=3$, будет два блока по три разряда (S_1 и S_2) и один блок (третий) с двумя разрядами. Функционирование ФЭ этих блоков описывается следующими формулами:

$$S_1 = \sum_{i=1}^{i=3} \gamma_i(h)K^{i-1}R_i(h) = \gamma_3(h)K^2R_3(h) + \gamma_2(h)K^1R_2(h) + \gamma_1(h)K^0R_1(h);$$

$$S_2 = \sum_{i=4}^{i=6} \gamma_i(h)K^{i-1}R_i(h) = \gamma_6(h)K^5R_6(h) + \gamma_5(h)K^4R_5(h) + \gamma_4(h)K^3R_4(h);$$

$$S_3 = \sum_{i=7}^{i=8} \gamma_i(h)K^{i-1}R_i(h) = \gamma_8(h)K^7R_8(h) + \gamma_7(h)K^6R_7(h).$$

Выводы

Научная новизна выполненного исследования заключается в следующем:

1. Предложен способ повышения быстродействия двухшаговых преобразователей кодов на базе счетчиков, функционирующих по методу накопления эквивалентов и использующих параллельную стратегию шагов преобразования.

2. Проведена сравнительная оценка последовательной и параллельной стратегии использования шагов преобразования и разработаны обобщенные математические модели, описывающие закон функционирования ФЭ в ПК с параллельной стратегией использования шагов преобразования.

3. Приведен пример построения закона функционирования ФЭ в ПК параллельного типа.

Практическая значимость исследования состоит в возможности существенного увеличения быстродействия двухшаговых ПК за счет небольших дополнительных аппаратурных затрат.

Список литературы: 1. А.с. 1126946 5G06F 5/02. Преобразователь двоично-К-ичного кода в двоичный код /А.Н. Слобожанин //Открытия, изобретения. 1984. №44. С.250. 2. А.с. 1647908 5HO3M 7/12. Преобразователь двоично-К-ичного кода в двоичный код /Н.Я.Какурин, Ю.К. Кирьяков, А.Н. Макаренко // Там же. 1991. №17. С. 262-263. 3. А.С. 1783618 5G06F 5/02. Преобразователь двоично-К-ичного кода в двоичный код / Н.Я.Какурин, А.Н. Макаренко, Д.Ю. Исхаков, В.А. Толмацкий //Открытия, изобретения. 1984. №44. С.250.

Поступила в редколлегию 17.09.2007

Коваленко Сергей Николаевич, соискатель кафедры АПВТ ХНУРЭ. Научные интересы: цифровые датчики, устройства преобразования кодов, автоматизации проектирования цифровых устройств. Адрес: Украина, 61166, Харьков, пр.Ленина, 14, тел. 70-21-326.