

family\_overview.html. 4. *Электронный ресурс*. Xilinx CPLDs. [http://www.xilinx.com/products/silicon\\_solutions/cplds/index.htm](http://www.xilinx.com/products/silicon_solutions/cplds/index.htm). 5. *Грушевицкий Р.И., Мурсаев А.Х., Угрюмов Е.П.* Проектирование систем с использованием микросхем программируемой логики. СПб: БХВ. Петербург, 2002. 608 с. 6. *Соловьев В.В.* Проектирование цифровых схем на основе программируемых логических интегральных схем. М.: Горячая линия-ТЕЛЕКОМ, 2001. 636 с. 7. *Baranov S.* Logic Synthesis for Control Automata. Kluwer Academic Publishers, 1994. 312 p.

Поступила в редколлегию 02.09.2008

**Рецензент:** д-р техн. наук, проф. Хаханов В.И.

**Баркалов Александр Александрович**, д-р техн. наук, профессор кафедры ЭВМ ДонНТУ, профессор Университе-

та Зеленогурского (Польша). Научные интересы: цифровые устройства управления. Хобби: научная работа, спорт. Адрес: Украина, 83122, Донецк, ул. Артема, 204А, кв.105, тел. (+38062)301-07-35.

**Титаренко Лариса Александровна**, д-р техн. наук, профессор кафедры ТКС ХНУРЭ, профессор Университета Зеленогурского (Польша). Научные интересы: системы телекоммуникаций, цифровые устройства управления. Хобби: научная работа, спорт. Адрес: Украина, 62418, Харьковская область, пос. Песочин, ул. Зеленая, 14.

**Лаврик Александр Сергеевич**, ассистент кафедры ЭВМ ДонНТУ. Научные интересы: цифровые устройства управления. Хобби: научная работа, спорт, фотография. Адрес: Украина, 83052, Донецк, ул. Цусимская, 54, кв. 1. (+38062)3059920.

УДК681.326:519.613

## ТЕХНОЛОГИИ ВСТРОЕННОГО ТЕСТИРОВАНИЯ SYSTEM-IN-PACKAGE

*ЛИТВИНОВА Е.И.*

Рассматривается проблема адаптации технологий тестирования цифровых систем для нового конструктивного поколения – System-in-Package (SiP), которое постепенно осваивает рынок электронных технологий. Пакет кристаллов формирует спектр новых задач сервисного обслуживания SiP-функциональностей в реальном масштабе времени, который существенно отличается от процессов встроенного диагностирования компонентов SoC (System on Chip).

### 1. Введение

Актуальные направления развития мирового рынка электроники на 2009 год традиционно формулируются в виде «Горячей ИТ-десятки» от Gartner Research Group [1]: 1) Виртуализация. 2) «Облачные вычисления» (cloud computing). 3) Серверы будущего, идущие на смену blade-серверам. 4) Веб-ориентированные архитектуры. 5) Смешанные корпоративные приложения (mashups). 6) Специализированные системы. 7) Социальные сети и ПО для них. 8) Объединенные коммуникации (unified communications). 9) Бизнес-аналитика. 10) «Зеленые» ИТ.

Достаточно хорошо топ-десятка коррелируется с трендами от компании Computer Sciences Corporation (CSC), которые оформлены в семь тенденций: 1) Новые СМИ. Интернет стал полноценной структурой для создания и использования аудио-, видео- и текстового контента в масштабе планеты. 2) Социальное ПО. Социальные сети привлекают миллионы пользователей, используя общность интересов. 3) Расширенная реальность. Постепенно, но настойчиво проникает в нашу жизнь. Виртуальная реальность, в которой образы пользователей путешествуют по виртуальным мирам, становится практически целесообразной при поиске подходящих товаров, услуг, изделий без их предварительного

приобретения. 4) Прозрачность информации. Позволит видеть себя и окружающий мир с заданной степенью детализации с помощью сенсоров и internet-камер, размещенных как в офисе, так и по всей планете. Обратная сторона медали – как спрятаться и сохранить личное пространство. 5) Инновации в беспроводной связи. Позволят запускать любое приложение на любом устройстве в любой точке планеты. Здесь следует ожидать появление конфликтов при разделении частот между телекоммуникационными операторами, радио- и телевидением, кабельными и спутниковыми компаниями, провайдерами internet услуг. Следует ожидать интегрированного решения данного вопроса под приоритетом беспроводных технологий с мобильными internet-сервисами. 6) Новые платформы. Повышается уровень виртуализации. Число приложений, работающих на одной машине под управлением разных операционных систем, растет экспоненциально. «Облачные вычисления», когда пользователь платит за применение компьютерной инфраструктуры и приложений провайдерам, хранящим данные клиентов на своих серверах, существенно изменят всю структуру вычислений. Становятся более реальными перспективы нанотехнологий, молекулярных, квантовых и оптических вычислений. Вместо кремниевых чипов будут работать более легкие и мелкие элементы: атомы, ДНК, спины электронов и свет. 7) Умный мир. Семантические и сетевые технологии позволят вычислительным устройствам интерпретировать информацию по алгоритмам естественно-го интеллекта, будь то текст, речь, изображения или жизненные ситуации. Компьютеры будут учить, давать рекомендации, делать предсказания на основе информации, полученной от окружающей среды и конкретного человека. Развиваются средства семантического поиска в internet с самообучением. Создается действительно умный мир, где люди и машины будут рассуждать и общаться друг с другом на основе сочетания семантических и сетевых технологий. Это приведет к появлению искусственного интеллекта, а возможно и сверхинтеллекта, читающего мысли человека [2].

Все сказанное выше становится возможным благодаря развитию высоких технологий создания интегрированных систем на кристаллах (SoC) и в пакетах (SiP), стоимость и сложность которых непрерывно растут.

Технология «System-in-Package» – SiP (система в корпусе, система в пакете, многочиповый пакет) является привлекательным и перспективным решением для большинства приложений, таких как беспроводные устройства, сенсоры, устройства обработки графической информации, коммутация пакетов сети [3-5].

Технологическая конструкция SiP в виде наложения или «пирога» из силиконовых кристаллов закономерно и ожидаемо эволюционирует в течение последних 10 лет на рынке электронных технологий и предоставляет разработчикам аппаратуры новые возможности:

- гибкость при проектировании и производстве отдельных компонентов системы, которая позволяет использовать оптимальные технологии для быстродействующей логики, памяти, аналоговых компонентов;
- возможность проектирования и изготовления компонентов системы с высоким значением параметра yield (выход годных изделий), а также их интеграции в более сложные устройства;
- возможность размещения пассивных компонентов непосредственно на подложке, что является важным для аналого-цифровых устройств передачи данных;
- повышение производительности цифровых систем, миниатюризация объема и снижение веса изделия, уменьшение задержек распространения сигналов, энергопотребления и стоимости изделия.

Платой за такие преимущества является: 1. Аппаратное усложнение цифровой системы в пакете, насчитывающей уже миллиарды вентилях (до 500 миллионов транзисторов на одном кристалле). 2. Высокая стоимость проектирования и производства (Design and Manufacturing Cost). 3. Бесплезность существующих моделей (Unavailable Simulation Models) и методов анализа и принятия решений (Decision Making Process). 4. Отсутствие гарантии качества используемых силиконовых пластин (Bare Die Quality). 5. Низкий уровень выхода годных изделий SiP (Low Assembly Yields). 6. Сложность процессов восстановления работоспособности (Complex Repair Process). 7. Весьма ограниченные средства проектирования (Limited CAD Tools). 8. Наличие проблем в управлении отводом тепла (Thermal Management).

Новое конструктивное исполнение цифровой системы добавляет разработчикам аппаратуры технологические проблемы тестирования цифровых систем в пакетах (SiP Test Challenges), пластин и силиконовых кристаллов (Wafer/Die Test), подложки (Substrate Test) и функциональных модулей (Module Test). Современный уровень технологии SiP не позволяет уменьшить стоимость процесса тестирования, когда каж-

дый функциональный модуль тестируется отдельно. Кроме того, существует много проблемных вопросов, связанных с соединением силиконовых кристаллов (silicon die) в цифровую электронную систему. В первую очередь здесь актуальными представляются: 1) механическая защита внутренностей силиконовых кристаллов; 2) удобства и преимущества использования, сборки и тестирования (handling, assembly, test); 3) рассеивание тепла путем его отвода от горячих компонентов (removal of wasted heat). Цифровые системы на кристаллах ориентированы на использование в экстремальных условиях, когда доступ человека к ремонту ограничен. В этом случае работоспособность компонентов необходимо восстанавливать в процессе функционирования с помощью специальных встроенных средств [6]. Для целей тестирования, диагностирования и ремонта кристалла создается инфраструктура сервисного обслуживания функциональностей SiP.

*Актуальной* является задача разработки универсального алгоритма проектирования SiP и набора интегрированных средств, которые позволили бы выполнять совместную разработку (codesign) компонентов системы и оптимизировать электрические, функциональные, механические и тепловые ее характеристики.

*Цель исследования* – анализ современного состояния рынка технологий сервисного обслуживания SiP и определение наиболее актуальных проблем, подлежащих решению.

*Задачи:* 1) анализ встроенных методов тестирования цифровых систем на кристаллах и в пакете (SoC, SiP); 2) формулирование актуальных проблем, связанных с тестированием и диагностированием цифровых систем на кристаллах и в пакете; 3) адаптация существующих технологий тестопригодного проектирования к решению проблем встроенного тестирования функциональностей SoC, SiP.

## 2. Архитектура и технологии тестирования SiP

System-in-Package (SiP) представляет собой многослойный кристалл, размещенный на подложке вместе с пассивными компонентами [7-11].

Для реализации тестирования подложку можно рассматривать как печатную плату [7] и в этом случае могут быть применены существующие IEEE стандарты: 1149.1 – A Test Access Port and Boundary Scan Architecture и 1149.4 – A Standard Mixed Signal Test. Стандарт 1149.1 может быть использован для тестирования цифровых межсоединений кристаллов, размещенных на подложке, а также сканирования и встроенного тестирования элементов кристалла. Стандарт 1149.4 поддерживает все возможности стандарта 1149.1 и дополнительно позволяет тестировать аналоговые межсоединения кристаллов, предоставляет механизм тестирования и измерения параметров отдельных RLC пассивных элементов, которые могут быть размещены в аналоговых цепях между кристаллами. Используя указанные выше стандарты в комбинации с исчерпывающим функциональным тестиро-

ванием в автоматическом режиме, можно выполнять тестирование цифровых и аналоговых цепей низкой частоты.

Парадигма «система на кристалле» (SoC) гарантирует более высокую производительность, меньшие размеры, более низкое энергопотребление, по сравнению с аналогичной системой на печатной плате [12]. Кроме того, многократное использование функционально законченных компонентов (IP-core) упрощает процесс проектирования. Производители систем на кристалле могут разрабатывать собственные IP-core или покупать готовые и встраивать их в различные сложные системы. Однако для того, чтобы компенсировать высокую стоимость проектных работ, необходимы большие объемы выпуска продукции.

Основной проблемой дальнейшего развития SoC является современный уровень силиконовой технологии. Для решения отдельных задач имплементации разнородных компонентов в кристалл необходимы различные специфические технологические процессы. Решение указанной проблемы возможно в рамках SiP парадигмы.

SiP состоит из множества кристаллов, размещенных на одной подложке и соединенных с помощью связей. В отдельном кристалле может быть реализована одна функциональность (например, память) или несколько (например, кристалл может представлять собой подсистему SSoC). Парадигма SiP объединяет в себе преимущества системы на кристалле и печатной платы: компоненты SiP могут изготавливаться отдельно по различным технологиям и затем путем сборки объединяться в единую систему. Это позволяет увеличить производительность системы и упростить процесс проектирования. Однако при тестировании SiP возникают проблемы. Трудности тестирования определяются сложностью проекта и уровнем доступности компонентов. Типовое решение задачи тестирования основано на модульности проекта, инкапсуляции, использовании оболочки модуля «core wrapper», механизма тестового доступа (TAM), тестопригодного проектирования (DFT), а также возможности тестирования модулей по отдельности или параллельно. Алгоритм тестирования SiP отличается от традиционного, поскольку необходимо вначале реализовать тестирование на уровне отдельного кристалла и затем – заключительное тестирование системы в целом. Несмотря на то, что при реализации отдельных компонентов обеспечивается управляемость и наблюдаемость линий, для тестирования SiP в целом необходимы дополнительные специальные средства, которые бы позволили реализовать тестирование аналоговых и аналого-цифровых устройств, межсоединений кристаллов при наличии проектных и технических ограничений.

В работе [12] описан подход к тестированию на основе стандарта IEEE 1500 Standard for Embedded Core Test (SECT). Парадигма тестирования SiP базируется на использовании эталонных кристаллов (Known-Good-

Die, KGD). При этом обычно используются только доступные решения, поскольку на уровне SiP может не быть возможности использования всех необходимых тестов для каждого отдельного кристалла из-за невозможности использования некоторых тестовых режимов или большой стоимости.

Тестирование интегральной схемы осуществляется путем испытания на отказ, когда выявляются ранние отказы в период приработки. Обычно производители применяют испытания системы на отказ на уровне пакета. Для SiP требуются эталонные кристаллы с таким уровнем качества, который эквивалентен уровню, получаемому при испытаниях на отказ. Для этого исследователи предлагают различные технологии и средства: испытания на отказ на уровне подложки (Wafer-Level Burn-In – WLBI) или технологию «испытательно-пригодного» проектирования (Design-for-WLBI); подход, при котором сквозные переходные отверстия рассматриваются как единственные точки соприкосновения с кристаллом, которые позволяют применять технологию зондирования; анализ тестовых данных.

Несмотря на определенные достижения в области тестирования кристаллов, при тестировании SiP возникает много проблем. Алгоритм тестирования SiP позволяет адресовать взаимосвязанные кристаллы, сложность которых неуклонно растет. Необходимы также тесты для тестирования межсоединений и верификация параметров, зависящих от плотности размещения (Sensible-to-Packaging).

Процесс разработки SoC и SiP имеет общие черты:

1. SoC и SiP представляют собой объединение многих функциональных модулей, производимых разными компаниями.
2. Разработка различных модулей должна быть синхронизирована в целях обеспечения их наилучшего совместного функционирования.
3. Ограничениями при разработке SoC являются временные параметры и потребляемая мощность, важным является также выбор оптимальной технологии и управление аналого-цифровыми частями.
4. SiP парадигма уменьшает влияние указанных параметров на стоимость продукта, поскольку она позволяет группировать модули в зависимости от требований, технологии, типа и создавать кристалл для каждой группы. Затем отдельные кристаллы объединяются в один пакет (SiP).

До настоящего времени сфера применения SiP архитектуры ограничивалась в основном портативными компьютерами и коммуникационными устройствами, где требовалась минимизация занимаемого пространства и слияние функциональностей, включая цифровые, аналоговые компоненты и устройства питания.

В настоящее время SiP включает несколько кристаллов различного назначения для решения следующих задач:

- один или более вычислительных модулей, поддерживающих возможность совершенствования. Это может быть микросхема VLSI или подсистема SoC (SSoC), в состав которой входит один или более процессоров (CPU), связанных с помощью шины с периферийными устройствами в целях организации обмена данными (с помощью последовательного или параллельного интерфейса) и вычислений (аппаратно-ускоренное декодирование);
- автономная память (обычно Flash, E2PROM или DRAM) от разных производителей. Производитель SiP реализует их сборку при изготовлении пакета;
- аналоговые модули и устройства питания позволяют SiP взаимодействовать с электромеханическими модулями (экран, динамики);
- RF модули позволяют системе взаимодействовать со средой функционирования и хранить информацию о продукте (версию или данные о поставщике компонентов).

На завершающей фазе производится сборка всех кристаллов, входящих в состав системы, на общей подложке. Подложка не только физически объединяет компоненты системы. В нее встроены пассивные элементы, которые позволяют реализовать взаимодействие между кристаллами. Однако в настоящее время уже имеются «прорывные» решения, позволяющие встраивать в подложку также активные компоненты. Указанные технологии используются для минимизации площади в целях ее применения для реализации тестирования системы.

Сходство и различия процесса производства SoC и SiP обуславливают используемые методы тестирования. Поскольку SoC и SiP представляют собой объединение нескольких модулей, необходима методология тестирования каждого кристалла (или группы кристаллов) наряду с DFT структурами и тестовыми наборами. Методы и механизмы тестирования, которые используются на уровне тестирования кристалла, являются общими для SoC и SiP. Для SoC второй уровень тестирования, системный тест включает интерфейсы тестирования, их межсоединения и порядок выполнения тестов. Поскольку SiP имеет многокристальную архитектуру, решения, связанные с уровнем системного тестирования, укладываются в несколько категорий:

- определение требований к тестированию подсистемы. Каждый произведенный кристалл требует эффективного, надлежащим образом подключенного интерфейса тестирования и строго определенного порядка выполнения тестов;
- определение требований к тестированию системы как сборочной единицы. SiP архитектура обуславливает два важных аспекта: 1) тестирование кристалла может быть ориентировано на общую структуру SiP и взаимодействие ее компонентов; функциональности одного кристалла SiP могут использоваться при тестировании другого; 2) важно тщательно обрабатывать

результаты тестирования межсоединений кристаллов, пересматривая архитектуру интерфейсов подсистемы тестирования.

Последний уровень производственного тестирования отражает структурные различия между SoC и SiP. На этом уровне тестовая стратегия, разработанная для системы, переводится в АТЕ-совместимый (Automatic Test Equipment) формат. Для SoC этот шаг не нужен, поскольку необходима только одна тестовая программа. Для SiP указанный шаг включает два уровня:

уровень 1 – описание тестовой программы и тестовых воздействий;

уровень 2 – тестовые программы, сгенерированные для тестирования межсоединений между кристаллами и завершающего тестирования SiP.

Стандарт IEEE 1500 SECT является наиболее эффективным с точки зрения стоимости решением для производственного тестирования SoC. В нем приведена стандартизированная методология передачи тестовых данных, независимая от функциональности системы, позволяющая выполнять «plug-and-play» тестирование. Стандарт определяет:

- масштабируемую структуру интерфейса тестирования для IP-cores, входящих в состав SoC;
- язык тестирования IP-core (Core Test Language – CTL), который позволяет описать архитектуру теста и протоколы обмена тестовыми данными между производителями IP-core и системным интегратором.

На уровне интеграции SoC IP-core, помещенный в интерфейс (wrapper) IEEE 1500, подключается к специальной, определенной пользователем инфраструктуре тестирования благодаря наличию механизма тестового доступа (Test Access Mechanism – TAM). Тестирование осуществляется через интерфейс IEEE 1500, через который внешнее тестовое оборудование передает тестовые наборы и получает отклики в установленном порядке.

Используемые для SoC решения, основанные на стандарте IEEE 1500, могут быть распространены на парадигму SiP путем применения представленных в стандарте структур для тестирования отдельных кристаллов, образующих систему в пакете, гарантируя, таким образом, возможность реализации тестирования на уровне кристалла и на системном уровне.

Размещение интерфейса тестирования на кристалле позволяет улучшить качество изделия, несмотря на то, что временные параметры изделия могут несколько ухудшиться.

Предложенное в работе [12] решение по организации тестового доступа для SiP основано на иерархическом подходе, представленном в стандарте IEEE 1500. Преимущества указанного подхода:

- простое и быстрое взаимодействие теста со слоями IP-core и подсистемы независимо от типов компонентов, упрощение проектирования структуры теста для каждого модуля и подсоединение к TAM;

- эффективная поддержка тестирования взаимосвязей между кристаллами в пакете;
- определение стандартного подхода к генерации тестовых программ на уровне кристалла и SiP в целом.

На рис. 1 представлена возможная конфигурация теста для SiP, состоящей из 2-х кристаллов. Здесь используется один последовательный канал для реализации механизма тестового доступа (минимум, определенный стандартом IEEE 1500). Предложенная структура может быть использована в двух случаях: когда кристалл тестируется отдельно путем подключения его непосредственно к автоматическому тестовому оборудованию (ATE) и для тестирования SiP в целом.

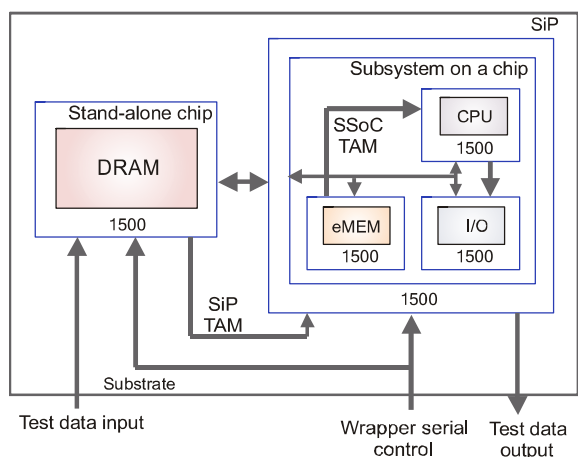


Рис. 1. Пример использования механизма тестового доступа TAM для системы в пакете, состоящей из двух кристаллов

Тестовый интерфейс обеспечивает возможность формирования тестовых данных для каждого IP-core и получение результатов, а также выполнение необходимых преобразований формата данных для передачи их в TAM (начиная от ввода тестовых наборов и заканчивая их выводом). Шестиразрядная шина обеспечивает управление последовательными структурами интерфейса путем управления передачей данных в направлении «к» и «от» каждого кристалла на основе стандартизированного протокола. На рис. 2 представлена предлагаемая структура интерфейса тестирования на основе стандарта IEEE 1500.

Стандарт требует имплементации минимального набора структур:

- регистр граничного сканирования (Wrapper Boundary Register, WBR) действует как boundary scan цепь на уровне IP-core;
- буферный регистр (Wrapper Bypass Register, WBY), обычно состоящий из одного триггера, позволяющего направлять тестовые данные к другому IP-core через интерфейс;
- регистр команд (Wrapper Instruction Register, WIR), принимающий кодовое слово для активации одного из возможных регистров сканирования путем переключения мультиплексоров.

На рис. 2 показаны цепочки сканирования, добавленные в IP-core, которые подключены к системе и дополнительному параллельному порту для организации тестового доступа. Представленная архитектура интерфейса обеспечивает два режима функционирования, ориентированных на тестирование SiP: первый (рис. 2,а) – предоставляет полный доступ к цепочке граничного сканирования, когда имеется возможность тестирования межсоединений IP-cores внутри подсистемы на кристалле как до, так и после сборки SiP; второй (рис. 2,б) – ориентирован исключительно на тестирование межсоединений между кристаллами и предоставляет доступ только к ячейке граничного сканирования на первичных входах и выходах подсистемы на кристалле (для представленного примера от d[3] к d[4] и от q[1] к q[2]). Описанная конфигурация повторяется для всех IP-cores подсистемы на кристалле, обеспечивает выполнение функциональностей интерфейса IEEE 1500, окружающего кристалл в целом, без введения дополнительного аппаратного обеспечения или ухудшения характеристик. Выбор конфигурации ячейки граничного сканирования – задача уровня тестирования упакованной системы.

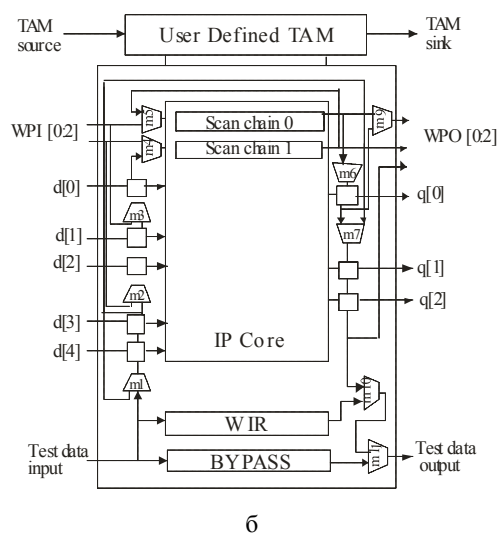
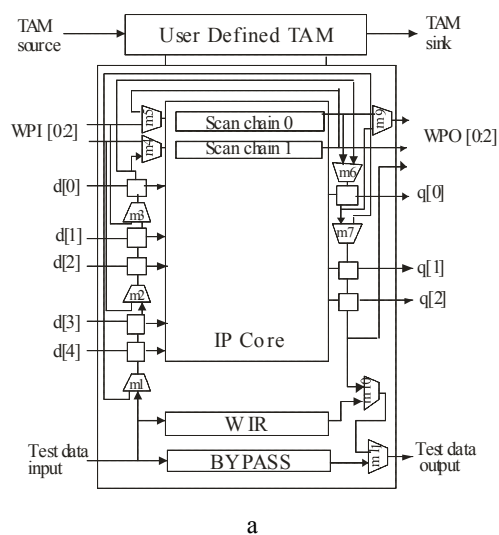


Рис. 2. Boundary scan интерфейс для тестирования SiP: а – режим полного доступа к цепочке граничного сканирования; б – режим тестирования межсоединений кристаллов

Несмотря на то, что разработанный ранее кристалл, интегрированный в систему, может впоследствии потерять структуры тестового доступа, соответствующие стандарту IEEE 1500, имеется возможность получения доступа к верхнему уровню кристалла путем использования ячейки граничного сканирования, относящейся к другому кристаллу системы. Это позволяет применять тестовые наборы, предназначенные для тестирования взаимодействия между кристаллами и обеспеченные интерфейсом IEEE 1500, включенные в проект SiP.

Парадигма SiP предоставляет большое разнообразие возможных проектных решений, в которых используются компоненты, изготовленные разными производителями по различным технологиям. Даже для кристаллов, удовлетворяющих тестовым структурам стандарта IEEE 1500, множество дополнительных факторов могут влиять на разработку тестовых программ. В зависимости от доступного автоматического тестового оборудования, конфигурации проекта и требований к нему, может быть использована стратегия с многими или одним проходом. Заключительный широко-масштабный системный тест может оказаться неизбежным во время или после испытания на отказ.

Для ускорения тестовой интеграции в процесс разработки SiP могут использоваться программные средства автоматической генерации тестов. Указанные средства позволяют вводить релевантные тестовые характеристики для IP-cores подсистемы исходя из DFT структур, протоколов, тестовых наборов; для кристаллов – исходя из структуры и тестового интерфейса; для TAM – исходя из типов тестируемых межсоединений кристаллов, разрядности шины и порядка следования тестов; для ATE – исходя из возможностей используемого оборудования. На основе полученной информации имеется возможность:

- проверки совместимости описанных тестовых архитектур и существующих ограничений (например, исходя из доступного ATE или потребляемой мощности в процессе тестирования);
- быстрой оценки времени тестирования SiP для заданной конфигурации теста;
- автоматической генерации тестовых программ для SiP на заданном языке, включая формы сигналов, которые должны быть получены и переданы в ATE для выполнения теста.

Основное преимущество использования программного обеспечения заключается в возможности автоматической генерации тестовых программ на уровне кристалла или системном уровне на основе описаний компонентов.

Стратегия тестирования SiP предполагает выполнение следующих шагов:

1. Реализация индивидуальных тестов для каждого кристалла, входящего в SiP. На этом шаге, известном как «wafer test» (тест для проверки логической схемы непосредственно на пластине), выявляются дефект-

ные кристаллы, которые будут приводить к неправильному функционированию системы. Здесь также выполняются нагрузочные испытания, такие как наработка на отказ и окончательная идентификация эталонных кристаллов. Обычно этот шаг выполняется производителем кристалла. Если же на подложке устанавливаются активные компоненты, производитель должен выполнить заключительную сборку на эталонной подложке. При этом выполняется тестирование квази-пакета, цель которого – уменьшить сложность теста подложки, обычно выполняемого при заключительном производственном тестировании. Добавляя промежуточные тестовые шаги в процесс интеграции SiP, можно выявить дефектные элементы перед заключительным производственным тестом, например, входное тестирование подложки, которое выполняется на производственном оборудовании. Однако на практике оно почти не используется из-за усложнения производственного процесса и использования разнородного оборудования на производственном участке. Несмотря на то, что SiP состоит из эталонных компонентов, окончательный продукт требует выполнения дополнительной фазы тестирования.

Тестирование межсоединений кристаллов позволяет проверить внутрисистемную связность эталонных компонентов. Выбор теста для межсоединений зависит от технологии SiP, поскольку различные производственные технологии приводят к некоторым отличиям в неисправном поведении.

2. Послеупаковочное (post-packaging) тестирование выявляет проблемы, которые являются результатом процесса упаковки. На этом шаге необходимо повторно тестировать каждый кристалл, содержащий внутренние структуры. В этих условиях использование заимствованных стандартных структур позволяет гарантировать доступность компонентов SiP. Послеупаковочный тест является многопроходным и выполняется в критических условиях (например, при высокой температуре). Полученная информация может помочь при определении правил производственно-пригодного проектирования SiP (Design-for-Manufacturing, DFM).

Полный тест SiP включает итоговую проверку работоспособности. Цель – определить окончательное качество системы. Тест SiP обеспечивает также обратные связи с процессом совершенствования DFM уровня SiP. Тестирование без кристаллов (bare-die testing) выполняется на стандартной подложке и обеспечивает информацию о корреляции производственных дефектов с электрическими неисправностями. При этом необходимо сконцентрировать внимание на возможных эффектах. Например, межсоединения кристаллов могут быть причиной задержки сигнала; соединения сваркой (пайкой) могут приводить к нежелательным электромеханическим эффектам. В этих случаях контактная площадка или кристалл, которые являются причиной эффекта, могут приводить к ухудшению параметра yield. Проблема может быть чисто электрической (перекрестные помехи) или механи-

ческой (несоблюдение минимального зазора между элементами топологии или других технологических ограничений). На рис.3 показан алгоритм полного тестирования системы.



Рис. 3. Алгоритм тестирования системы в пакете

Анализ неисправностей SiP – решающий этап разработки системы. Предложенная стратегия тестирования обеспечивает точную информацию о неисправностях в системе на различных производственных этапах и позволяет изучить их влияние на качество продукта на каждом этапе отдельно. Однако при анализе неисправностей SiP возникают дополнительные трудности. Например, некоторые дефекты возникают под воздействием определенных условий и не являются воспроизводимыми. Для активизации таких дефектов при анализе неисправностей необходимо выполнять микросондирование вплоть до демонтажа элементов. Другая трудность имеет отношение к наблюдаемости. Наличие наблюдаемых элементов на отдельном кристалле является почти обязательным. При добавлении указанных элементов к энергонезависимой памяти IP-core также становится наблюдаемым, но для других кремниевых технологий необходимы дополнительные средства обеспечения наблюдаемости.

В качестве примера в [12] рассмотрена SiP, разработанная для системы спутниковой связи. Архитектура SiP включает подсистему на кристалле для прямой немодулированной (base-band) передачи, разработанную по 90nm технологии, и один (или два) дополнительный элемент памяти: буферная память объемом 128-Mbyte, dynamic RAM, и энергонезависимая (E2PROM). В состав системы входят 4 кристалла, реализующих RF интерфейс и преобразование информации (рис.4).

При тестировании системы были использованы решения, описанные выше, и средства автоматической генерации тестовых программ на всех этапах производственного тестирования SiP. Тестирование подси-

стемы на кристалле выполнялось через порт тестового доступа (TAP).

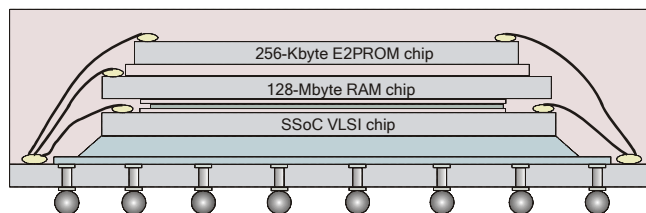


Рис. 4. Пример структуры пакета на кристалле для спутниковой связи

К тестированию SoC предъявляется ряд специфических требований: необходима память большого объема для организации структурного тестирования, а также аналоговые средства для функционального тестирования встроенных функций обработки сигналов. На уровне подложки для тестирования SoC (с помощью тестера Agilent 93K) требуется время около 7 секунд на кристалл. Указанное время увеличивается на 25%, если система на кристалле включает RF компоненты. Более того, система в пакете подвергается испытаниям при различной температуре от 25 до 125°C. Для тестирования элементов памяти SiP были использованы стандартные средства тестирования и DFT. Для памяти E2PROM тестирование на уровне подложки выполнялось на специальном оборудовании с использованием тестера Credence Kalos 2. Было выполнено три этапа тестирования, включая электрические испытания, затраты времени при этом составили десятки секунд. Тестирование DRAM осуществлялось с использованием стандартного автономного тестера (серии Agilent V54 или Advantest). Послеупаковочное тестирование SiP может быть затруднено, поскольку в состав системы входит два вида памяти, которые требуют длительной проверки. Для рассматриваемой системы был использован тестер Agilent 93K, в котором реализован метод параллельного тестирования, основанный на использовании многопортовости (многопоточности). Метод позволяет подавать несколько независимых тестов на различные группы выводов параллельно, а также изолировать отдельные кристаллы при тестировании или тестировать их по отдельности, используя стандартную инфраструктуру.

### 3. Выводы

Адаптация технологий тестирования цифровых систем на кристаллах к новому конструктивному поколению цифровых систем – system-in-package (SiP) – позволяет эффективно решать проблемы рынка электронных технологий. Вместе с тем пакет кристаллов формирует спектр новых задач сервисного обслуживания SiP-функциональностей, которое существенно отличается от процессов встроенного диагностирования SoC (System on Chip) в реальном масштабе времени. К ним относятся взаимосвязанные задачи тестирования, диагностирования и восстановления работоспособности логических компонентов цифровых систем, которые к 2014 году будут составлять 6% от

проекта, размещенного на кристалле. В настоящее время существует устойчивая тенденция снижения процентного соотношения логической части в сторону наращивания памяти. Тем не менее, проблема оперативного ремонта отказавших логических элементов в реальном масштабе времени остается нерешенной.

Выполненный анализ встроенных методов тестирования цифровых систем на кристаллах и в пакете (SoC, SiP) показал, что использование избыточных площадей программируемой логики позволяет эффективно решать задачи восстановления работоспособности логических компонентов (Reused and New Logic) цифровой системы на кристаллах SoC & SiP и встроенной памяти в реальном масштабе времени.

**Литература:** 1. <http://www.gartner.com/> 2. <http://www.pcweek.ru/> 3. *Kwang-Ting (Tim) Cheng*. The Need for a SiP Design and Test Infrastructure // IEEE Design and Test of Computers. May–June, 2006. P. 181. 4. *Peter Rickert, William Krenik*. Cell Phone Integration: SiP, SoC, and PoP // IEEE Design and Test of Computers. May–June, 2006. P. 188–195. 5. FSA SiP Market and Patent Analysis Report. FSA SiP Subcommittee // IEEE Design & Test of Computers.– Vol. 24, Issue 2, March–April, 2007. P. 184–192. 6. *Hamdioui S., Gaydadjiev G. N., van de Goor A. J.* The State-of-the-art and Future Trends in Testing Embedded Memories // Records IEEE International Workshop on Memory Technology,

Design, and Testing, San Jose, CA, August 2004. 2004. P. 54–59. 7. *Lee Whetsel*. System-in-Package Testing Using Existing IEEE Test Standards // International Test Conference 2001 (ITC'01). 2001. P. 1167. 8. *Ajay Khoche*. System-in-Package is Coming to Consumer Products: Is Test Ready? // Proceedings of the International Test Conference 2001 (ITC'01). 2001. P. 1166. 9. *Fontanelli A.* System-in-Package Technology: Opportunities and Challenges // Quality Electronic Design, 2008.– ISQED 2008, 9th International Symposium.– March, 2008. P. 589 – 593. 10. *Lim S.K.* Physical design for 3D system on package // IEEE Design & Test of Computers.– Vol. 22, Issue 6.– Nov.-Dec., 2005. P. 532 – 539. 11. *Tummala R.R., Madiseti, V.K.* System on chip or system on package? // IEEE Design & Test of Computers. Volume 16, Issue 2.– April–June, 1999. P. 48 – 56. 12. *Appello D., Bernardi P., Grosso M., Reorda M.S.* System-in-package testing: problems and solutions // IEEE Design & Test of Computers. Vol. 23, Issue 3. May–June, 2006. P. 203 – 211.

Поступила в редколлегию 15.08.2008

**Рецензент:** д-р техн. наук, проф. Кривуля Г.Ф.

**Литвинова Евгения Ивановна**, канд. техн. наук, доцент кафедры технологии и автоматизации производства РЭС и ЭВС ХНУРЭ. Научные интересы: алгоритмизация задач автоматизированного проектирования электронных вычислительных средств, автоматизация диагностирования и встроенный ремонт компонентов цифровых систем в пакете (SiP). Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 70-21-421.

УДК621.391

## СТРУКТУРНОЕ ДВОИЧНОЕ КОДИРОВАНИЕ В НЕПОЗИЦИОННОМ ПРОСТРАНСТВЕ ИЗОТОПНЫХ УРОВНЕЙ АРХИТЕКТУРЫ РЕЛЬЕФА ИЗОБРАЖЕНИЯ

*БАРАННИК В.В., СЛОБОДЯНЮК А.В.*

Излагаются основные особенности построения метода сжатия видеоданных на основе структурного кодирования в непоозиционном архитектурном пространстве мультиизотопного рельефа изображения. Показывается, что кодирование базируется на: переформатировании архитектуры рельефа изображения, основанного на свойствах непоозиционности и взаимоисключаемости изотопных уровней; структурной нумерации переформатированной архитектуры рельефа изображения в непоозиционном мультиизотопном пространстве. Обосновывается, что сжатие изображений достигается за счет сокращения избыточности, обусловленной: одновременным учетом позиций с запретом появления единичных элементов и ограничений на динамические диапазоны элементов в позиционирующих массивах; выявлением изотопных уровней для фрагментов изображений; исключением из обработки изотопного уровня, содержащего наибольшее количество единичных элементов.

### 1. Введение

Развитие инфокоммуникационных систем (ИКС) связано с повышением эффективности обработки и доставки мультимедийных данных [1]. В связи с этим возникает проблема, заключающаяся в необходимости обработки больших объемов данных [2–5]. Зачастую темпы роста объемов оцифрованных изображений на несколько порядков превышают технологические возможности систем передачи данных [2, 5]. Отсюда важной *научно-прикладной тематикой исследований* является обеспечение возможности для сокращения времени обработки и доставки данных в системах инфокоммуникации.

Это определяет *цель исследований*, состоящую в уменьшении цифровых объемов изображений для их передачи по ИКС в реальном времени.

Для снижения объемов видеоданных в ИКС интегрируются технологии компрессии [2–5]. В работе [6] доказывается потенциальная эффективность систем сжатия, основанных на формировании архитектурного позиционирования мультиизотопного рельефа изображения. Основным этапом такого подхода является кодирование трехмерных двоичных структур (ТДС), несущих информацию об архитектуре мультиизотопного рельефа изображения. ТДС представляют собой  $U$  двоичных массивов размером, равным  $(m \cdot n)$ . Величина  $U$  выбирается в соответствии с количеством изотопных уровней. Сжатие ТДС без внесения погрешностей излагается в работе [7].