

П. А. БРАНДИС, канд. техн. наук, А. Л. КУЛИКОВ

## МЕТОД УСКОРЕННОГО УМНОЖЕНИЯ ПРИ ЦИФРОВОЙ ОБРАБОТКЕ РАДИОЛОКАЦИОННЫХ СИГНАЛОВ

Аппаратная реализация алгоритмов цифровой обработки радиолокационной информации предполагает применение вычислительных средств повышенного быстродействия. Это, прежде всего, обусловлено использованием в радиолокации сложных алгоритмов обработки и необходимостью их выполнения в реальном масштабе времени (РМВ). Одно из основных направлений повышения быстродействия — сокращение времени выполнения операций. Проанализируем возможность уменьшения времени выполнения операции умножения.

Аппаратную реализацию операции умножения можно осуществить различными методами. Операция ускоренного умножения обычно включает три этапа [1; 2; 3]: формирование матрицы частичных произведений; преобразование матрицы частичных произведений в двухстрочный код; формирование кода произведения из двухстрочного кода. Основное время при выполнении этой операции затрачивается на реализацию второго этапа. В связи с этим внимание разработчиков сосредоточено на сокращении времени преобразования матрицы частичных произведений в двухстрочный код.

В работах [1; 2] описан быстрый «экономичный» метод преобразования матрицы частичных произведений в двухстрочный код. Это преобразование (неполное суммирование) занимает  $S$  шагов, число которых зависит от разрядности сомножителей. Время умножения  $T_{ум} = T_{И} + ST_{SM} + T_{(2N-1)}$ , где  $T_{И}$  — задержка в элементе И;  $T_{SM}$  — время работы одноразрядного сумматора;  $T_{(2N-1)}$  — задержка в  $(2N - 1)$ -разрядном сверхпараллельном сумматоре;  $N$  — разрядность сомножителей.

Таким образом, время выполнения операции умножения определяется, с одной стороны, количеством шагов преобразования матрицы частичных произведений до двухстрочного кода, с другой стороны, временем работы сверхпараллельного сумматора.

В работе [3] разработан «модифицированный» метод повышения быстродействия устройства умножения в результате уменьшения требуемой разрядности сверхпараллельного сумматора. Это достигается изменением принципа формирования двухстрочного кода из матрицы частичных произведений. Однако такой принцип приводит к увеличению шагов преобразования.

Достижение предельно высокого быстродействия в устройстве умножения возможно, если минимальное количество шагов преобразования матрицы частичных произведений до двухстрочного кода определять согласно таблице [2; 3], а минимальную разрядность сверхпараллельного сумматора следующим образом:  $K = 2N - S - 1$ . Поэтому необходимо так организовать выполнение операции умножения, чтобы, с одной стороны, обеспечить минимум времени преобразования матрицы частичных произведений до двухстрочного кода, с другой стороны — наибольшее быстродействие сверхпараллельного сумматора в результате сокращения его требуемой разрядности.

Перечисленным условиям удовлетворяет следующий метод преобразования матрицы частичных произведений в двухстрочный код: матрица

Количество строк на входе слоя $n$	Количество строк на выходе слоя $n_1$	Число шагов $S$
3	0	1
4	3	2
$4 < n \leq 6$	4	3
$6 < n \leq 9$	6	4
$9 < n \leq 13$	9	5
$13 < n \leq 19$	13	6
$19 < n \leq 28$	19	7
$28 < n \leq 42$	28	8
$42 < n \leq 63$	42	9

частичных произведений поэтапно преобразуется к двухстрочному коду одноразрядными сумматорами и полусумматорами. Каждый этап преобразования выполняется с помощью соответствующего слоя сумматоров и полусумматоров. Для размещения сумматоров и полусумматоров в слое необходимо: по количеству строк  $n$  на входе слоя определить в соответствии с методикой, изложенной в [1; 2], оптимальное количество  $n_1$  строк на выходе слоя преобразования (таблица);

в младших  $(N - 1)$ -разрядах сумматоры и полусумматоры разместить таким образом, чтобы в  $j$ -м разряде располагалось  $\left\lfloor \frac{n_j}{3} \right\rfloor$  сумматоров и полусумматор, если  $n_j - \left\lfloor \frac{n_j}{3} \right\rfloor > 1$ ; в старших  $N$  разрядах и  $N$ -м разряде разместить сумматоры таким образом, чтобы количество строк на выходе слоя преобразования не превышало требуемого значения  $n_j$ , причем в  $N$ -м разряде можно поставить полусумматор.

Рассмотрим размещение сумматоров и полусумматоров в устройстве преобразования матрицы частичных произведений в двухстрочный код для  $N = 12$  (рис. 1). Для выполнения операции преобразования матрицы частичных произведений предлагаемым методом необходимы 104 сумматора и 21 полусумматор. Преобразование выполняется за 5 шагов. При этом двухстрочная матрица содержит 17 двухстрочных разрядов. Для выполнения аналогичной операции методом, изложенным в [1; 2], требуется 99 сумматоров и 11 полусумматоров, двухстрочная матрица формируется за 5 тактов работы сумматоров и содержит 22 двухстрочных разряда. Реализация умножения методом, приведенным в [3], требует 104 сумматора и 11 полусумматоров, преобразование выполняется за 7 шагов, двухстрочная матрица будет содержать 17 двухстрочных разрядов.

Таким образом, выполнение операции разработанным методом позволяет формировать двухстрочный код за 5 шагов, т. е. быстрее,

чем по второму методу [3]. Количество двухстрочных разрядов в коде результата, как и во втором методе, составляет 17. Можно показать, что выигрыш во времени преобразования будет и при другой разрядности данных. Это позволяет сделать вывод, что построенный в соответствии с изложенным методом умножитель будет превосходить «модифицированный» умножитель [3] по времени преобразования матрицы частичных произведений в двухстрочный код, а следовательно, обладать более высоким быстродействием.

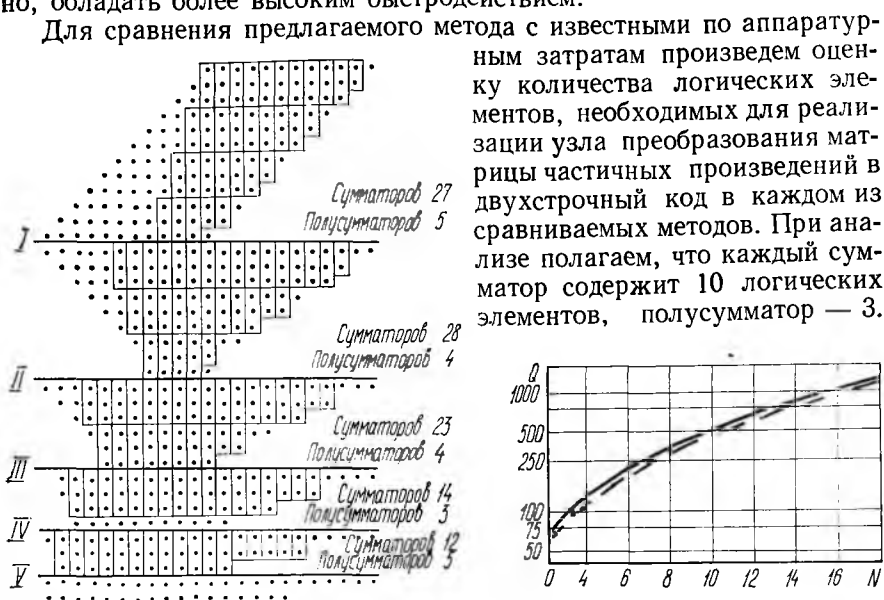


Рис. 1

Для сравнения предлагаемого метода с известными по аппаратурным затратам произведем оценку количества логических элементов, необходимых для реализации узла преобразования матрицы частичных произведений в двухстрочный код в каждом из сравниваемых методов. При анализе полагаем, что каждый сумматор содержит 10 логических элементов, полусумматор — 3.

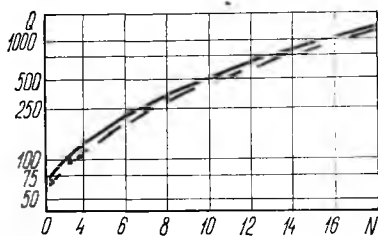


Рис. 2

Результаты расчета требуемых аппаратурных затрат для разрядности сомножителей  $N = 4, \dots, 18$  представлены на рис. 2. Здесь сплошной и штриховой линией обозначены затраты на реализацию узла преобразования матрицы частичных произведений до двухстрочного кода в разработанном и «модифицированном» умножителях. Из рис. 2 следует, что разработанный метод умножения, превосходя по быстродействию на 30—40 % модифицированный, требует для своей реализации на 10—15 % больше логических элементов.

Использование разработанного метода при построении устройств цифровой обработки радиолокационных сигналов позволит расширить круг задач, решаемых в РМВ, увеличить полосу частот обрабатываемых сигналов.

Предлагаемый метод построения технически реализуем на существующей элементной базе и может найти применение при создании устройств ускоренного умножения на БИС и СБИС.

Список литературы: 1. Dadda L. Some scheme for parallel multipliers // Alta Frequenza. — 1965. — 1(34). — P. 344—356. 2. Карцев М. А., Брик В. А. Вычисли-

тельные системы и синхронная арифметика.— М. : Радио и связь, 1981.— 360 с  
3. Дхуркадас А. Параллельный умножитель с повышенным быстродействием // Тр. ин-та инж. по электронике и радиотехнике.— 1984.— 72, № 1.— С. 154—156.

*Поступила в редколлегию 05.12.86*