

ОЦЕНКА ТЕСТОПРИГОДНОСТИ ПРОГРАММНЫХ И АППАРАТНЫХ ПРОДУКТОВ

Хаханов В.И., Каминская М.А., Михтонюк С.В., Хван Р.С.
Харьковский национальный университет радиоэлектроники
Украина, 61166, Харьков, пр. Ленина 14
Тел., факс: (057) 702-13-26, E-mail: maryna4329@kture.kharkov.ua

Предлагается метод анализа тестопригодности программных продуктов, представленных в виде композиции операционного и управляющего автоматов. Предлагается методология выбора контрольных точек для дальнейшего внедрения ассерций в описание устройства.

1. Введение

Любую сложную цифровую систему можно рассматривать как систему, имеющую несколько уровней иерархии. На каждом уровне разработки должна быть проведена процедура верификации и тестирования. В технологиях тестирования сложных цифровых устройств могут быть использованы такие подходы как: Design for Manufacturability, Design for Testability, Design for Verification.

Здесь необходимо дать определение тестопригодности устройства. Тестопригодность – свойство изделия, направленное на соблюдение в установленных пределах материальных и временных затрат показателей, характеризующих приспособленность объекта к диагностированию, генерации тестов, моделированию дефектов за счет увеличения оборудования и дополнительных временных затрат на отдельных этапах проектирования.

Важным этапом процесса разработки цифровых устройств является процедура верификации, которая необходима для анализа и устранения всех ошибок как можно на более ранней стадии, что приводит к значительному уменьшению временных и материальных затрат. Самый адекватный анализ соответствует модели вентильного уровня, поскольку структура устройства здесь представлена максимально детализированно. Тем не менее, анализ неисправностей на высоких уровнях, где модель проекта отражает структуру взаимосвязанных компонентов имеет место быть, поскольку здесь трудоемкость процедуры анализа минимальна, но использование ассерций и модификация проекта на основе технологий граничного сканирования могут существенно повлиять на стоимость диагностического обеспечения и обслуживания.

Объект исследования: цифровое устройство или программное обеспечение, представленное в виде программного кода на системном уровне.

Задачи: 1. Построение автоматной модели программного продукта, включающего операционный и управляющий автомат; 2. Разработка метода анализа тестопригодности для управляющего и операционного автоматов; 3. Разработка алгоритма модификации устройства для возможности уменьшения количества непроверяемых неисправностей заданным тестом за счет введения ассерций в программный код.

На рисунке 1. Представлена структура цифрового устройства в виде совокупности управляющего и операционного автомата.

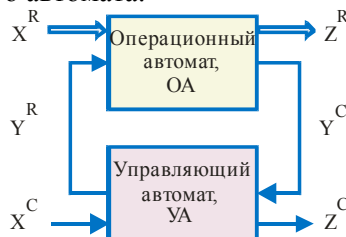


Рис. 1. Уровни представления цифровых устройств

Здесь \vec{X}^O, \vec{Z}^O – векторы или регистровые входные и выходные переменные; Y^C, Y^O, Z^C – сигналы управления (инициализации) операций, оповестительные сигналы, сигналы мониторинга управляющего автомата соответственно; $f^O, g^O(f^C, g^C)$ – функции, определяющие отношения между интерфейсными сигналами в операционном и управляющем автоматах.

Прототипом предлагаемой методологии послужило использование стандартов тестопригодного проектирования, таких как IEEE 1149.1 BS и [1] IEEE 1500 SECT [2]. Детализация SoC на системном уровне может быть представлена как совокупность функциональностей, каждая из функциональностей, в свою очередь, может быть разложена на совокупность более мелких функциональностей.

Первый, глобальный уровень, представляет собой отдельная система S. На следующем уровне система S может быть представлена набором взаимосвязанных функциональных блоков F_i – в этом случае для каждого блока устанавливается асерция $A(F_i)$ и системой диагностирования определяется, в каком именно функциональном блоке существует неисправность. Таким образом, может быть получен выходной вектор неисправностей, состоящий из нулей и единиц, где наличие нуля указывает на исправный блок $F_i(C)$, а единицы на неисправный блок $F_i(D)$. Далее к рассмотрению принимается неисправный блок системы. Неисправный блок представляется в виде композиции операционного и управляющего автомата для проведения анализа тестопригодности. Такой подход может проводиться на этапе разработки, где отдельные функциональности покрываются unit тестами и позволяют минимизировать объем процедуры тестирования, проводимого тестировщиками, поскольку дополнительно тестируется уже не вся система, а ее отдельные неисправные блоки.

2. Метод структурного анализа операционного автомата

Анализ тестопригодности основывается на вычислении для вершин количественной оценки управляемости $C(R_q)$ и наблюдаемости $C(R_p)$.

Вычисление управляемости. Критерий управляемости вершины $C(R_q)$ зависит от управляемости предшествующей вершины $C(R_p)$, а также от приведенной аддитивной

мощности множества команд $\frac{1}{k} \times \sum_{i=1}^k \left[\frac{1}{m} \times \left| \bigcup_j I_{ij} \in (R_p R_q) \right| \right]$, активизирующих k дуг,

входящих в анализируемую вершину $C(R_q)$. Здесь каждая дуга графа содержит m операций, инициирующих передачу информации в $(R_p R_q)$. По аналогии формулируется критерий оценивания наблюдаемости $C(R_p)$, ориентированный на анализ вершин приемников и дуг, исходящих из $C(R_p)$. Управляемость $C(R_x)=1$ входных и наблюдаемость $O(R_y)=1$ выходных вершин графа инициируется единичными значениями. Значение $C(R_i) = 0$ имеет вершина, которая не достижима ни по какому пути в графе. Практически значения достижимости большинства вершин находятся в границах интервала $[0;1]$. При безусловном переходе вес дуги равен единице.

В общем случае формула вычисления управляемости выглядит следующим образом:

$$C(R_q) = \frac{1}{k} \times \sum_{i=1}^k \left[\frac{1}{m} \times \left| \bigcup_j I_{ij} \in (R_p R_q) \right| \times C(R_p) \right]; \quad (1)$$

На рисунке 2 представлен пример графа операционного автомата, для которого проводится анализ тестопригодности.

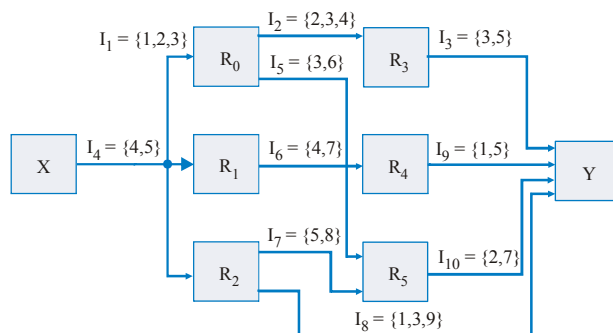


Рис. 2. Пример операционного автомата для проведения анализа тестопригодности.

Минимальную управляемость имеет вершина R_4 .

Вычисление наблюдаемости. Оценка наблюдаемости зависит от значения наблюдаемости предыдущей вершины, от количества операндов активизирующих дугу. Наблюдаемость конечной вершины $O(R_Y) = 1$ или 100%. Наблюдаемость может принимать относительное значение, лежащее в интервале $[0;1]$. Значение $O(R_i) = 0$ имеет вершина, которая не наблюдаема ни по какому пути в графе. Практически значения наблюдаемости большинства вершин находятся в границах интервала $[0;1]$.

Общая формула вычисления наблюдаемости выглядит следующим образом:

$$O(R_p) = \frac{1}{k} \times \sum_{i=1}^k \left[\frac{1}{m} \times \left| \bigcup_j I_{ij} \in (R_p R_q) \right| \times O(R_q) \right]; \quad (2)$$

Минимальное значение наблюдаемости имеет вершина R_0

Вычисление тестопригодности. Тестопригодность вершины в графе вычисляется по формуле:

$$T(R_i) = C(R_i) \times O(R_i) \quad (3)$$

Общая тестопригодность графа вычисляется как среднее арифметическое тестопригодности по каждой вершине графа. Для примера на рисунке 4 общая тестопригодность схемы $T_{total} = 1,60367$.

По результатам анализа управляемости и наблюдаемости дополнительно должны быть проверены блоки R_1 и R_5 , поскольку минимальное значение управляемости и наблюдаемости имеют вершины графа R_1 и R_5 .

3. Вычисление показателей тестопригодности для управляющего автомата

Здесь основная сложность тестирования заключается в том, что в FSM должны быть проверены все трудно достижимые состояния; тупиковые ситуации или коллизии двух потоков данных; места локализации ветвлений и обратных связей в коде (if, case, loop). Относительно управляющих автоматов можно выделить следующее правило: Каждый FSM должен содержать ассерции, которые проверяют кодирование состояний и переходов [4].

4. Выбор контрольных точек и введение ассерций в код устройства

Стратегия выбора точек для модификации графа состоит в следующем: выбираются 3% линий с минимальными значениями достижимости A . При этом к выбранным линиям добавляются другие, имеющие оценки, равные максимальному из 3% выбранных, если таковые имеются. Обычно линий с одинаковыми значениями показателей сравнительно мало – это особенность метода анализа тестопригодности. 3% квота линий была выбрана из вследствие накладываемых ограничений на количество внешних дополнительных контактов в устройстве – не более 5%. Далее с полученным

множеством пересекается множество контрольных точек в коде, выбранных на основе общепринятых правил установки ассерций в коде. Формула по которой в коде устройства могут быть выбраны контрольные точки для внедрения ассерций выглядит следующим образом:

$$Z = \{Y_{TY}\} \cap \{A_{Rules}\} / \{Z_{TY}\}, \quad (4)$$

где $\{Y_{TY}\}$ – множество точек, выбранных по методу анализа тестопригодности; $\{A_{Rules}\}$ – множество контрольных точек в устройстве, выбранных на основе правил использования ассерций в коде устройства; $\{Z_{TY}\}$ – множество точек в устройстве, которые были выбраны по методу анализа тестопригодности, но не могут быть использованы в качестве ассерций.

Предложенная стратегия модификации состоит в разделении режимов тестирования и нормального функционирования схемы. Для этого на каждую выбранную по стратегии вершину в графе ставится условная вершина, которая предполагает 100% управляемость выбранной вершины графа. Ожидается, что такой подход к модификации устройства позволит при небольших аппаратных затратах существенно повысить тестопригодность разрабатываемого устройства.

5. Заключение

Научная новизна: разработан метод расчета показателей тестопригодности, а также стратегии выбора точек для модификации устройства и способ модификации содержательного графа FSM в целях увеличения его тестопригодности и повышения качества покрытия неисправностей тестом.

Рассмотрены инновационные технологии тестопригодного проектирования программных и аппаратных продуктов, ориентированные на эффективную разработку тестов и верификацию компонентов цифровых систем на кристаллах.

1. Представлена модифицированная модель операционного устройства С.Г. Шаршунова в виде композиции управляющего и операционного автомата. 2. Разработан метод анализа тестопригодности (управляемости и наблюдаемости) программных и аппаратных продуктов, модели которых представлены ориентированными графами регистровых передач и управления. 3. Разработана технологическая модель ассерций для программного продукта, широко используемая для тестирования и верификации цифровых систем на кристаллах. Ассерции размещаются внутри моделей устройств с возможностью анализа значений всех внутренних сигналов, что дает возможность легко определить место дефекта, а также уменьшить время обнаружения неисправностей при проектировании.

Практическая значимость предложенных методик и моделей заключается в высокой заинтересованности софтверных компаний в инновационных решениях проблемы эффективного тестирования и верификации программных продуктов, предложенных выше.

Литература:

1. IEEE Std 1149.1-2001, IEEE Standard Test Access Port and Boundary-Scan Architecture. New York. 2001. 208p

2. IEEE P1500/D11, Draft Standard Testability Method for Embedded Core-based Integrated Circuits, New York. 2005. 138p

3. Шаршунов С.Г. Построение тестов микропроцессоров. 1. Общая модель. Проверка обработки данных//Автоматика и телемеханика. 1985. №11. С.145-155.

4.2 Verification Methodology Manual for System Verilog, Janick Bergeron, Eduard Cerny, Alan Hunter, Andrew Nightingale, 2006 Synopsys, Inc. and ARM Limited, p. 528