

УДК 004.312.26

## **АДАПТИВНА КОРЕКЦІЯ ПОМИЛОК: ОСОБЛИВОСТІ АПАРАТНОЇ РЕАЛІЗАЦІЇ**

Сергієнко В.І.

e-mail: vladyslav.serhiienko@nure.ua

Харківський національний університет радіоелектроніки, каф. АПОТ  
м. Харків, Україна

This thesis investigates hardware-oriented solutions for real-time adaptive error correction in distributed computer systems. Emphasis is placed on reconfigurable architectures, optimized coding algorithms, and their integration with modern wireless standards. The proposed approaches ensure high reliability, minimal latency, and effective resource usage under stringent operational constraints.

Різке зростання швидкостей передачі даних у бездротових мережах та зростаючі вимоги до надійності стимулюють перехід від традиційних, фіксованих методів корекції помилок до більш гнучких підходів. Адаптивна корекція помилок дає змогу в реальному часі змінювати довжину та структуру кодових слів або навіть перемикатися між різними типами коригувальних кодів. Це дає суттєвий вигоду у тих ситуаціях, коли рівень завад та навантаження в каналі можуть дуже швидко змінюватися.

Загальна ідея полягає в тому, щоб при сприятливих умовах застосовувати «легший» код, що не надто перевантажує обчислювальні ресурси й забезпечує меншу затримку. Коли ж завади зростають, система переходить на більш ефективні коди, здатні виправляти складніші помилки, нехтуючи збільшенням кількості операцій. У результаті користувач або технічний процес зберігають стабільно високу якість передачі без значних затримок, що є особливо актуальним для критично важливих застосувань: телемедицини, дистанційного керування роботизованими пристроями чи реального часу в промисловості.

Фундаментом для впровадження такого підходу слугують математичні моделі, які описують, як змінюється відношення «корисних» бітів до надмірних залежно від заданої ймовірності бітових помилок (BER) та доступної пропускної здатності каналу. На рівні теорії інформації доведено, що завжди є компроміс між складністю коду, глибиною декодування та пропускною здатністю. Якщо раніше цей баланс визначали під час розробки системи, тепер завдяки апаратній адаптації його можна обирати динамічно, відстежуючи умови мережі.

Апаратна реалізація такої концепції передбачає створення спеціалізованих блоків — кодерів та декодерів із можливістю «гарячого» перемикання. Це реалізується на ПЛІС (FPGA) або, у випадку масового виробництва, за допомогою ASIC. Важливу роль відіграють прийоми конвеєризації й розпаралелювання, оскільки треба гарантувати, що система витримає високу швидкість надходження даних. Сучасні засоби опису

апаратури (VHDL, Verilog) дозволяють реалізувати на одному чипі різні архітектури декодування (наприклад, LDPC і Polar), які вмикаються залежно від сигналу з блоку оцінювання каналу. Це дає змогу відмовитися від дубльованих апаратних схем, замінивши їх однією універсальною з динамічною перебудовою.

Адаптивна корекція вирішує й інше гостре питання — енергоефективність. У розподілених комп'ютерних системах, зокрема в пристроях IoT, кожна мікросекунда процесора чи апаратного блоку позначається на загальній витраті енергії, що критично важливо для пристроїв з автономним живленням. Якщо BER низький і не потребує потужного корегувального коду, система може перейти на «полегшений» режим або знизити тактову частоту, щоб економити енергію. Підвищення рівня завад швидко повертає систему в потужніший режим корекції. Таким чином, навіть за інтенсивних коливань стану мережі загальне середнє енергоспоживання суттєво скорочується.

Застосування апаратної адаптивної корекції не обмежується лише бездротовими каналами. У провідних мережах, під час передавання даних між вузлами розподілених обчислень, а також у високошвидкісних інтерфейсах з надвисокою чутливістю до помилок (наприклад, при передаванні даних з великого масиву сенсорів), адаптивна корекція помилок дає змогу підтримувати незмінно високу пропускну здатність і скорочує час простоїв. Зміна пропускну режиму в реальному часі та гнучке налаштування глибини декодування особливо корисні там, де потрібна стабільна робота за жорстких часових обмежень.

Поточні дослідження спрямовані на вдосконалення алгоритмів оцінки мережевих завад, моделювання переходів між режимами та спільного проектування апаратури й програмного забезпечення, аби забезпечити якомога тіснішу взаємодію між модулем корекції та керуючим процесором. Така взаємодія дає змогу досягати максимальної продуктивності, коли система не лише реагує на різкі стрибки завад, а й проактивно передбачає можливе погіршення каналу. Саме такі рішення формують підґрунтя для більш інтелектуальних, самоорганізованих мереж, здатних у реальному часі адаптуватися до непередбачуваних змін навколишнього середовища і водночас ефективно розпоряджатися обчислювальними та енергетичними ресурсами.

#### Список використаних джерел:

1. Шкіль О., Рахліс Д., Філіпенко І., Корнієнко В. і Рожнова Т. Автоматизоване проектування вбудованих систем цифрового оброблення сигналів на платформі SoC. Сучасний стан наукових досліджень та технологій в промисловості. 2024. № 1(27). С. 192–203. DOI: <https://doi.org/10.30837/ITSSI.2024.27.192>
2. Peled A. Error correction codes in 5G networks // IEEE Communications Surveys & Tutorials. 2022. Vol. 24. P. 21–37.