

МІНІСТЕРСТВО ОСВІТИ І НАУКИ, МОЛОДІ ТА СПОРТУ УКРАЇНИ

ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ  
РАДІОЕЛЕКТРОНІКИ

**ТІСКУРА ІВ**

УДК 658:512.011:681.326:519.713

**ВЕКТОРНО-ЛОГІЧНА ІНФРАСТРУКТУРА ВБУДОВАНОГО  
ТЕСТУВАННЯ ЦИФРОВИХ СИСТЕМ НА КРИСТАЛАХ**

05.13.05 – комп'ютерні системи та компоненти

**АВТОРЕФЕРАТ**

дисертації на здобуття наукового ступеня  
кандидата технічних наук

Харків – 2012

Дисертацією є рукопис.

Роботу виконано у Харківському національному університеті радіоелектроніки, Міністерство освіти і науки, молоді та спорту України.

**Науковий керівник:** доктор технічних наук, професор  
Хаханов Володимир Іванович, Харківський національний університет радіоелектроніки, декан факультету комп'ютерної інженерії та управління.

**Офіційні опоненти:** доктор технічних наук, професор  
Краснобаєв Віктор Анатолійович, Полтавський національний технічний університет ім. Ю. Кондратюка, завідувач кафедри комп'ютерної інженерії;

доктор технічних наук, професор  
Хажмурадов Манап Ахмадович, Національний науковий центр "Харківський фізико-технічний інститут", начальник відділу математичного моделювання та дослідження ядерно-фізичних процесів і систем.

Захист відбудеться **"14" березня 2012 року о 15-00 годині** на засіданні спеціалізованої вченої ради Д64.052.01 у Харківському національному університеті радіоелектроніки за адресою: 61166, м. Харків, пр. Леніна, 14.

З дисертацією можна ознайомитися в бібліотеці Харківського національного університету радіоелектроніки за адресою: 61166, м. Харків, пр. Леніна, 14.

Автореферат розісланий **"10" лютого 2012 року**.

Вчений секретар  
спеціалізованої вченої ради

Литвинова Є.І.

## ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

**Актуальність теми.** В наш час народжується нова персональна (індивідуальна) модель кіберпростору, прообразами якої можна вважати з одного боку реальні нанотехнології та цифрові системи на кристалах, а з іншого – віртуальні сервіси зберігання, обробки та приймання-передавання інформації. Мотивація появи зазначеної моделі на ринку визначається: 1) необхідністю створення «індивідуального віртуального комп'ютера або простору», який не можна втратити або украсти; 2) високою вартістю дублювання інформації та сервісів за наявності у користувача декількох гаджетів (планшет, смартфон, ноутбук); 3) високим рівнем надійності та інформаційної безпеки зберігання особистих даних і сервісів протягом всього життя користувача. Практично при повній відсутності недоліків Personal Cyberspace Cell (PCC) має такі переваги: 1) інваріантність функціонування по відношенню до будь-якого апаратного інтерфейсу, що з'єднує користувача з кіберпростором; 2) дружність та інтелектуальна адаптивність до власника за форматом 24/7 на протязі всього життя; 3) аутентифікація користувача та PCC стосовно «хмарних» та інших сервісів кіберпростору, яка сьогодні орієнтована на конкретну апаратуру; 4) надійність і доступність, збережність і безпека PCC, переносимість і фізична невразливість завдяки своїй віртуальності; 5) ефективна реляційна структуризація даних і сервісів з ознаками інтелекту для пошуку, розпізнавання та прийняття рішень; 6) висока ринкова привабливість створення кібербанків та PCC-форматів (шаблонів, стандартів), необхідних кожній людині планети, що в грошовому еквіваленті складає сотні мільярдів доларів; 7) можливість створення прототипу віртуального персонального кіберкомп'ютера обмеженими силами кількох провідних компаній, що мають вихід на світовий IT-ринок, і двох-трьох університетів; 8) орієнтовна вартість таких робіт зі створенням початкової інфраструктури банків кіберпростору – 0,5 - 1,5 млрд. доларів.

Для зазначеного сегмента ринку електронних технологій вже існує технічна підтримка у вигляді 2D-3D нано-електронних кристалів, виготовлених за технологією 45-20 nm, яка орієнтована на створення мікромініатюрних цифрових систем на кристалах, в пакетах та об'ємі. Сервісне обслуговування вищезгаданих систем істотно відстає від вимог ринку, який пропонує зосередити зусилля вчених і топ-компаній на вирішенні таких задач: 1) створення засобів проектування EDA, орієнтованих на використання мультипроцесорів і транзакційних моделей для синтезу та сервісного обслуговування цифрових виробів; 2) спеціалізація цифрових систем на кристалах на практичні задачі пошуку, розпізнавання та прийняття рішень на базі створення енергозберігаючих пристроїв ASIC або PLD. Зазначені напрями створюють умови для появи на ринку широкого спектру спеціалізованих цифрових мобільних пристроїв з малим форм-фактором: мінімальні енергоспоживання, компактність, вага, вартість у поєднанні з дружністю інтелектуального інтерфейсу. Для ефективного проектування,

виробництва та експлуатації таких цифрових виробів необхідно створювати нові технології та інфраструктури сервісного обслуговування, що є головним напрямом дисертаційної роботи, спрямованої на створення моделей, методів і вбудованих засобів тестування й діагностування несправностей цифрової системи на кристалі.

Проблемами проектування, тестування й діагностування цифрових систем успішно займаються вчені: Y. Zorian, M. Abramovich, J. Bergeron, Z. Navabi, A. Jerraya, D.B. Armstrong, M. Breuer, P. Prinetto, J. Abraham, H. Fujiwara, I. Pomeranz, T. Nishida, X. Wang, F. Fummi, A. И. Петренко, Р. Убар, А. Іванов, А. М. Романкевич, Д. В. Сперанский, П. П. Пархоменко, Ю.В. Малишенко, В. Н. Ярмолик, В. П. Чипуліс, J. P. Roth, А.Ю. Матросова, В.А. Твердохлебов, Ю.А. Скобцов, М.Ф. Каравай, В. С. Харченко, Л.В. Дербунович, Р. Шейнаускас, Н. Євтушенко, Р. Базилевич, А. Матросова, С. Шукурян, В. Мелікян.

**Зв'язок роботи з науковими програмами, планами, темами.** Розробка основних положень дисертації здійснювалась відповідно до планів НДР, програм та договорів, що виконуються на кафедрі АПОТ Харківського національного університету радіоелектроніки в період з 2007 року: 1) Договір про дружбу та співробітництво між ХНУРЕ та корпорацією "Aldec Inc." (USA) № 03 від 09.12.2009; 2) Договір про науково-технічне співробітництво в галузі створення систем автоматизованого тестування з Талліннським технічним університетом № 02 від 17.11.2008; 3) Держбюджетна НДР «Розробка математичних методів, алгоритмів та інструментальних засобів надшвидких перетворень зображень», Розділ «Розробка основ нових інформаційних технологій в автоматизованому проектуванні, діагностиці засобів обчислювальної техніки» (№ ГР 0101U001948); 4) Теорія й проектування енергозберігаючих цифрових обчислювальних систем на кристалах, що моделюють і підсилюють функціональні можливості людини, д/б № 232, 2009, № ГР 0109U001646; 5) Мультипроцесорна система пошуку, розпізнавання та прийняття рішень для інформаційної комп'ютерної екосистеми, д/б № 259-1, 2011, № ДР 0111U002956. При виконанні зазначених вище договорів і робіт автор дисертації брав безпосередню участь в якості програміста у розробці моделей та методів тестування й діагностування цифрових систем на кристалах, а також у реалізації апаратних компонентів системи діагностування на основі механізму граничного сканування, інтегрованих в маршрут проектування компанії Aldec.

**Мета дослідження** – зменшення часу сервісного обслуговування цифрових систем на кристалах шляхом введення вбудованої програмно-апаратної надлишковості у вигляді інфраструктури функціональних компонентів, що забезпечує задану глибину діагностування.

Для досягнення поставленої мети необхідно вирішити задачі, пов'язані з розробкою:

1. Моделей векторної взаємодії об'єктів в кіберпросторі для вирішення задач синтезу тестів і пошуку дефектів у цифрових системах на кристалах.

2. Моделей вбудованого тестування цифрових систем на кристалах на основі використання транзакційного графа й апаратної реалізації механізму асерцій та стандарту граничного сканування.

3. Векторно-логічних методів синтезу тестів і діагностування функціональностей цифрових систем на кристалах із застосуванням апаратної реалізації механізму асерцій.

4. Архітектури логічного асоціативного мультипроцесора з обмеженою системою команд для сервісного обслуговування функціональностей цифрових систем на кристалах.

5. Синтезом моделей, методів та архітектури мультипроцесора як компонента інфраструктури вбудованого сервісного обслуговування цифрових систем на кристалах.

*Об'єкт дослідження* – процеси вбудованого тестування цифрових систем на кристалах, що передбачають синтез тестів і пошук дефектів на основі стандартів граничного сканування.

*Предмет дослідження* – моделі, методи та засоби вбудованого тестування компонентів цифрових систем на кристалах на основі використання транзакційного графа і механізму граничного сканування.

Методи дослідження: булева алгебра, векторно-асоціативна логіка, теорія множин, теорія графів, теорія цифрових автоматів – для побудови моделей тестування; логічний аналіз, теорія алгоритмів, методи проектування та моделювання цифрових систем – для синтезу тестів, структур даних і сервісного обслуговування; методи аналізу якості моделей та ефективності сервісного обслуговування цифрових систем – для досягнення заданої глибини пошуку дефектів запропонованими методами; промислові засоби логічного синтезу схем та аналізу функціонального покриття, а також генерації тестів – для створення програмно-апаратної інфраструктури діагностування SoC.

### **Наукова новизна отриманих результатів:**

1. Вперше запропоновано модель взаємодії об'єктів у кіберпросторі, яка характеризується використанням бета-метрики, що дає можливість в паралельному режимі вирішувати задачі синтезу та аналізу діагностичної інформації.

2. Удосконалено модель цифрової системи, яка відрізняється наявністю транзакційного графа функціональних модулів, відповідних стандарту граничного сканування, що дає можливість здійснювати діагностування дефектів у процесі функціонування.

3. Удосконалено методи синтезу тестів і діагностування несправностей на основі граничного сканування, які відрізняються режимом паралельного виконання векторних логічних операцій у таблиці несправностей, що дає можливість зменшити час відновлення працездатності цифрової системи.

4. Удосконалено архітектуру логічного асоціативного мультипроцесора, яка відрізняється обмеженою системою команд для вбудованого сервісного

обслуговування функціональностей цифрових систем на кристалах, що дає можливість зменшити час діагностування.

### **Практичне значення отриманих результатів:**

1. Моделі й методи сервісного обслуговування, а також архітектуру спеціалізованого мультипроцесора доведено до програмно-апаратної реалізації компонентів інфраструктури, що використовує технологію граничного сканування. Це дозволило створити ефективні маршрути та процес-моделі синтезу тестів і діагностування функціональних модулів цифрових систем на кристалах.

2. Інфраструктура сервісного обслуговування надає можливість діагностувати спектр несправностей блоків цифрових систем на кристалах, що дозволяє істотно (30%) зменшити час діагностування в процесі функціонування.

3. Запропоновані моделі й методи, які складають математичну основу інфраструктури сервісного обслуговування, істотно (20%) підвищують тестопридатність цифрової системи, що дозволяє зменшити часові витрати для синтезу діагностичної інформації та підвищити якість проектного виробу.

Отримані в процесі досліджень наукові висновки та положення є обґрунтованими і достовірними. Обґрунтованість підтверджується результатами експериментальних досліджень, обробкою 10 реальних моделей систем на кристалах, орієнтованих на промислове використання. Результати експериментів свідчать про високу ефективність діагностування несправностей, а також істотне підвищення продуктивності тестування у порівнянні з існуючими академічними аналогами. Достовірність наукових висновків підтверджується інтеграцією розробленої інфраструктури тестування з технологічними процесами компаній: Aldec (США), Synopsys, JTAG.

Результати дисертації у складі програмно-апаратного комплексу впроваджено в організації: 1) ПАТ «Севєродонецьке НВО Імпульс» (акт впровадження від 07.07.2011); 2) Харківський національний університет радіоелектроніки, в навчальному процесі (акт про впровадження від 30.09.2011) 3) Компанія Aldec, USA від 10.10.2011.

**Особистий внесок здобувача.** Всі основні результати отримані здобувачем особисто. У роботах, опублікованих зі співавторами, здобувачеві належать: [1] – нова модель взаємодії об'єктів в кіберпросторі на основі бетаметрики, удосконалена модель логічного асоціативного мультипроцесора; [2] – аналіз методів синтезу тестів і діагностування несправностей цифрових систем в пакетах кристалів; [3] – удосконалені методи синтезу тестів і діагностування несправностей на основі граничного сканування, які відрізняються режимом паралельного виконання векторних логічних операцій у таблиці несправностей; [4] – аналіз тестопридатності змістовного графа керування цифрової системи; [5] – модель цифрової системи у вигляді змістовного графа керування; [6] – удосконалена модель цифрової системи, яка відрізняється наявністю транзакційного графа функціональних модулів, відповідних

стандарту граничного сканування, методи логічного аналізу асоціативних таблиць; [7] – мультиматричний процесор бінарних операцій, інфраструктура програмного продукту, оцінювання якості рішення; [8] – граф-модель і метод діагностування цифрових систем на кристалах, орієнтовані на істотне зменшення часу пошуку дефектів і затрат пам'яті для зберігання матриці діагностування; [9] – аналіз методів тестування й діагностування компонентів SiP; [10] – універсальна модель програмного й апаратного компонента SoC на основі стандарту IEEE 1500; [11] – апаратна реалізація удосконаленого методу діагностування пам'яті; [12] – верифікація модуля дискретного косинусного перетворення; [13] – розробка середовища верифікації та тестування HDL-моделей із застосуванням асерцій; [14] – підвищення якості SoC за рахунок застосування вбудованої інфраструктури сервісного обслуговування; [15] – мікропроцесорна архітектура паралельного розв'язання асоціативно-логічних задач; [16] – алгебра для аналізу векторно-логічного простору; [17] – оцінювання відстані між дискретними об'єктами; [18] – побудова транзакційного графа для HDL-моделей; [19] – модель обчислювального процесу на основі векторних логічних операцій для пошуку, розпізнавання та прийняття рішення, векторно-логічний критерій якості рішення; [20] – побудова транзакційного графа для HDL-моделей компонентів SoC; [21] – граф хог-взаємодії компонентів.

**Апробація результатів дисертації.** Основні результати роботи представлені й обговорені на 13 конференціях: 1) Xth, XIth International Conference CADSM, Lviv-Polyana, 2009, 2011; 2) міжнар. наукова конференція «Интеллектуальные системы принятия решений и проблем вычислительного интеллекта» (ISDMCT'09), Євпаторія, 2009, 2010; 3) V міжнар. конференція «Стратегия качества в промышленности и образовании», Варна, 2009; 4) International Conference «IFAC Discrete-Event System Design», Spain, 2009; 5) IEEE East-West Design and Test Symposium, Russia, 2009, 2010; 6) VI міжнар. науково-технічна конференція «Повышение качества, надежности и долговечности технических систем и технологических процессов», Хургада, 2009; 7) XV міжнар. науково-практична конференція «Актуальные вопросы развития инновационной деятельности», Алушта, 2010; 8) міжнар. наукова конференція «Інтелектуальні системи прийняття рішень та проблеми обчислювального інтелекту», Євпаторія, 2010; 9) наукова конференція "Сучасні інформаційні та інноваційні технології на транспорті MINTT-2010", Херсон, 2010; 10) 7-а міжнар. конференція «Автоматизация проектирования дискретных систем», Мінськ, 2010; 11) VI міжнар. наукова конференція «Наука и социальные проблемы общества – информатизация и информационные технологии», Харків, 2011.

**Публікації.** Результати наукових досліджень відображено у 21 друкованій праці: 8 статтях, опублікованих у наукових виданнях, включених до Переліків Департаменту атестації кадрів України, а також 13 матеріалах наукових конференцій.

**Структура та обсяг дисертації.** Дисертаційна робота містить 145 сторінок основного тексту, 56 рисунків. Її структура складається з вступу, 4 розділів, 26 підрозділів, висновків, списку використаних джерел з 121 назв (на 13 с.), 4 додатків (на 19 с.).

## ОСНОВНИЙ ЗМІСТ РОБОТИ

**Вступ** містить обґрунтування актуальності задачі, що розв'язується, формулювання мети, об'єкта та задач дослідження, сукупність наукових результатів, що виносяться на захист, відомості про їх апробацію та реалізацію.

**Перший розділ** присвячено розгляду перспектив розвитку індустрії комп'ютерних систем і користувальницької електроніки в найближчому майбутньому, що визначають напрями подальшого вдосконалення технологій проектування, валідації та забезпечення якості (quality assurance) систем на кристалах і в пакетах кристалів.

**У другому розділі** запропоновано нову модель взаємодії об'єктів в кіберпросторі, яка характеризується використанням бета-метрики.

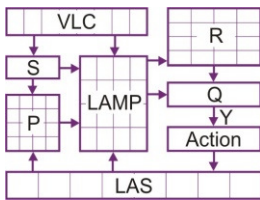


Рис. 1. Інфраструктура логічного прийняття рішення

На інфраструктуру аналізу даних для прийняття рішення (рис. 1) суттєво впливають сім параметрів підвищення продуктивності мозгоподібного комп'ютера: 1) виключення арифметичних операцій з системи команд процесора; 2) використання в обчислювальних процедурах алгебри векторної логіки; 3) застосування мультипроцесорної матриці для розпаралелювання обчислювальних процедур; 4) використання векторного двійкового критерію якості для оцінювання рішення; 5) запровадження

операції векторизації з метою генерування асоціації мінімального S-вектора істотних змінних, необхідних для пошуку рішення; 6) створення вектор-біт D-оператора девекторизації для формування двійкового рішення на основі застосування логічних операцій and, or, not або їх комбінації до вектора істотних змінних; 7) створення Р-платформи логічних процес-моделей (IP-cores) для пошуку, розпізнавання та прийняття рішень.

Інтегральна аналітична процес-модель аналізу інформації, відповідна структурам даних, наведеним на рис. 1, має вигляд:

$$\left\{ \begin{array}{l} R = [\max_{j=1}^m (S \wedge P_j)] \Delta \bigwedge_{i=1}^n L_i \leftarrow \max Q_i; \\ Q = \max Q_i \{ [\max_{j=1}^m (S \wedge P_j)] \Delta \bigwedge_{i=1}^n L_i \}; \\ Y = D[\max Q_i \{ [\max_{j=1}^m (S \wedge P_j)] \Delta \bigwedge_{i=1}^n L_i \}]. \end{array} \right.$$



Тут  $P_j \in P$ ,  $\Delta = \{\text{and, or, not, xor, slc}\}$  – векторні логічні операції, де slc – shift left bit crowding;  $Y = \{0, 1\}$  – двійкове рішення, спрямоване на виконання

|                                                 |  |  |
|-------------------------------------------------|--|--|
| $Y = (a \wedge b)$                              |  |  |
| $Y = (a \vee b)$                                |  |  |
| $Y = a \wedge (\overline{a \wedge b})$          |  |  |
| $Y = b \wedge (\overline{a \wedge b})$          |  |  |
| $Y = (a \vee b) \wedge (\overline{a \wedge b})$ |  |  |

Рис. 2. Примітивні процес-моделі прийняття рішень

конкретної активності (action);  $Q$  – критерій якості рішення, що визначається двійковим вектором;  $L_i$  – варіант змістовного рішення, представленого у вигляді інформаційного повідомлення;  $m$  – кількість процес-моделей в платформі  $P$ ;  $n$  – кількість варіантів асоціацій, серед яких здійснюється пошук рішення;  $R$  – (квазі-) оптимальне змістовне рішення, представлене у вигляді сукупності векторів або інших інформаційних повідомлень у форматі синтаксису природних або штучних мов. Складні конструкції, що використовують логічну взаємодію двох векторів, представлені вира-

зами:  $Y = \{(a \wedge b); (a \vee b); \overline{a \wedge b}; b \wedge (\overline{a \wedge b}); (a \vee b) \wedge (\overline{a \wedge b})\}$ . Кожному варіанту взаємодії можна поставити у відповідність теоретико-множинну діаграму, а також логічну схему, що відповідає процес-моделі прийняття рішення (рис. 2).

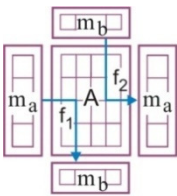


Рис. 3.

Первинний аналіз таблиці

Векторний дискретний логічний (булевий) простір визначає взаємодію об'єктів шляхом використання трьох аксіом (тотожності, симетрії та трикутника), які формують неарифметичну  $B$ -метрику векторного вимірювання:

$$B = \begin{cases} d(a, b) = a \oplus b = (a_i \oplus b_i), i = \overline{1, n}; \\ d(a, b) = [0 \leftarrow \forall i (d_i = 0)] \leftrightarrow a = b; \\ d(a, b) = d(b, a); \\ d(a, b) \oplus d(b, c) = d(a, c), \\ \oplus = [d(a, b) \wedge \overline{d(b, c)}] \vee [\overline{d(a, b)} \wedge d(b, c)]. \end{cases}$$

Розглядається таблиця  $A$ , розмірністю  $m \times n$ , що взаємодіє з двома векторами  $m_a, m_b$ , які можуть бути вхідними та вихідними, залежно від процедури аналізу табличних структур даних (рис. 3):

$$A = (A_1, A_2, \dots, A_i, \dots, A_n); \quad A = (A_1, A_2, \dots, A_j, \dots, A_m); \\ m_a = (m_1, m_2, \dots, m_i, \dots, m_n); \quad m_b = (m_1, m_2, \dots, m_s, \dots, m_m).$$

Первинний аналіз: запит – таблиця – відповідь:  $m_a \rightarrow A \rightarrow m_b \vee m_b \rightarrow A \rightarrow m_a$  пов'язаний з виконанням процес-моделей  $f_1 \vee f_2$ , де результатом є множина рішень, позначених нульовими координатами вихідного двійкового вектора, якщо відповідний стовпець (рядок) таблиці задовольняє вхідному запиту, та одиничними – в іншому випадку:

$$m_b = f_1(m_a, A) \rightarrow m_{bj} = m_a \bigoplus_{j=1}^m A_j; \quad m_a = f_2(m_b, A) \rightarrow m_{ai} = m_a \bigoplus_{i=1}^n A_i.$$

Вторинний аналіз таблиці пов'язаний зі згорткою стовпців або рядків таблиці для отримання інтегрованого рішення у формі одного вектора, що означає підвищення глибини пошуку інформації за рахунок виключення з узагальненого вектора суперечливих (неможливих) станів координат шляхом виконання процедур:

$$m_a = f_1^s(m_b, A) \rightarrow \bigwedge_{\forall j(m_{bj}=0)} A_j \wedge \bigvee_{\forall j(m_{bj}=1)} A_j; \quad m_a = f_1^m(m_b, A) \rightarrow \bigvee_{\forall j(m_{bj}=0)} A_j \wedge \bigvee_{\forall j(m_{bj}=1)} A_j;$$

$$m_b = f_2^s(m_a, A) \rightarrow \bigwedge_{\forall i(m_{ai}=0)} A_i \wedge \bigvee_{\forall i(m_{ai}=1)} A_i; \quad m_b = f_2^m(m_a, A) \rightarrow \bigvee_{\forall i(m_{ai}=0)} A_i \wedge \bigvee_{\forall i(m_{ai}=1)} A_i.$$

**У третьому розділі** запропоновано удосконалити модель цифрової системи, яка відрізняється наявністю транзакційного графа функціональних модулів, та методи синтезу тестів і діагностування несправностей на основі граничного сканування.

*Синтез тестів  $F \oplus L$ -методом.* Використовується рівняння простору  $f(F, T, L) = 0 \rightarrow F \oplus T \oplus L = 0$ , що трансформується до вигляду  $T = F \oplus L$ . Наприклад, для функціональності логічного ог-елемента синтез тесту можна представити у вигляді Т-процедури:  $T = (F \oplus L) \cap F$ , де  $L$  – матриця поодиноких дефектів змінних логічного елемента, що задає можливість транспортування дефектів від вхідних ліній до виходу;  $F$  – таблиця істинності:

$$F = \begin{array}{|c|c|c|} \hline X_1 & X_2 & Y \\ \hline 0 & 0 & 0 \\ 0 & 1 & 1 \\ 1 & 0 & 1 \\ 1 & 1 & 1 \\ \hline \end{array}; \quad L = \begin{array}{|c|c|c|} \hline X_1 & X_2 & Y \\ \hline 1 & 0 & 1 \\ 0 & 1 & 1 \\ \hline \end{array}.$$

Виконання Т-процедури пов'язане із застосуванням хог-операції між векторами  $F$  і  $L$ . Кількість векторних операцій дорівнює добутку потужностей векторів у кожній таблиці:

$Q(T) = (\text{card}F \times \text{card}L) \times \text{card}F = \text{card}F^2 \times \text{card}L$ . Для ог-елемента Т-процедура має такий вигляд:

$$\left. \begin{array}{l}
 \begin{array}{|c|c|c|} \hline X_1 & X_2 & Y \\ \hline 0 & 0 & 0 \\ 0 & 1 & 1 \\ 1 & 0 & 1 \\ 1 & 1 & 1 \\ \hline \end{array} \oplus \begin{array}{|c|c|c|} \hline X_1 & X_2 & Y \\ \hline 1 & 0 & 1 \\ \hline \end{array} = \begin{array}{|c|c|c|} \hline X_1 & X_2 & Y \\ \hline 1 & 0 & 1 \\ 1 & 1 & 0 \\ 0 & 0 & 0 \\ 0 & 1 & 0 \\ \hline \end{array} \rightarrow T_1 \in F \rightarrow \begin{array}{|c|c|c|} \hline X_1 & X_2 & Y \\ \hline 1 & 0 & 1 \\ 0 & 0 & 0 \\ \hline \end{array} \\
 \\
 \begin{array}{|c|c|c|} \hline X_1 & X_2 & Y \\ \hline 0 & 0 & 0 \\ 0 & 1 & 1 \\ 1 & 0 & 1 \\ 1 & 1 & 1 \\ \hline \end{array} \oplus \begin{array}{|c|c|c|} \hline X_1 & X_2 & Y \\ \hline 0 & 1 & 1 \\ \hline \end{array} = \begin{array}{|c|c|c|} \hline X_1 & X_2 & Y \\ \hline 0 & 1 & 1 \\ 0 & 0 & 0 \\ 1 & 1 & 0 \\ 1 & 0 & 0 \\ \hline \end{array} \rightarrow T_1 \in F \rightarrow \begin{array}{|c|c|c|} \hline X_1 & X_2 & Y \\ \hline 0 & 1 & 1 \\ 0 & 0 & 0 \\ \hline \end{array}
 \end{array} \right\} \cup \begin{array}{|c|c|c|} \hline X_1 & X_2 & Y \\ \hline 1 & 0 & 1 \\ 0 & 0 & 0 \\ 0 & 1 & 1 \\ \hline \end{array}$$

Після синтезу тестів необхідно використовувати тест і матрицю дефектів для побудови компактної таблиці несправностей  $\bar{F} = (T \oplus L)$ , яка призначена для виконання процедури пошуку дефектів:

$$\begin{array}{|c|c|c|} \hline X_1 & X_2 & Y \\ \hline 1 & 1 & 1 \\ 0 & 1 & 0 \\ 1 & 0 & 0 \\ \hline \end{array} \oplus \begin{array}{|c|c|c|} \hline X_1 & X_2 & Y \\ \hline 1 & 1 & 1 \\ 1 & 0 & 1 \\ 0 & 1 & 1 \\ \hline \end{array} = \begin{array}{|c|c|c|} \hline X_1 & X_2 & Y \\ \hline \bar{1} & \bar{1} & \bar{1} \\ \bar{0} & \bar{1} & \bar{0} \\ 1 & \bar{0} & \bar{0} \\ \hline \end{array}$$

У даному випадку отримана таблиця  $\bar{F} = (T \oplus L)$  є підмножина функціональності  $\bar{F} \in F = (T \oplus L)$ , окремі координати якої позначено символом інверсії, що означає перевірюваність несправності, інверсної по відношенню до справного стану. Формально синтез таблиці несправностей використовує некомутативну операцію стиснення двох бітів даних,

представлену в наступному вигляді:

$$\begin{array}{|c|c|c|} \hline \bar{\oplus} & 0 & 1 \\ \hline 0 & 0 & \bar{0} \\ 1 & 1 & \bar{1} \\ \hline \end{array}$$

Запропоновано апарат булевих похідних для синтезу тестів. Розглянуто методи взяття булевих похідних за таблицею істинності, диз'юнктивною формою або кубічним покриттям для створення умов активізації входних змінних при синтезі тестів. Вирішено такі задачі: 1) визначення всіх похідних першого порядку за аналітичною, кубічною та табличною формою завдання логічної функції; 2) верифікація отриманих умов активізації шляхом їх моделювання на одній з форм опису функціональності; 3) синтез тестів активізації змінних логічної функції на основі обчислення похідних.

Процес-модель отримання тесту  $T = [T_{ij}]$ ,  $i = 1, k$ ;  $j = 1, n$  комбінаційної функціональності:

- 1)  $f'(x_i) = f(x_1, x_2, \dots, x_i = 0, \dots, x_n) \oplus f(x_1, x_2, \dots, x_i = 1, \dots, x_n)$ ;
- 2)  $T = \bigcup_{i=1}^n [f'(x_i) * (x_i = 0) \vee (x_i = 1)]$ ; 3)  $T_{ij} = T_{i-1,j} \leftarrow T_{ij} = X$ ;  $T_{1j} = 1 \leftarrow T_{1j} = X$ ;
- 4)  $T = T \setminus T_i \leftarrow T_i = T_{i-r}$ ,  $r = 1, i-1$ ,  $i = 2, n$ .

1) Обчислення похідних за всіма  $n$  змінними функціональності шляхом використання однієї з форм: аналітичної, табличної, кубічної. 2) Об'єднання всіх умов (векторів) активізації в таблицю, де кожному вектору шляхом конкатенації (\*) ставиться у відповідність зміна змінної, за якою було взято похідну, що означає подвоєння кількості тестових наборів відносно загальної кількості ( $k$ ) умов активізації. 3) Довизначення символу  $X=\{0,1\}$  в координаті шляхом присвоєння двійкового значення однойменної координати в попередньому векторі для отримання тесту мінімальної довжини. 4) Мінімізація тестових векторів шляхом видалення повторюваних вхідних послідовностей. Запропонована процес-модель синтезу тестів для функціональності може бути використана в якості вбудованого компонента інфраструктури сервісного обслуговування цифрових систем на кристалах з використанням стандарту граничного сканування IEEE 1500.

3D-метод діагностування дефектних компонентів у SoC. Модель тестування цифрової системи представлена у вигляді перетворення початкового рівняння діагнозу, визначеного хог-відношенням параметрів <тест – функціональність – несправні блоки>:

$$T \oplus F \oplus B = 0 \rightarrow B = T \oplus F \rightarrow B = \{T \times A\} \oplus F \rightarrow B = \{T \times A\} \oplus \{F \times m\},$$

яке оформлено у тернарне матричне відношення компонентів:

$$M = \{\{T \times A\} \times \{B\}\} \leftarrow M_{ij} = (T \times A)_i \oplus B_j.$$

Тут координата матриці (таблиці) дорівнює 1, якщо пара тест-монітор  $(T \times A)_i$  перевіряє (активізує) дефекти функціонального блоку  $B_j \in B$ .

*Модель цифрової системи* представлена у вигляді транзакційного графа  $G = \langle B, A \rangle$ ,  $B = \{B_1, B_2, \dots, B_i, \dots, B_n\}$ ,  $A = \{A_1, A_2, \dots, A_j, \dots, A_m\}$ , де визначено множину дуг – функціональних блоків і вершин – моніторів для спостереження сукупності змінних цифрової системи. З метою діагностування на графову модель накладається сукупність тестових сегментів  $T = \{T_1, T_2, \dots, T_r, \dots, T_k\}$ , яка активізує транзакційні шляхи в графі. У загальному випадку модель тестування представлена декартовим добутком  $M = \langle B \times A \times T \rangle$  розмірністю  $Q = n \times m \times k$ . Для зменшення обсягу діагностичної інформації пропонується кожному тесту поставити у відповідність монітор, який відповідає за візуалізацію шляху активізації функціональних блоків, що дає можливість зменшити розмірність моделі (матриці) до  $Q = n \times k$  при збереженні всіх можливостей відношення тріади  $M = \langle B \times A \times T \rangle$ . Для пари тест-монітор можливі не тільки взаємно-однозначні відповідності  $\langle T_i \rightarrow A_j \rangle$ , але й функціональні  $\langle \{T_i, T_r\} \rightarrow A_j \rangle$ , а також ін'єктивні  $\langle T_i \rightarrow \{A_j, A_s\} \rangle$ . Мультирівнева модель представлена мультидеревом  $B$ , де кожна вершина є тривимірною таблицею активізації функціональних модулів, а дуги, що виходять з неї, є переходами на нижній

рівень деталізації при діагностуванні, коли заміна розглянутого несправного функціонального блоку занадто дорога:

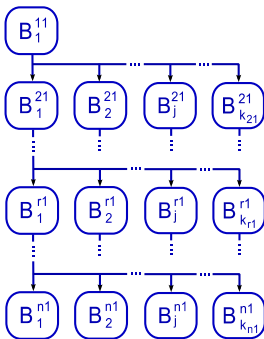


Рис. 4. Фрагмент мультидерева діагностування SoC

діагностуються (представлені) в таблиці активізації. Структура мультидерева, відповідна моделі багаторівневого діагностування, наведена на рис. 4.

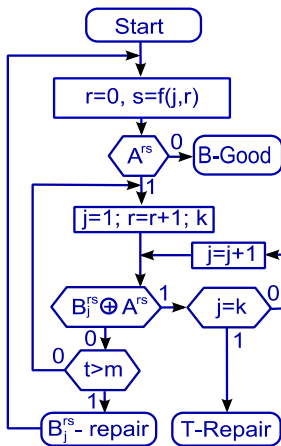


Рис. 5. «Движок» обходу мультидерева

$$B = [B_{ij}^{rs}], \text{ card}B = \sum_{r=1}^n \sum_{s=1}^{m_r} \sum_{j=1}^{k_{rs}} B_{ij}^{rs},$$

де  $n$  – кількість рівнів мультидерева діагностування;  $m_r$  – кількість функціональних блоків та компонентів на рівні  $r$ ;  $k_{rs}$  – число компонентів в таблиці  $B^{rs}$ ;  $B_{ij}^{rs} = \{0,1\}$  – компонент таблиці активізації, визначений сигналами перевірки (неперевірки) функціонального модуля тест-сегментом  $T_{i-A_i}$

відносно спостережуваного монітора  $A_i$ . Кожна вершина-таблиця має число вихідних донизу дуг, що дорівнює кількості функціональних блоків, які

Процес модель або метод пошуку дефектів за мультидеревом діагностування зводиться до створення «движка», рис. 5, для спуску за однією з гілок дерева на таку глибину, яка задовольняє користувача за ступенем

$$\text{деталізації: } B_j^{rs} \oplus A^{rs} = \begin{cases} 0 \rightarrow \{B_j^{r+1,s}, R\}; \\ 1 \rightarrow \{B_{j+1}^{rs}, T\}. \end{cases}$$

Тут виконується векторна хог-операція між стовпцями матриці та вектором експериментальної перевірки  $A^{rs}$ , який

визначається реакцією функціональності, знятої з моніторів (асерції або розряди регістра граничного сканування) при подачі всіх тест-сегментів. Якщо хоча б одна координата

отриманої векторної хог-суми дорівнює нулю  $B_j^{rs} \oplus A^{rs} = 0$ , то виконується

одна з дій: перехід до матриці активізації нижнього рівня  $B_j^{r+1,s}$  або відновлення працездатності функціонального блоку  $B_j^{rs}$ . При цьому

аналізується, що важливіше: 1) час – тоді виконується ремонт розглянутого блоку з несправністю; 2) гроші – здійснюється перехід вниз, для уточнення місця дефекту, оскільки заміна більш дрібного блоку істотно зменшує вартість ремонту. Якщо хоча б одна координата отриманого вектора хог-суми дорівнює одиниці  $B_j^{rs} \oplus A^{rs} = 1$ , то виконується перехід до аналізу наступного стовпця матриці. При нульових значеннях всіх координат вектора (асерційних) моніторів  $A^{rs} = 0$ , фіксується справний стан усього виробу. Якщо в розглянутій таблиці зафіксовано всі векторні хог-суми, які не дорівнюють нулю  $B_j^{rs} \oplus A^{rs} = 1$ , то корегуванню підлягає тест, побудований для перевірки даної функціональності.

**У четвертому розділі** пропонується удосконалена модель логічного асоціативного мультипроцесора, яка відрізняється обмеженою системою команд для вбудованого сервісного обслуговування функціональностей цифрових систем на кристалах. Логічний асоціативний мультипроцесор

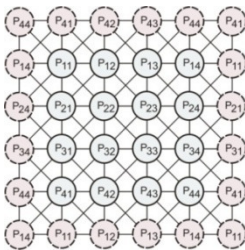


Рис. 6. Макроархітектура мультипроцесора та інтерфейс

танням компонентів архітектури, орієнтованих на виконання векторних

логічних операцій:  $P(m, A) = \min_{i=1}^n Q_i(m \Delta A_i)$ ,  $m = \{m_a, m_b, m_c, m_d\}$ . Інтерфейс

системи, який відповідає зазначеному функціоналу, наведено на рис. 6. Всі компоненти  $\{A, m_a, m_b, m_c, m_d\}$  можуть бути як вхідними, так і вихідними.

Двонаправлена деталізація інтерфейсу пов'язана з інваріантністю відношення всіх змінних, векторів,  $A$ -матриці і компонентів до входів і (або) виходів архітектури. Компоненти або регістри  $m = (m_a, m_b, m_c, m_d)$

використовуються для отримання рішення у вигляді буферних, вхідних і вихідних векторів, а також для ідентифікації оцінки якості виконання вхідного запиту. Один з можливих варіантів архітектури ЛАМП представлено на рис. 7. Основним компонентом є матриця  $P = [P_{ij}]$ ,  $\text{card}(4 \times 4)$ , що містить 16 вектор-процесорів, кожен з яких

(ЛАМП) – це ефективна мережа процесорів, яка обробляє дані і забезпечує обмін інформацією між компонентами мережі в процесі вирішення задач. Основне призначення ЛАМП – отримання квазіоптимального рішення в задачі пошуку і (або) розпізнавання з викорис-

на виконання векторних

призначений для виконання п'яти логічних векторних операцій над пам'яттю даних, представленою у вигляді таблиці розмірністю  $A = \text{card}(m \times n)$ .

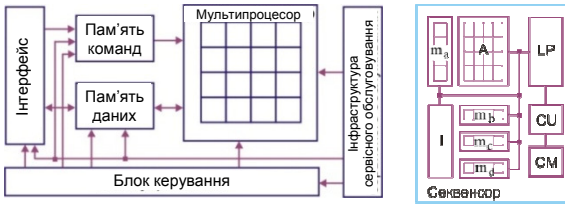


Рис. 7. Архітектура ЛАМП і структура секвенсора

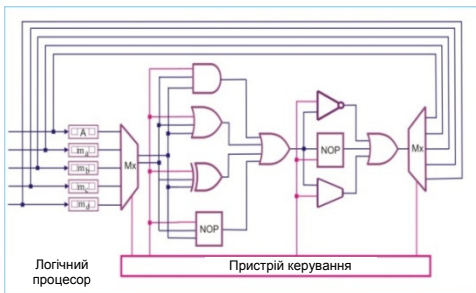


Рис. 8. Структура блоку логічних обчислень

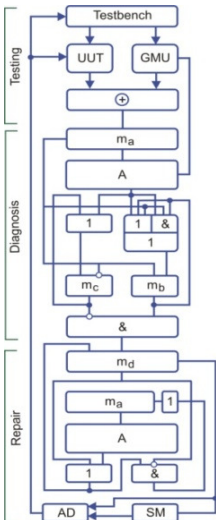


Рис. 9. Модель тестування і ремонту компонентів

Логічний процесор (LP) (рис. 8) виконує п'ять операцій (and, or, not, xor, slc), які є базовими для створення алгоритмів і процедур інформаційного пошуку й оцінювання рішення. Модуль LP має мультиплексор, що

комутує один з п'яти операндів з вибраним логічним векторним оператором. Сформований результат через мультиплексор (елемент or) заноситься в один з чотирьох операндів, який визначається відповідною адресою. Особливості реалізації логічного процесора полягають у наявності трьох бінарних (and, or, xor) і двох унарних (not, slc) операцій. Для підвищення

ефективності роботи логічного пристрою вводяться два елементи з пустою операцією. Всі операції в LP – регістрові або регістрово-матричні. Останні призначені для аналізу вектор-рядків таблиці при використанні вхідного  $m$ -вектора як запиту для точного пошуку інформації. Реалізація всіх векторних операцій блоку логічних обчислень, які виконуються з тактовою частотою 100 МГц, для одного пристрою послідовного керування в середовищі Verilog з подальшою післясинтезною реалізацією в кристалі програмованої логіки Virtex 4, Xilinx містить 2400 еквівалентних вентилів.

Технологічна модель убудованого діагностування та ремонту компонентів (рис. 9) передбачає: 1. Тестування модуля (Unit Under Test –UUT) з використанням еталонної моделі (Model Under Test – MUT) для формування вектора експериментальної

перевірки  $m_a$ , розмірність якого відповідає кількості тестових наборів. 2. Пошук дефектів на основі аналізу таблиці несправностей  $A$ .

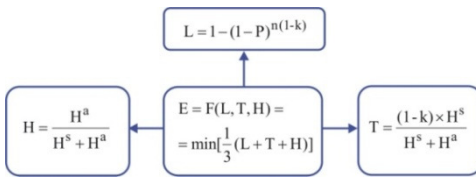


Рис. 10. Ефективність проектного рішення

несправних рядків і стовпців, представлених вектором  $m_a$ , на адреси компонентів з ремонтного запасу (Spare Memory – SM). Аналітична оцінка ефективності проектного рішення, спрямованого на виконання умов спеціалізації  $Sp$  і стандартизації  $St$  (рис. 10), визначається мінімумом середнього значення трьох взаємно суперечливих відносних і безрозмірних параметрів: рівень помилок проекту  $L$ , час верифікації і (або) тестування  $T$ , програмно-апаратна надлишковість, обумовлена механізмами асерцій і (або) граничного сканування  $H$ .

Графіки порівняльних характеристик тестування (діагностування) цифрових блоків до і після впровадження результатів дисертаційної роботи представлені на рис. 11 – 12. Перший з них ілюструє істотне (28%) зменшення обсягу діагностичної інформації для 9 модулів за рахунок вибіркості тестів щодо асерційних моніторів для діагностування функціональних порушень. Другий показує зменшення загального часу тестування цифрових модулів, що у середньому становить 47%. При цьому час діагностування – пошук причини та місця дефекту – займає менше, ніж 0,1 частину від часу тестування цифрових систем на кристалах.

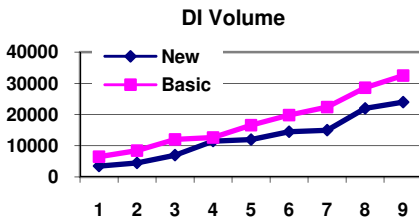


Рис. 11. Аналіз обсягів діагностичної інформації

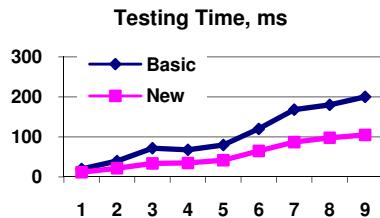


Рис. 12. Аналіз часу тестування SoC-компонентів

## ВИСНОВКИ

Виконані в рамках дисертаційної роботи дослідження характеризуються розв'язанням актуальної науково-практичної задачі істотного (15%) зменшення часу синтезу та аналізу діагностичної інформації, що мінімізує вартість тестування цифрових систем на кристалах, шляхом створення інфраструктури вбудованого діагностування функціональних ядер з використанням механізму граничного сканування і логічного асоціативного

3. Оптимізація покриття дефектних комірок ремонтними рядками та стовпцями на основі аналізу таблиці А. 4. Відновлення працездатності пам'яті за допомогою заміни адрес (Address Decoder – AD)



мультипроцесора, що дозволило забезпечити підвищення якості проекту на 3% за рахунок структурної надлишковості програмно-апаратних засобів діагностування функціональних ядер. Отримані наукові результати:

1. Нова модель взаємодії дискретних об'єктів в кіберпросторі, яка характеризується використанням скалярного і векторного значення бета-метрики, що дозволяє точно і адекватно оцінювати рішення в процесі пошуку та розпізнавання будь-яких об'єктів у векторному логічному просторі, а також у паралельному режимі вирішувати задачі синтезу та аналізу діагностичної інформації.

2. Удосконалена структурна модель цифрової системи, що відрізняється наявністю транзакційного графа функціональних модулів, інваріантна до рівнів ієрархії виробу, яка дозволяє спростити підготовку та подання діагностичної інформації у вигляді мінімізованої таблиці активізації функціональних блоків або деструктивних компонентів на тестових сегментах.

3. Удосконалені методи синтезу тестів і діагностування несправностей на основі граничного сканування для функціональностей, заданих матричними формами опису поведінки цифрових компонентів, які відрізняються паралелізмом векторних операцій над таблицями несправностей, що дає можливість зменшити об'єм пам'яті та час відновлення працездатності цифрової системи.

4. Удосконалена архітектура логічного асоціативного мультипроцесора, орієнтованого на підвищення швидкодії процедур убудованого діагностування несправностей, яка відрізняється використанням паралельних логічних векторних операцій and, or, xor, slc, що дає можливість істотно ( $\times 10$ ) підвищити швидкість діагностування поодиноких і/або кратних дефектів за допомогою таблиці активізації функціональних модулів.

5. Моделі та методи сервісного обслуговування, а також архітектура спеціалізованого мультипроцесора доведені до програмно-апаратної реалізації компонентів інфраструктури, що використовує технологію граничного сканування. Це дозволило створити ефективні маршрути та процес-моделі синтезу тестів і діагностування функціональних модулів цифрових систем на кристалах.

6. Інфраструктура сервісного обслуговування надає можливості для діагностування широкого спектру несправностей блоків цифрових систем на кристалах, що дозволяє істотно (30%) зменшити час діагностування апаратних компонентів в процесі функціонування.

7. Запропоновані моделі та методи складають математичну основу інфраструктури сервісного обслуговування, істотно (20%) підвищують тестопридатність цифрової системи, що дозволяє зменшити часові витрати на синтез діагностичної інформації, підвищити якість проектного виробу та вихід придатної продукції

## СПИСОК ОПУБЛІКОВАНИХ РОБІТ ЗА ТЕМОЮ ДИСЕРТАЦІЇ

1. Hahanov V.I. Brain-like Computer Structures / V.I. Hahanov, S.V. Chumachenko, C.U.Ngene, Y. Tiesoura // Радиоэлектроника и информатика.– 2009.– № 4.– С. 30-40.
2. Хаханов В.И. Встроенное диагностирование цифровых систем / В.И. Хаханов, С.В. Чумаченко, Y. Tiesoura, С.С. Галаган // Радіоелектронні і комп'ютерні системи.– 2009.– №7(41).– С. 314-318.
3. Хаханов В.И. Параллельные мультипроцессорные процесс-модели векторно-логического анализа / В.И. Хаханов, С.В.Чумаченко, А.В. Хаханова, Y. Tiesoura // Информационно-управляющие системы на железнодорожном транспорте.– 2010.– № 4.– С. 51-57.
4. Хаханов В.И. Пример определения тестопригодности цифрового проекта / В.И. Хаханов, Е.И. Литвинова, И.А. Побеженко, Y. Tiesoura // Радіоелектронні і комп'ютерні системи.– 2010. №6(47).– С. 292-297.
5. Хаханов В.И. Тестирование и верификация HDL-моделей компонентов SOC. II / В.И. Хаханов, Е.И. Литвинова, И.А. Побеженко, Y. Tiesoura, C.U. Ngene // АСУ и приборы автоматики.– 2009.– Вып. 148.– С. 26-37.
6. Хаханов В.И. Инфраструктура логического анализа ассоциативных таблиц / В.И. Хаханов, О.А. Гузь, Ив Тиекура, К.У. Нгене (C.U. Ngene), В.И. Копанев // АСУ и приборы автоматики.– 2009.– Вып. 149.– С. 18-29.
7. Tiesoura Y. Актуальные проблемы анализа киберпространства / Yves Tiesoura, С.В. Чумаченко, В.И. Хаханов // АСУ и приборы автоматики.– 2011.– Вып. 154.– С. 59-75.
8. Тиекура И. Анализ киберпространства и диагностирование функциональных модулей / Ив Тиекура, В.И. Хаханов, С.В. Чумаченко, Е.И. Литвинова // АСУ и приборы автоматики.– 2011.– Вып. 155.– С. 4-12.
9. Хаханов В. Энергосберегающие технологии для программно-аппаратной имплементации систем вычислительного интеллекта / В. Хаханов, C.U. Ngene, Yves Tiesoura // Материалы межд. научн. конф. «Интеллектуальные системы принятия решений и проблем вычислительного интеллекта» (ISDMCT'09).– Евпатория, 2009.– Т.2.– С. 439-458.
10. Hahanov V.I. Embedded Testing for SoC Functionality // V.I. Hahanov, S. Pokrova, Y. Tiesoura, A.A. Gorobets // Proceedings of the Xth International Conference CADSM.– Lviv-Polyana.– 2009.– P. 29-33.
11. Hahanov V.I. Algebra-Logical Diagnosis and Repair Method for SoC Memory // V.I. Hahanov, E.I. Litvinova, O.A. Guz, Y. Tiesoura // Proceedings of IFAC Discrete-Event System Design.– Candia Beach, Spain.– 2009.– P. 15-20.
12. Hahanov V. Testing and Verification of HDL-models for SoC components / Vladimir Hahanov, Irina Hahanova, C.U. Ngene, Yves Tiesoura // Proc. of IEEE East-West Design and Test Symposium. – Russia, 2009.– P. 48-53.
13. Hahanov V. SoC Design Quality Increasing by Using Assertion Engine / Vladimir Hahanov, Irina Hahanova, Eugenia Litvinova, C.U. Ngene, Yves Tiesoura // Материалы VI Международной научно-технической конференции

- «Повышение качества, надежности и долговечности технических систем и технологических процессов».– Хургада, 2009. – С.124-126.
14. Hahanov V.I. IP-infrastructure learning for SoC service // V.I. Hahanov, O.A. Guz, W. Gharibi, Y. Tiesoura // V Международная конференция «Стратегия качества в промышленности и образовании».– Варна, Болгария.– 2009.– С. 661-665.
  15. Хаханов В.И. Инфраструктура мозгоподобных неарифметических вычислений / В.И. Хаханов, С.В.Чумаченко, Y.Тiesoura, О.А. Гузь // Материалы XV Международной научно-практической конференции.– 2010.– Алушта.– С. 69-75.
  16. Хаханов В И. Алгебра для анализа векторно-логического пространства с помощью мультипроцессорного компьютера / В И. Хаханов, С.В Чумаченко, Y. Tiesoura, А. Мищенко // Матеріали міжнародної наукової конференції «Інтелектуальні системи прийняття рішень та проблеми обчислювального інтелекту».– Євпаторія.– 2010.– С. 414-418.
  17. Хаханов В.И. Метрика векторно-логического пространства и ее практическое применение / В.И. Хаханов, А.В. Хаханова, Yves Tiesoura, C.U. Ngene // Материалы конференции "Сучасні інформаційні та інноваційні технології на транспорті MINTT-2010".– Херсон, 2010.– С. 247-250.
  18. Hahanov V.I. Logical method for detecting faults by fault detection table / V.I. Hahanov, I. Pobizhenko, Y. Tiesoura // Proceeding of IEEE East-West Design and Test Symposium.– St. Petersburg, Russia.– 2010.– С. 215-217.
  19. Хаханов В. Логический ассоциативный анализ информации // В. Хаханов, С.В. Чумаченко, Y. Tiesoura, В.А. Василенко // Материалы Седьмой Международной конференции «Автоматизация проектирования дискретных систем».– Минск.– 2010.– С. 23-32.
  20. Hahanov V.I. Algebra logical method of fault diagnosis / V.I. Hahanov, Y. Tiesoura, A. Pashchenko, V. Olhovoy // Матеріали міжнародної наукової конференції CADSM.– Lviv-Polyana.– 2011.– С. 186–187.
  21. Хаханов В.И. Эволюционная модель киберпространства / В.И. Хаханов, С.В. Чумаченко, А.С. Мищенко, Y. Tiesoura // Матеріали VI міжнародної наукової конференції «Наука и социальные проблемы общества – информатизация и информационные технологии».– Харьков.– 2011.– С. 383-384.

## АНОТАЦІЯ

*Тієкура Ів.* Векторно-логічна інфраструктура вбудованого тестування цифрових систем на кристалах. – На правах рукопису.

Дисертація на здобуття наукового ступеня кандидата технічних наук за спеціальністю 05.13.05 – комп’ютерні системи та компоненти. – Харківський національний університет радіоелектроніки, Харків, 2012.

Мета дисертаційного дослідження – зменшення часу сервісного обслуговування цифрових систем на кристалах шляхом введення вбудованої програмно-апаратної надлишковості у вигляді інфраструктури

функціональних компонентів, що забезпечує задану глибину діагностування. Основні результати: нова модель взаємодії дискретних об'єктів в кіберпросторі, яка характеризується використанням скалярного і векторного значення бета-метрики, що дозволяє у паралельному режимі вирішувати задачі синтезу та аналізу діагностичної інформації; удосконалена структурна модель цифрової системи, що відрізняється наявністю транзакційного графа функціональних модулів, інваріантна до рівнів ієрархії виробу; удосконалені методи синтезу тестів і діагностування несправностей на основі граничного сканування для функціональностей, заданих матричними формами опису поведінки цифрових компонентів, які відрізняються паралелізмом векторних операцій над таблицями несправностей; удосконалена архітектура логічного асоціативного мультипроцесора, яка відрізняється обмеженою системою команд для вбудованого сервісного обслуговування функціональностей цифрових систем на кристалах, що дає можливість зменшити час діагностування.

Ключові слова: верифікація, діагностування, тестування, цифрові системи на кристалах, асерція, логічний асоціативний мультипроцесор.

## АННОТАЦИЯ

*Тиекура* *Ив.* Векторно-логическая инфраструктура встроенного тестирования цифровых систем на кристаллах. – На правах рукописи.

Диссертация на соискание ученой степени кандидата технических наук по специальности 05.13.05 – компьютерные системы и компоненты. – Харьковский национальный университет радиоэлектроники, Харьков, 2012.

Цель диссертационного исследования – уменьшение времени сервисного обслуживания цифровых систем на кристаллах путем введения встроенной программно-аппаратной избыточности в виде инфраструктуры функциональных компонентов, обеспечивающей заданную глубину диагностирования. Сущность научного исследования заключается в разработке новых моделей и методов тестирования и диагностирования, имплементированных в инфраструктуру встроенного сервисного обслуживания, которая является технологической средой, позволяющей уменьшить время диагностирования цифровых систем на кристаллах при поддержке стандартов граничного сканирования, что существенно (3%) повышает выход годной продукции. Решены задачи разработки модели векторного взаимодействия объектов в киберпространстве, модели встроенного тестирования цифровых систем на кристаллах на основе использования транзакционного графа и аппаратной реализации механизма асерций и стандарта граничного сканирования, векторно-логических методов синтеза тестов и диагностирования функциональностей цифровых систем на кристаллах с применением аппаратной реализации механизма асерций, архитектуры логического ассоциативного мультипроцессора с ограниченной системой команд для сервисного обслуживания функциональностей цифровых систем на кристаллах, моделей, методов и

архитектуры мультипроцессора в качестве компонентов инфраструктуры встроенного сервисного обслуживания цифровых систем на кристаллах.

Основные результаты: новая модель взаимодействия дискретных объектов в киберпространстве, которая характеризуется использованием скалярного и векторного значения бета-метрики, позволяющая точно и адекватно оценивать решения в процессе поиска и распознавания любых объектов в векторном логическом пространстве, а также в параллельном режиме решать задачи синтеза и анализа диагностической информации; усовершенствованная структурная модель цифровой системы, которая отличается наличием транзакционного графа функциональных модулей, инвариантная к уровням иерархии изделия, которая позволяет упростить подготовку и представление диагностической информации в виде минимизированной таблицы активизации функциональных блоков или деструктивных компонентов на тестовых сегментах; усовершенствованные методы синтеза тестов и диагностирования неисправностей на основе граничного сканирования для функциональностей, заданных матричными формами описания поведения цифровых компонентов, которые отличаются параллелизмом векторных операций над таблицами неисправностей, что позволяет уменьшить объем памяти, время восстановления работоспособности цифровой системы; усовершенствованная архитектура логического ассоциативного мультипроцессора, ориентированного на повышение быстродействия процедур встроенного диагностирования неисправностей, которая отличается использованием параллельных логических векторных операций `and`, `or`, `xor`, `slc`, что дает возможность существенно ( $\times 10$ ) повысить быстродействие диагностирования одиночных и/или кратных неисправностей с помощью таблицы активизации функциональных модулей; модели и методы сервисного обслуживания, а также архитектура специализированного мультипроцессора доведены до программно-аппаратной реализации компонентов инфраструктуры, использующей технологию граничного сканирования. Это позволило создать эффективные маршруты и процесс-модели синтеза тестов и диагностики функциональных модулей цифровых систем на кристаллах; инфраструктура сервисного обслуживания позволяет выявлять широкий спектр неисправностей блоков цифровых систем на кристаллах, что позволяет существенно (30%) уменьшить время диагностирования аппаратных компонентов в процессе функционирования; предложенные модели и методы составляют математическую основу инфраструктуры сервисного обслуживания, существенно (20%) повышают тестопригодность цифровой системы, что позволяет уменьшить временные затраты на синтез диагностической информации, повысить качество проектируемого изделия и выход годной продукции.

Ключевые слова: верификация, диагностирование, тестирование, цифровые системы на кристаллах, ассерция, логический ассоциативный мультипроцессор.

## ABSTRACT

*Tiecoura Yves.* Vector-logic infrastructure for embedded testing digital systems-on-chips. – Manuscript.

PhD thesis (candidate degree of technical sciences) in speciality 05.13.05 – Computer Systems and Components. – Kharkiv National University of Radio Electronics, Kharkiv, 2012.

The aim of the research is to improve the test-infrastructure IP of digital systems-on-chips by the introduction of embedded hardware and software redundancy in the form of the functional component infrastructure that provides the desired diagnosis depth. Main results: a new model for interacting discrete objects in cyberspace, which is characterized by the use of scalar and vector value of beta metric, which allows parallel solving the problems of synthesis and analysis of diagnosis information, improved structural model of the digital system, which is distinguished by the transaction graph of functional modules, which is invariant to hierarchy levels of the product; improved methods for test synthesis and fault diagnosis, based on boundary-scan, for functionalities specified by matrix forms describing the behavior of digital components, which differ parallel vector operations on fault detection tables; improved architecture of logic associative multiprocessor that differs limited instruction set for embedded infrastructure IP focused to digital system functionality, which makes it possible to reduce the diagnosis time.

Key words: verification, diagnosis, testing, system-on-chip, assertion, logic associative multiprocessor.

Відповідальний випусковий **Свищ В.М.**

Підп. до друку 03.02.12. Формат 60x84<sup>1</sup>/<sub>16</sub>. Папір друк.; Умов. друк. арк. 1,2

Облік. вид. арк. 1,0. Зам. № 11-71; Тираж 120 прим.

Надруковано у видавництві ЧП “Степанов В.В.”

61168, Харків, вул. акад. Павлова, 311