

КОМПЬЮТЕРНАЯ ИНЖЕНЕРИЯ И ТЕХНИЧЕСКАЯ ДИАГНОСТИКА



УДК 681.32

CO-DESIGN ТЕХНОЛОГИЯ ПРОЕКТИРОВАНИЯ SOC НА ОСНОВЕ ACTIVE-HDL 6.2

*ХАХАНОВ В.И., ЕГОРОВ А.А., ХАХАНОВА И.В.,
ГУЗЬ О.А.*

Предлагается технология проектирования цифровых систем на кристаллах, основанная на опыте разработки аппаратных и программных средств для SOC's, отражающая состояние развития и многообразие чипов, языков программирования и описания аппаратуры, а также современных средств проектирования. Даются рекомендации и примеры проектирования реальных цифровых систем.

1. Состояние рынка технологий проектирования

На рынке электронных технологий существует следующая причинно-следственная связь [1, 2] между тремя основными компонентами, влияющими на компьютерную продукцию (рис. 1).

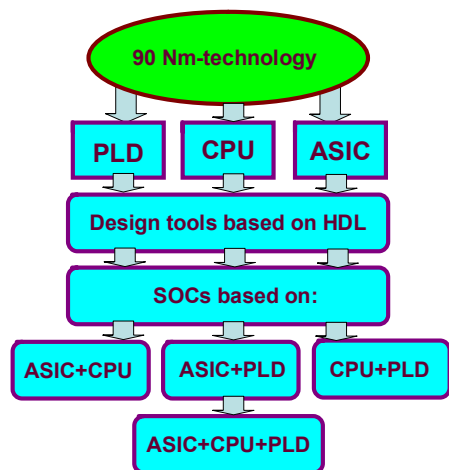


Рис. 1. Причинно-следственная связь на рынке

Это — технология изготовления пластин для кристаллов, типы чипов или кристаллов, языки описания аппаратуры и программных продуктов, средства проектирования, системы на кристаллах.

Практическое объяснение приведенного рисунка сводится к существованию трех уровней иерархии на рынке микрочипов, имеющем годовой объем продаж — \$40 миллиардов: 1) мощные микропроцессоры, используемые в серверах и рабочих станциях; 2) персональные компьютеры, где доминируют микропроцессоры фирмы Intel с объемом продаж \$20 миллиардов; 3) микроконтроллеры и

сигнальные процессоры дают производителям \$14 миллиардов прибыли ежегодно.

Первые используются для редактирования цифровых видеофайлов и speech-to-text трансляторов. Но уже в ближайшем будущем такие задачи должны будут решаться специализированными вычислительными устройствами или микропроцессорами. В настоящее время большинство пользователей применяет компьютеры в качестве текстовых процессоров для доступа к E-mail, Internet. Поэтому использование для этих целей высокопроизводительных процессоров Itanium и Pentium, Intel, Athlon, Advanced Micro Device, выполняющих один миллиард операций с плавающей запятой в секунду, в десятки и сотни раз избыточно. В дополнение к сказанному следует заметить, что на рынке микроэлектроники возрастает показатель специализированной ориентации на решение конкретных задач — customization. Когда возможности начинают превышать потребности данной области рынка, конкуренция смещает акценты с повышения общей производительности на усовершенствование свойств, за которые пользователь готов платить дополнительные деньги. Это — не только надежность, но и удобство, заказные свойства, энергосбережение, автономность, миниатюризация.

Существенной представляется и проблема изначальной избыточности изготавливаемой микросхемы [1]. Производители микросхем создают больше транзисторов на кристалле, чем это нужно для проектировщиков компьютеров: число транзисторов ежегодно увеличивается на 60%, при этом их использование в новых проектах возрастает только на 20%. Естественно, что за 40% неосвоенных мощностей будет платить конечный пользователь. Тем не менее в области Design Automation происходит переориентация средств на возможность реализации только необходимых и заказных свойств, диктуемых конечным потребителем. При этом важнейшим условием реализации сложных систем на кристаллах является модульность проектирования, определяемая наличием многократно используемых IP- (Intellectual Property)-core. Последние имеют различные размеры и функции, от простых, реализующих интерфейсы, до сложных 64-битовых микропроцессоров, имеющих несколько миллионов транзисторов.

В соответствии с рис. 2 многообразие микросхем можно условно разделить на три базовых примитива, которые при всех возможных сочетаниях образуют полное множество предлагаемых на рынке компонентов, которое может с необходимой и достаточной степенью удовлетворить любого потребителя.

Исходя из предложения рынка микроэлектроники наиболее эффективными с позиции быстродействия являются: ASIC — Application-Specific Integrated Circuit — специализированные микросхемы, разработанные одной фирмой для конкретного изделия. Унификация данных кристаллов приводит к появлению на рынке ASSP — Application Specific Standard Product — специализированных устройств, которые могут быть использованы многими разработчиками. Например, Analog Devices, Infineon, Motorola, Qualcomm и Texas Instrument выпускают микро-

РИ, 2004, № 2

схемы ASSP, которые любой производитель может использовать для создания сотовых телефонов. Такие микросхемы в тысячи раз эффективней по стоимости и производительности на ватт, чем микропроцессоры. Однако несмотря на упомянутые преимущества специализированные микросхемы не обладают гибкостью реконфигурирования. Второй недостаток определяется высокой стоимостью разработки масок кристаллов и выпуска микросхемы (1 - 2 миллиона долларов).

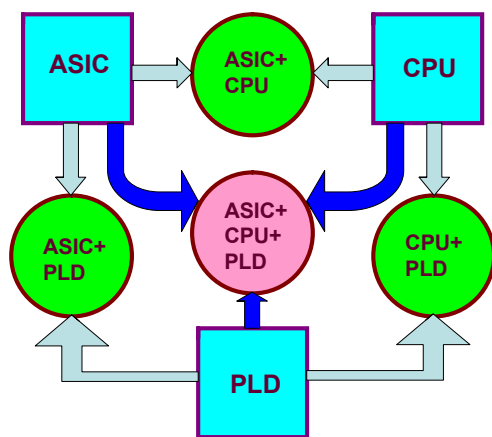


Рис. 2. Множество типов кристаллов на рынке

Компромиссным электронным решением являются программируемые логические интегральные схемы (ПЛИС или PLD), обладающие производительностью специализированных микросхем и гибкостью микропроцессоров [3]. Такие изделия содержат два слоя: первый включает конфигурируемые для конкретной функции линии и элементы, второй — память реконфигурации и/или структуры цифрового изделия. Если рассматривать только перепрограммируемые микросхемы, использующие в качестве памяти реконфигурации SRAM, то здесь структура функций проекта загружается однажды в момент инициализации после включения питания. Отдельные чипы предоставляют возможность для неполной реконфигурации, когда часть элементов и связей может быть изменена, в то время как остальные останутся неизменными. Интерфейсная микросхема должна иметь возможность адаптации к различным протоколам без влияния на остальные ее функции. Интересные решения предлагают разработчикам и динамически реконфигурируемые чипы [4]. В этом случае любые связи и элементы могут изменяться во время выполнения основных функций микросхемой. При этом за свою гибкость реконфигурации ПЛИС расплачиваются уменьшением производительности, повышением энергоемкости и аппаратных затрат: 20 транзисторов программируемого кристалла приходится на один транзистор ASIC; память реконфигурации может занимать до 70% общего числа транзисторов микросхемы; длинные линии межсоединений вентилях и транзисторные программируемые коммутационные матрицы значительно замедляют скорость выполнения операций в PLD. На практике сложное цифровое устройство, реализованное на современных ПЛИС, представляет собой изделие, занимающее большую площадь на кристалле, с низким быстродействием, высокой потребляемой мощностью и к тому же дорогостоящее

(более \$1000). Следовательно, такие кристаллы уже не подходят для реализации универсального и автономного цифрового устройства по отдельным характеристикам. Предлагаемые на рынок электронные решения должны повысить свое быстродействие и снизить энергопотребление.

Ведущие компании мира в области PLD for SOC Altera и Xilinx, занимаясь устранением обозначенных недостатков, расширили возможности ПЛИС в целях обеспечения их конкурентоспособности с микропроцессорами и сигнальными процессорами. Последние разработки ПЛИС с высокоскоростными вход-выходами, блоками памяти, умножителями и встроенными микропроцессорами представляют серьезную альтернативу мощным стационарным изделиям. К сожалению, эти дополнительные свойства существенно увеличивают потребляемую мощность и делают их малоприспособленными для создания портативных устройств. Тем не менее, только PLD в ближайшем будущем могут предоставить возможности для разработки автономного универсального цифрового устройства, если в ближайшие 2-3 года удастся сократить избыточность межсоединений, ускорить и упростить процесс полной или частичной реконфигурации. В этом случае функции управления остаются резидентными, остальные загружаются по мере надобности.

Интересное направление повышения эффективности используемой площади кристалла связано с динамической реконфигурируемостью функций, над которой работают ведущие компании мира (Intel, Motorola, NEC, Nokia и Texas Instruments) [5]. В памяти находятся описания нескольких полезных функций, каждая из которых может быть сконфигурирована на кристалле с помощью супервизора за один цикл. При этом осуществляется экономия энергопотребления, благодаря выполнению в конкретный момент только одной функции. Кроме того, частичная (полная) динамическая реконфигурируемость позволяет повысить эффективность использования площади кристалла в предположении, что все функции будут востребованы на длительном временном интервале. Компании-разработчики (start-up companies), такие как QuickSilver, Elm Technology, IBM, Matrix Semiconductor, Tezzaron Semiconductor, Ziptronic, создают многослойные микросхемы — пакеты, представляющие собой портативные автономные устройства, в которых внутренние соединения выполняются тысячами вертикальных линий. Это позволяет значительно снизить потребляемую мощность и повысить быстродействие выполнения функций в сравнении с Board-реализацией.

Другой путь усовершенствования ПЛИС — замена исчерпавшей себя SRAM-памяти, имеющей высокую потребляемую мощность, более эффективной энергонезависимой и быстродействующей магниторезистивной, ферроэлектрической и памятью на аморфных полупроводниках [6]. Такие решения позволяют улучшить функции защиты информации при отключении энергоснабжения. Таким образом, новый тип (PLD+CPU) позволит решить задачу создания портативного универсального цифрового устройства. При этом основной функцией микропроцессора будет управление [9].

Многообразие предлагаемых электронных решений естественно предполагает и большое количество средств проектирования, основанное на использовании языков описания аппаратуры и программных продуктов, максимально приближенных к стандартам IEEE, или являющихся таковыми. В этом смысле показательной является структура языковой поддержки разработчика цифровой системы на кристаллах, представленная на рис. 3.

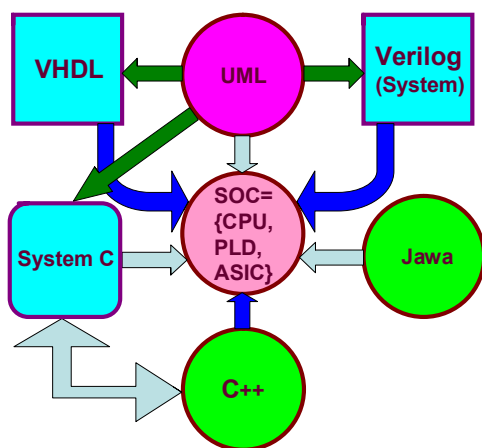


Рис. 3. Языковое обеспечение разработчика

Здесь доминирует группа (Verilog, VHDL, SystemC), которая еще лет 5 будет существовать вместе, конкурируя и дополняя друг друга. Наличие компиляторов для каждого из них, а также средств преобразования кодов из одного языка в любой другой позволяют довольно успешно и совместно использовать в одном проекте модули, представленные на различных языках. Такая технология поддерживается всеми ведущими фирмами (Cadence, Synopsys, Mentor Graphics, MAGMA, Aldec) в области Electronic Design Automation (EDA). Получает дальнейшее развитие и язык Unified Modeling language (UML) [7], который ориентирован на создание моделей и верификацию гетерогенных систем. Достаточно сказать, что на 41 конференции DAC'04 этому языку был посвящен целый день обсуждений в рамках workshop [DAC'04]. Что касается языков C++ и Java, то они ориентированы, в рамках проектирования SOC, на создание программных модулей, выполняющих функции супервизора с использованием ARM-процессора, а также для программирования интерфейсов между компьютером и кристаллом на стадии отладки и верификации.

2. Технология верификации системы на кристалле

Основная цель — создание регламентированной последовательности действий, приводимой к практически приемлемому решению на основе использования технологии совместного проектирования аппаратной и программной частей цифровой системы, что представлено на рис. 4. Для этого необходимо решить следующие задачи:

- 1) создание универсального макета для проектирования и верификации [8-11] Hardware+Software for SOC, включающего основные базовые кристаллы (ARM-процессор, PLD, ASIC);
- 2) конфигурирование средств проектирования ведущих фирм мира, которые позволят найти прием-

лемое, по времени разработки, материальным затратам и быстродействию, решение в виде SOC, или Final System (см. рис. 4).

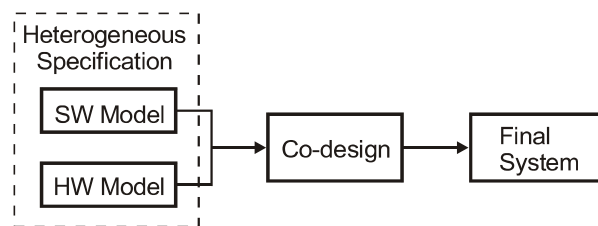


Рис. 4. Модель процесса проектирования

В качестве основных принципов проектирования следует считать:

- 1) Необходимо поддерживать несколько способов формализации спецификаций на основе всех стандартных языков описания аппаратуры и программирования.
- 2) Применять метод описания, который является более предпочтительным для адекватного представления функций фрагмента проекта.
- 3) Использовать в качестве компонентов уже верифицированные модели и IP-core, инвариантные по отношению к языку описания, применяемого в текущем проекте.
- 4) Эмулировать уже верифицированные и валидные модели компонентов и IP-cores в аппаратуру, представленную платой акселератора моделирования, что в сотни раз может уменьшить время верификации проекта в целом.
- 5) Осуществлять анализ поведения программно-аппаратных компонентов в реальном масштабе времени путем использования программы Debug для кода C++.
- 6) Повторно применять уже верифицированные части проектов в виде IP-cores (design reuse).
- 7) Создавать проект несколькими группами проектировщиков, использующими различные методы формализации спецификаций или ранее созданных моделей компонентов, представленных другими языками описания.
- 8) Использовать опыт ведущих фирм мира, заключающийся в выработке традиционных стадий разработки: 1. Создание неформальной модели всей системы в целом. 2. Формализация спецификации проекта. 3. Разработка архитектуры и разделение системы на фрагменты основывается на наличии конкретных средств проектирования и инженерном опыте проектировщика. 4. Разработка Hardware и Software для компонентов, составляющих проект, осуществляется параллельно и/или независимо. 5. Разделение функций системы на два подмножества для их реализации на Hardware или Software в целях получения максимального (достаточного) быстродействия и минимального (приемлемого) срока разработки проекта в целом.
- 9) По мере верификации моделей компонентов и системы в целом осуществлять ее трансформирование из “гибкой” в “жесткую форму”: {C++, VHDL, Verilog} —> {PLD, CPU, ASIC} путем соединения моделей уровней {System-, Gate- & RT-level}.

3. (ARM+HES) технология верификации SOC

Используется ARM-процессор, соединенный с HES-board посредством шины AMBA [12,13] для ускорения процесса моделирования (рис.5), путем имплементации уже верифицированных и послесинтезных моделей в кристалл PLD.

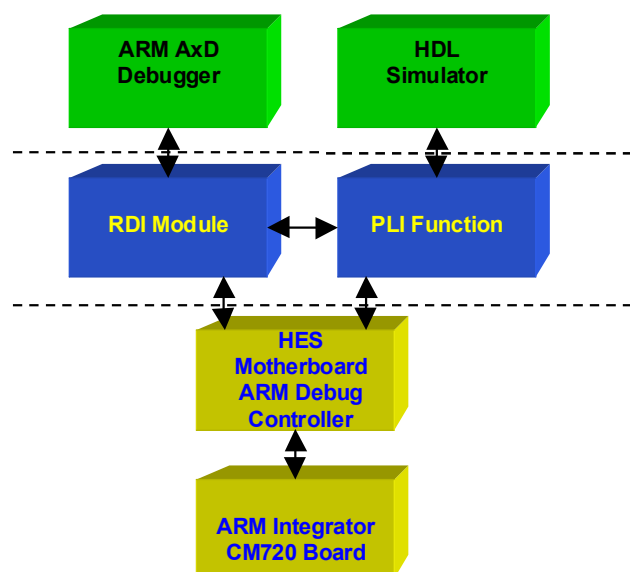


Рис 5. Общая модель процесса верификации SOC

Здесь (см. рис. 5) представлена общая структура программно-аппаратных компонентов, используемых в проектировании и верификации цифровой системы на кристалле в фирме Aldec Inc. Четыре верхних блока – программные продукты: 1) ARM AxD Debugger – отладчик C++-программ, работающий под ARM-процессором в реальном времени и позволяющий делать остановку процесса моделирования при выполнении условий breakpoint; 2) HDL Simulator – в данном случае Active-HDL, v.6.2; 3) RDI Module и 4) PLI function – обеспечивают связь и синхронизацию первых двух блоков; 5) ARM debug controller, реализованный на HES Motherboard, осуществляет связь с ARM-процессором, расположенным на ARM Integrator CM720 Board, что существенно повышает быстродействие отладки C++-кода в реальном времени по сравнению с использованием C-модели ARM-процессора, реализованной на PC. Таким образом, блок 1 ориентирован на ввод и верификацию System Software (программного кода), написанного на C++ (Assembler). Блок 2 предназначен для ввода и отладки Hardware (аппаратной части), написанной

на HDL, представляющей периферийные модули, работающие, как правило, под управлением System Software ARM-процессора. ARM-процессор предназначен для реализации Software программного кода, написанного на языке C++. Функции такого кода – супервизор системы на кристалле.

В соответствии с описанной стратегией верификации на рис. 6 представлена структура программно-аппаратного комплекса для проектирования и отладки практически ориентированной разрабатываемой цифровой системы. Рис. 7 иллюстрирует последовательность выполнения операций для достижения цели – аппаратной реализации суперпозиции двух мультипликационных фильмов и ее отображения на экране монитора. Содержательная граф-схема алгоритма (14 состояний), реализованная под управлением Active-HDL, v.6.2 [14], показана на рис. 8, который представляет собой автомат управления для операционного устройства суперпозиции видеофайлов и вывода их на экран.

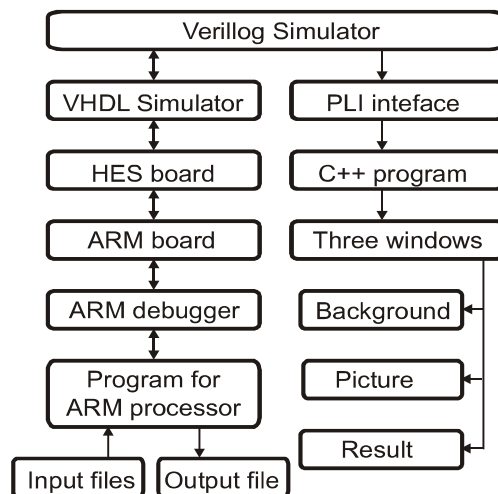


Рис 7. Модель процесса проектирования SOC

Основные функции разрабатываемой SOC:

1. Открытие двух AVI-файлов, один из которых – мультипликационный, другой – фоновый.
2. Считывание двух фреймов из упомянутых файлов (очередной кадр и фон) из памяти.
3. Передача двух кадров в HES-board с помощью AMBA-шины.
4. Суперпозиция кадров (*Slave_Superposition*) в целях получения совмещенного изображения и

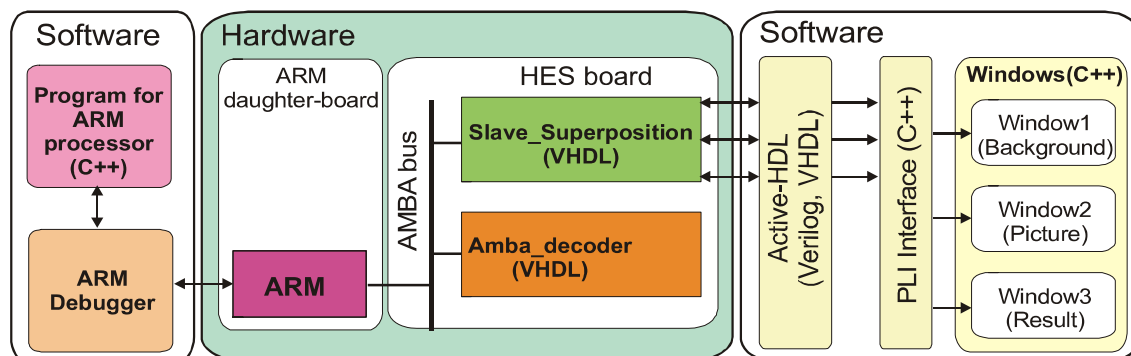


Рис 6. Структура Hardware- Software для верификации процесса проектирования

передача результата с исходными кадрами в ARM-процессор.

5. Формирование трех потоков данных, передающих информацию о пикселях в три окна на мониторе: фоновое изображение, мультипликационный кадр и результат их совмещения через симулятор и PLI-интерфейс. Отображение на экране монитора трех кадров: исходного, фонового и результирующего.

Используемые средства для создания проекта: Hardware: HES board 2000; ARM daughter board. Software: Aldec Active-HDL 6.1; ARM Device Suite; Alatek DVM; Xilinx ISE 5.2; Microsoft Visual Studio .NET 2003. PLI – библиотека функций, которая дополняет возможности программы моделирования и решает задачи соединения Си и C++ приложений, необходимых для визуализации исходных данных и результатов. Для соединения компонентов и микропроцессора используется стандарт шины AMBA ASB. Это – 32-разрядная шина, которая применяется в SoC устройствах, основанных на ARM-процессоре, для передачи информации между процессором и остальными устройствами.

Функционирование системы: после открытия двух восьмибитных AVI-файлов с одинаковой размерностью фреймов и их числом осуществляется суперпозиция или наложение с последующим выводом всех мультипликационных картин на три окна экрана. AVI-файлы должны использовать Web index-палитру без компрессии. Эта палитра поддерживает 216 цветов, которые во всех файлах имеют одинаковые индексы для их идентификации, что позволяет упростить процедуру обработки файлов, исключив дешифрацию цветов.

Существенным при описании спецификации проекта является разделение функций между Software и Hardware. В данном случае это способствует получению на выходе проектирования быстродействующей системы, работающей в реальном времени, но с выполнением всех функций управления программными модулями на ARM-процессоре.

Для повышения скорости вывода кадров на экран (до 24 кадров в секунду) используется RLE8-формат компрессии. Это позволяет сократить поток данных, посылаемых через шину AMBA, что делает программу визуализации намного быстрее.

При отсутствии ARM-процессора можно использовать его программную SystemC-модель, разработанную для Synopsys System C Studio под управлением Solaris OS для системы SPARC (Sun Station).

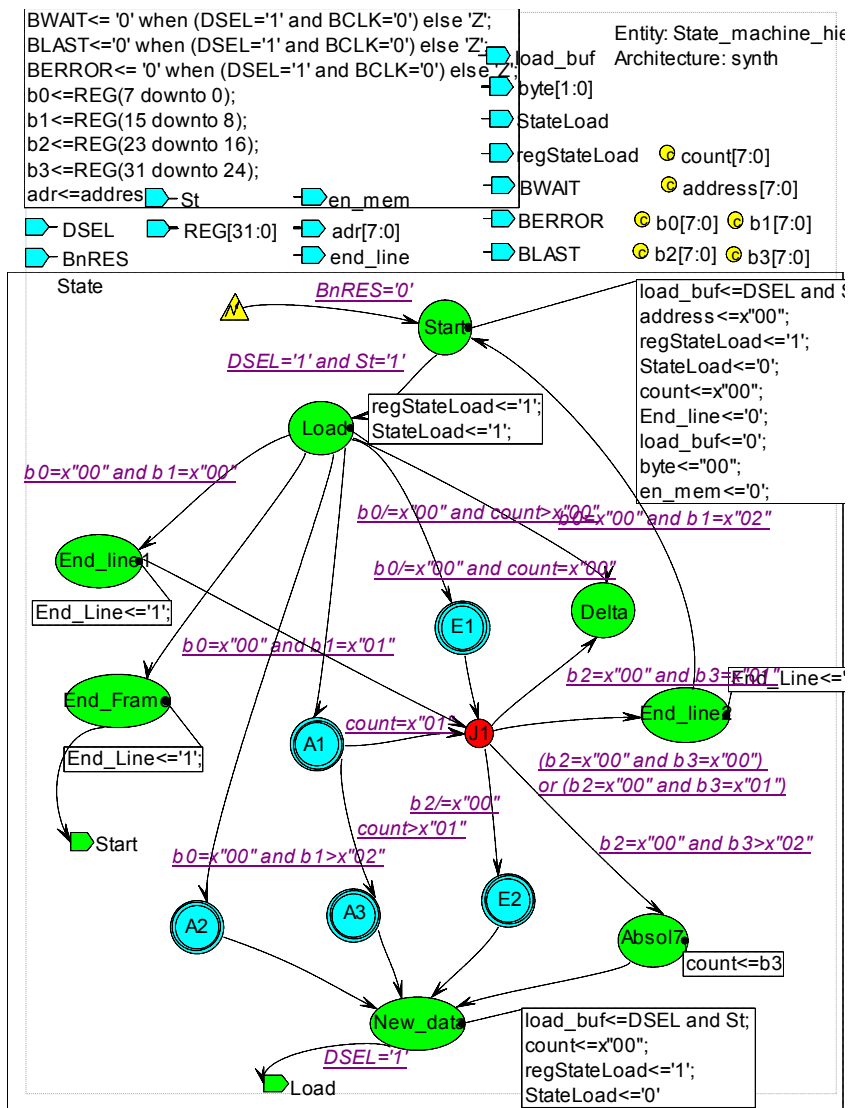


Рис 8. Содержательная граф-схема для управления SOC

4. Заключение

В качестве основных результатов, представляющих научную и практическую значимость для проектирования и верификации цифровых систем на кристаллах, необходимо выделить следующие пункты:

1. Выполнен обзор средств и методов проектирования и верификации цифровых систем на кристаллах, включая языки описания аппаратуры и программных продуктов, а также типы кристаллов, распространенных на рынке электронных технологий.
2. Предложена технология проектирования программно-аппаратных комплексов на основе использования аппаратного акселератора, позволяющего существенно (в 2-10 раз) уменьшить время моделирования и верификации на стадии досинтезного проектирования.
3. Представлена технология совместной верификации программных и аппаратных компонентов цифровой системы на основе применения Hardware Embedded Simulator (HES); ARM-процессора; C++-Debugger; Active-HDL программного симулятора, позволяющих эффективно верифицировать проектируемые цифровые изделия на кристаллах.

4. Показан пример моделирования и верификации цифрового устройства, решающего проблему аппаратной реализации суперпозиции нескольких видеофильмов в один с последующим выводом на экран исходных кадров и результата с помощью Program Language Interface (PLI) [15].

5. Предложено использовать структуры данных видеофильма в качестве эффективного средства тестирования функций автономного проектируемого цифрового изделия, что позволяет визуально наблюдать искажения на экране в случае некорректной работы отдельных компонентов системы, а также одновременно тестировать все ее функции на рабочих частотах.

Литература: 1. Bass M.J. and Cristensen C.M. The future of the Microprocessor Business. IEEE Spectrum, April, 2002. P. 34-39. 2. Don Edinfeld, Andrew B Kahng, Mike Rodgers, and Yervant Zorian. 2003 Technology Roadmap for Semiconductors, Computer, January 2004, pp. 47-56. 3. Tredennock N., Shimamoto B. "Go Reconfigure". IEEE Spectrum. December 2003. P. 37-40. 4. Gupta B. and Borgatti M. Different Approaches to Add Reconfigurability in a SoC Architecture // Design Automation and Test in Europe (DATE 03). 2003. P. 398-402. 5. Borgatti M., Calm L., De Sandre G., Forkt B., Iezzi D., Lertora F., Muzzi G., Pasotti M., Poles M., Rolandi P.L. (STMicroelectronics) A Reconfigurable Signal Processing IC with Embedded FPGA and Multi-Port Flash Memory // Design Automation Conference (DAC 03). 2003. P. 691-696. 6. Linda Geppert. "The New Indelible Memories". IEEE Spectrum. March 2003. P. 49-54. 7. UML-SOC 2004. UML for SOC Design. DAC 2004. Workshop. 58 p. 8. Nikolaos S. Voros, Luis Sanchez, Alejandro Alonso, Alexios N. Birbas, Michael Birbas, Ahmed Jerraya. Hardware-Software Co-Design of Complex Embedded Systems. Design Automation for Embedded Systems. Boston: Kluwer Academic Publishers. 2003. P. 5-34. 9. S. Yoo and Jerraya A. Introduction to Hardware Abstraction Layers for SoC // Design Automation and Test in Europe (DATE 03). 2003. P. 336-338. 10. Vercauteren, S.,

J.V.D. Steen, and D Verkest. Combining Software Synthesis and Hardware-Software Interface Generation to Meet Hard Real-Time Constraints. DATE'99. 1999. P. 177-187. 11. Boehm B. A Spiral model of Software Development and Enhancement. Science of Computer Programming. 1988. Vol. 8. P. 231-274. 12. Farber S. ARM System-on-Chip architecture. Addison - Wesley. 2000. 420p. 13. David Seal. Architecture Reference Manual. Addison - Wesley. 2001. 560p. 14. Active-HDL User's Guid. Second Edition. Copyright. Aldec Inc. 2003. 213p. 15. Samir Palnitkar. Verilog HDL. A Guide to digital design and synthesis. Sunsoft Press. A prentice Hall Title. 2002. 396p.

Поступила в редколлегию 11.02.2004

Рецензент: д-р техн. наук, проф. Кривуля Г.Ф.

Хаханов Владимир Иванович, д-р техн. наук, профессор кафедры АПВТ ХНУРЭ. Научные интересы: техническая диагностика вычислительных устройств, систем, сетей и программных продуктов. Увлечения: баскетбол, футбол, горные лыжи. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 70-21-326. E-mail: hahanov@kture.kharkov.ua

Егоров Александр Андреевич, аспирант кафедры АПВТ ХНУРЭ. Научные интересы: проектирование и верификация цифровых систем на кристаллах. Увлечения: баскетбол, футбол, автопутешествия. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 70-21-326. E-mail: hahanov@kture.kharkov.ua

Хаханова Ирина Витальевна, канд. техн. наук, доцент кафедры АПВТ ХНУРЭ. Научные интересы: проектирование и диагностика цифровых устройств. Увлечения: английский язык, гитара. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 70-21-326. E-mail: hahanov@kture.kharkov.ua

Гузь Олеся Алексеевна, аспирантка кафедры АПВТ ХНУРЭ. Научные интересы: проектирование и верификация цифровых систем на кристаллах. Увлечения: баскетбол, футбол, автопутешествия. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 70-21-326. E-mail: hahanov@kture.kharkov.ua

УДК 681.7.068.4

ИСПОЛЬЗОВАНИЕ ИНТЕРФЕРЕНЦИОННЫХ МЕТОДОВ ДЛЯ КОНТРОЛЯ ПАРАМЕТРОВ КРИТИЧНЫХ ПОВЕРХНОСТЕЙ КОММУТАЦИОННЫХ КОМПОНЕНТОВ ВОЛОКОННО- ОПТИЧЕСКИХ СИСТЕМ

ФИЛИПЕНКО А.И.

Описывается контроль состояния критичных поверхностей волоконно-оптических компонентов, который выполняется методом двухлучевой интерференции по схеме интерферометра Майкельсона. Приводятся соотношения, связывающие параметры формирования поверхностей с характеристиками интерференционного изображения. Предлагается и исследуется методика выделения полезной информации составляющей из смеси интерференционного

сигнала с шумом и фоном измерения, основанная на использовании полосовых фильтров Баттерворта.

1. Общая характеристика проблемы

Коммутационные компоненты осуществляют передачу или перераспределение оптической мощности между отдельными оптическими волокнами. Ряды компонентов охватывают разъемные (коннекторы) и неразъемные оптические соединители (сварные или клеевые сростки), оптические переключатели (электро-механические и интегральные) и оптические ответвители. Для удобства использования переключатели и ответвители содержат волоконные выводы, оканчивающиеся наконечниками разъемных соединителей. Таким образом, при монтаже и эксплуатации волоконно-оптических систем широко применяется передача оптической энергии из волокна в волокно через среду с показателем преломления, отличающимся от показателя материала сердцевины волокна. В этих условиях в зоне контакта возникают обратные потери, т.е. свет, распространяющийся в направлении, обратном направлению передачи полезной информации. Первичной причиной обратных потерь является отражение от области изменения показателя преломления в зазоре между