

Міністерство освіти і науки України
Харківський національний університет радіоелектроніки

ЛАРЧЕНКО БОГДАН ДМИТРОВИЧ

УДК 681.325

**МОДЕЛІ ТА МЕТОДИ ПРОЕКТУВАННЯ АПАРАТНИХ
БІТ-ПОТОКОВИХ ONLINE-ОБЧИСЛЮВАЧІВ ЕЛЕМЕНТАРНИХ
МАТЕМАТИЧНИХ ФУНКЦІЙ**

05.13.05 – комп'ютерні системи та компоненти

Автореферат дисертації на здобуття наукового ступеня
кандидата технічних наук

Харків – 2021

ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

Актуальність теми дослідження. В даний час спостерігається зростання складності завдань по організації обчислень при розробці систем, орієнтованих на наскрізні технології інтелектуальних сенсорів, інтернет речей, а також систем управління, контролю та вимірювань. При цьому ставиться завдання узгодження сенсорів з цифровими системами збору і обробки інформації.

Одним з актуальних напрямків, пов'язаних зі створенням нових базових елементів для побудови названих систем є розробка апаратних online-обчислювачів, що виконують функціональне перетворення інформаційних сигналів, представлених бітовими (імпульсними) потоками даних, реалізація більшості операцій з якими є більш простою у порівнянні з іншими видами кодування. Названа перевага є важливою, так як в області управління, контролю та вимірювань пред'являються підвищені вимоги до надійності роботи систем. Біт-потоківі форми сигналів дозволяють здійснювати передачу і обробку інформації способами, що характеризуються можливістю послідовної обробки потоків в темпі надходження одиничних біт і високою завадостійкістю внаслідок непозиційності та еквівалентності одиничних біт по відношенню до їх ваги в цифровому коді. При цьому біт-потоківі форма сигналів зберігаючи завадостійкість, не дає інформаційної надлишковості і дозволяє забезпечувати високу швидкодію пристроїв.

Сьогодні спостерігається збільшення кількості та розширення номенклатури інтелектуальних сенсорів з цифровим, частотним, час-імпульсним виходом. При цьому перевага віддається сенсорам, що забезпечують неперервний процес вимірювань і перетворень в реальному часі. Обробка даних передбачає як перетворення форми подання інформації, так і виконання лінеаризації сигналу сенсора з використанням різних елементарних математичних функцій. При цьому біт-потоківі online-обчислювачі передбачають реалізацію потокового методу online-обчислень з одночасним паралельно-послідовним виконанням перетворень над одиничними бітами потоку відповідно до необхідної функції. Крім того, в даний час є актуальними питання створення апаратних обчислювачів з біт-потоківію формою даних, які могли б відтворювати більш широкий спектр функціональних залежностей одним способом і використовувати при їх технічній реалізації уніфіковані реконфігуровані компоненти для синтезу архітектур, забезпечуючи при цьому виконання заданих вимог за точністю та часом обчислення (відтворення) апроксимуючих функцій. Таким чином, розробка спеціалізованих апаратних біт-потоківію online-обчислювачів елементарних математичних функцій є актуальною.

Значний внесок у розвиток теорії, методів та побудови засобів функціонального перетворення та математичної обробки сигналів внесли вітчизняні та зарубіжні вчені: В.Б. Смолів, Е.П. Угрюмов, В.С. Гутников, В.П. Данчєєв, О.О. Воронов, П.П. Орнатський, Meyer M.A., В.М. Gordon, J.R.Rice, В.Л. Словінський, Є.М. Браго, Е.І. Гітис, В.П. Боюн, В.М. Шляндин, О.В. Шахов, М.М. Сафьянников, Г.О. Паламарюк та інші.

Зв'язок роботи з науковими програмами та темами. Розробка розділів дисертації здійснювалася відповідно до планів держбюджетних НДР і міжнародних договорів, що виконувалися на кафедрі автоматизації проектування обчислювальної техніки (АПОТ) Харківського національного університету радіоелектроніки в період з 2015 року, у тому числі: 1) Держбюджетна науково-дослідна фундаментальна робота №297 “Кіберфізична система – «Розумне хмарне управління транспортом» (Cyber Physical System – Smart Cloud Traffic Control)” 01.01.2015-31.12.2017 № 0115U-000712 від 04.03.2015; 2) Фундаментальна НДР № 316 "Cyber Physical System – Smart Cyber University" (2017-2019), № ДР 0117U0002524. 3) Проект 530785-TEMPUS-1-2012-1-PL-TEMPUS-JPCR Curricula Development for New Specialization: Master of Engineering in Microsystems Design (MastMEMS)» сумісно з університетом «Львівська політехніка», Київським національним університетом, Технічним університетом м. Лодзь (Польща), Ліонським університетом (Франція), Університетом м. Ільменау (Німеччина), Університетом м. Павія (Італія) на 2012 – 2016 рр. Здобувач брав участь у проведенні зазначених робіт як виконавець і розробив моделі, методи, проектування біт-потоків online-обчислювачів.

Науково-практична задача дослідження – розробка моделей та процедур автоматизованого проектування апаратних біт-потоків online-обчислювачів елементарних математичних функцій.

Сутність дослідження полягає у підвищенні точності обчислень та швидкодії отриманих результатів в апаратних біт-потоків online-обчислювачах елементарних математичних функцій визначеного класу за рахунок розробки математичних моделей обчислювачів на основі методу формування приростів висхідних ступінчастих функцій. Розширення функціональних можливостей біт-потоків обчислювачів досягається за рахунок побудови реконфігурованих конвеєрних архітектур, що синтезовані на основі базових архітектурних компонентів і дозволяють розробити єдиний підхід до їх автоматизованого синтезу з використанням мов опису апаратури. Підвищення наглядності та інваріантності реалізації формальними мовами програмування та опису апаратури досягається за рахунок чіткості та коректності алгоритмів реалізації функцій запропонованими графовими моделями при розробці апаратних моделей біт-потоків обчислювачів на основі кінцевих автоматів. Проектування запропонованих обчислювачів здійснюється з використанням інструментальних засобів систем автоматизованого проектування на основі мов опису апаратури для подальшого синтезу та імплементації в ПЛІС.

Мета і задачі дослідження. Метою дослідження є розробка математичних, архітектурних моделей апаратних біт-потоків обчислювачів елементарних математичних функцій для підвищення точності обчислень і швидкодії пристроїв за рахунок застосування методу формування приростів висхідних ступінчастих функцій і швидкодіючих конвеєрних структур та створення апаратних моделей online-обчислювачів на основі кінцевих автоматів.

Для досягнення поставленої мети необхідно вирішити такі задачі:

1) Проаналізувати особливості функціонального перетворення бітових потоків даних в системах реального часу.

2) Удосконалити математичні моделі біт-потоківих online-обчислювачів елементарних функцій з використанням методу формування приростів висхідних ступінчастих функцій з мінімізацією похибки обчислень.

3) Удосконалити математичні моделі біт-потоківих online-обчислювачів ірраціональних функцій, на основі отриманих математичних моделей online-обчислювачів.

4) Удосконалити архітектурні моделі біт-потоківих online-обчислювачів елементарних математичних функцій шляхом використання швидкодіючих конвеєрних структур основі удосконалених математичних моделей біт-потоківих обчислювачів.

5) Розробити нові апаратні моделі на основі кінцевих автоматів шляхом створення графових моделей реалізації елементарних алгебраїчних функцій і застосувати єдиний підхід до автоматизованого синтезу архітектурних моделей з використанням мов опису апаратури.

6) Розробити апаратну реалізацію біт-потоківого обчислювача степеневих функцій на основі математичної моделі обчислювача, архітектурної конвеєрної моделі мовою опису апаратури VHDL з використанням автоматного шаблону та імплементації в ПЛІС Xilinx.

Об'єкт дослідження – процеси проектування апаратних біт-потоківих online-обчислювачів елементарних математичних функцій.

Предмет дослідження – математичні та апаратні моделі спеціалізованих апаратних online-обчислювачів елементарних математичних функцій з біт-потоківого формою даних.

Методи дослідження – теорія апроксимації та наближення функцій, теорія арифметичних рядів для формування математичних моделей online-обчислювачів елементарних математичних функцій, методи побудови конвеєрних структур функціональних перетворювачів для побудови архітектур online-обчислювачів, прикладна теорія цифрових автоматів, теорія графів для розробки апаратних моделей обчислювачів, методи, засоби, мови проектування і моделювання цифрових систем для розробки апаратних моделей запропонованих пристроїв.

Наукова новизна отриманих результатів:

1. *Вперше запропоновано* апаратні моделі біт-потоківих online-обчислювачів елементарних математичних функцій на основі кінцевих автоматів, що характеризуються графовими моделями, які дозволили забезпечити чіткість і несуперечливість алгоритмів реалізації функцій для підвищення наглядності та інваріантності реалізації формальними мовами програмування та опису апаратури.

2. *Удосконалено* математичні моделі біт-потоківих online-обчислювачів елементарних математичних функцій, які на відміну від існуючих, здійснюють формування приростів висхідних ступінчастих функцій з мінімізацією похибки обчислень, що дозволило підвищити точність та швидкодію отримання

результатів.

3. *Удосконалено* математичні моделі біт-потоківих online-обчислювачів ірраціональних функцій, які на відміну від існуючих представлені декомпозицією математичних моделей обчислювачів елементарних математичних функцій, що дозволило розширити функціональні можливості обчислювачів відтворюваних функцій при цифровій обробці бітових потоків даних.

4. *Отримали подальший розвиток* методи побудови архітектурних моделей апаратних біт-потоківих online-обчислювачів елементарних математичних функцій шляхом використання швидкодіючих конвеєрних структур, що дозволило підвищити швидкодію запропонованих пристроїв і застосувати єдиний підхід до їх автоматизованого синтезу з використанням мов опису апаратури.

Практичне значення отриманих результатів досліджень полягає у розробці апаратних моделей біт-потоківих функціональних обчислювачів, які сформовані на основі кінцевого автомату моделі Мура, що дали можливість створити однотипні графові моделі і HDL-моделі у формі автоматного шаблону для реалізації алгоритмів відтворюваних функцій запропонованих біт-потоківих обчислювачів інструментальними засобами САПР ПЛІС; розробці апаратної реалізації біт-потоківих обчислювачів степеневих функцій, що виконаний шляхом удосконалення математичної моделі, побудови архітектурної моделі мовою опису апаратури VHDL на основі автоматного шаблону та імплементації в ПЛІС Xilinx. Він може бути використаний в децентралізованих системах управління та контролю в якості компонента функціонального перетворення бітових потоків даних, отриманих з сенсорів з частотним та час-імпульсним виходом.

Результати дисертації у складі математичних та апаратних моделей біт-потоківих обчислювачів елементарних математичних функцій впроваджено у освітній процес Харківського національного університету радіоелектроніки та пройшли апробацію при вивченні курсів «Логічне моделювання», «Проектування спеціалізованих архітектур комп'ютерних систем» (акт про впровадження від 11.02.2021).

Отримані в процесі виконання досліджень наукові висновки і практичні результати є достовірними, що підтверджується достатньою кількістю проведених експериментів, верифікацією, синтезом і моделюванням біт-потоківих online-обчислювачів.

Практична значущість наукових досліджень підтверджується впровадженням на підприємстві НПО «Желдоравтоматика» (довідка про впровадження від 02.02.2021) апаратної реалізації біт-потоківих степеневих online-обчислювачів в проекти, пов'язані з розробкою систем, орієнтованих на наскрізні технології інтелектуальних сенсорів, інтернет речей, систем управління, контролю та вимірювань при узгодженні сенсорів з цифровими системами збору і обробки інформації.

Особистий внесок здобувача. Усі результати, представлені в роботі, отримані здобувачем самостійно. У роботах, опублікованих зі співавторами,

здобувачеві належать: [1] – удосконалена математична модель біт-потокowego online-обчислювача дробово-раціональних функцій; [2] – удосконалені математична та архітектурна моделі біт-потокowego обчислювача степеневих функцій; [3] – аналіз методу формування приростів висхідних ступінчастих функцій для оцінки абсолютної похибки обчислень; [4] – математична модель біт-потокowego обчислювача функцій добування кореня; [5] – архітектура швидкодіючого регістра-компактора та функціонування в режимі ущільнення кодів; [6] – удосконалена математична модель апаратних біт-потокowych обчислювачів степеневих функцій; [7] – удосконалена математична модель біт-потокowego online-обчислювача ірраціональних функцій; [8] – апаратна модель біт-потокowego online-обчислювача дробово-раціональних функцій на основі кінцевого автомату моделі Мура; [9] – математична модель біт-потокowego online-обчислювача лінійних функцій; [10] – графові моделі алгоритму реалізації степеневі функції та HDL-моделі операційного та керуючого автоматів арифметичного блоку обчислювача; [11] – аналіз функціонального перетворення бітових потоків даних в online-обчислювачах елементарних математичних функцій; [12] – огляд проблем проектування вбудованих кіберфізичних систем та підхід до їх проектування на основі моделей. Усі співавтори за спільними публікаціями здобувача згодні з задекларованою ним особистою участю. Задекларований особистий внесок здобувача в роботах, виконаних у співавторстві, відповідає темі та змістові дисертації.

Апробація результатів дисертації. Результати роботи були представлені та обговорені на наступних конференціях: 18 IEEE East-West Design and Test Symposium, 2020 (Varna, Bulgaria); 15th International scientific and practical conference «Innovation in science and technology», 2021 (Boston, USA); LIX Міжнародна науково-практична інтернет-конференція «Актуальні проблеми сучасної науки», 2021 (Дніпро, Україна); LX Міжнародна науково-практична інтернет-конференція «Лютневі наукові читання», 2021 (Київ, Україна); Міжнародний молодіжний форум «Радіоелектроніка та молодь у XXI столітті» 2018, 2019, 2020 (Харків, Україна).

Публікації. Результати дисертаційної роботи відображено у 13 друкованих працях, серед яких 4 статті у наукових журналах із Переліку наукових фахових видань України, 1 стаття в міжнародних наукових журналах за кордоном, 8 матеріалів міжнародних наукових конференцій (з них 2 за кордоном і 1 входить до наукометричної бази Scopus). Здобувачеві належить 1 публікація, що входить до наукометричної бази Scopus.

Структура і обсяг дисертації. Дисертація представлена на 176 сторінках (із них 136 сторінок основного тексту) і містить 4 розділи, 28 рисунків, 4 таблиці, список джерел із 106 найменувань (на 12 с.), 4 додатки (на 20 с.)

ОСНОВНИЙ ЗМІСТ РОБОТИ

У **вступі** обґрунтовано актуальність завдань, які вирішуються в дисертаційній роботі, сформульовано мету та задачі дослідження, наукову

новизну і практичну цінність отриманих результатів.

У **першому розділі** дано визначення бітових потоків даних та особливості їх функціонального перетворення в системах реального часу. В біт-потоківому кодуванні дані представляють собою потоки імпульсів одиначної амплітуди частотних, час-імпульсних або широтно-модульованих сигналів. При цьому інформативним параметром є фіксоване значення імпульсів (біт) довільної тривалості за часовий інтервал. Особливістю функціонального перетворення бітових потоків в online-обчислювачах є реалізація потокового методу обчислень з одночасним паралельно-послідовним виконанням перетворень відповідно до заданої функції, а саме, послідовне обчислення значень функції, що виконуються для сусідніх значень аргументу. Потоківі способи передачі та обробки інформації характеризуються можливістю реалізації перетворення за рахунок використання методів формування приростів і послідовної обробки потоків в процесі надходження одиначних біт. Проведено огляд методів відтворення елементарних математичних функцій, що покладені в основу побудови сучасних біт-потоківих функціональних online-обчислювачів, розглянуто місце online-обчислювачів в сучасних системах реального часу. Зазначено, що в якості ефективної елементарної бази для імплементації online-обчислювачів використовується платформа FPGA, що забезпечує гнучкість реконфігурації, високу швидкодію і технологічну надійність. На підставі проведеного аналізу сформульовано мету й завдання дослідження, які орієнтовані на розробку теоретичних основ і практичних засобів автоматизованого проектування апаратних біт-потоківих обчислювачів елементарних математичних функцій.

У **другому розділі** розглянуто математичний апарат, що лежить в основі розробки біт-потоківих обчислювачів елементарних функцій визначеного класу. В роботі розглянуто метод формування приростів висхідних ступінчастих функцій при функціональній обробці бітових потоків, що відповідають певним цілочисельним значенням аргументу на основі якого отримані математичні моделі online-обчислювачів.

Зазначено, що неперервна функція $y^* = f(x^*)$, обмеженнями якої є умови $x^*, y^* \geq 0$, $y^* \leq x^*$, $\frac{dy^*}{dx^*} > 0$, і яка має зворотну $x^* = \psi(y^*)$, може бути відтворена на виході апаратного біт-потоківого online-обчислювача апроксимуючою функцією

$$y = [f(x) + |\delta_{\max}|], \quad (1)$$

де x , y – вхідний і вихідний бітові потоки даних відповідно, $0,5 \leq |\delta_{\max}| < 1$ – граничне значення абсолютної похибки відтворення неперервних висхідних функцій. В (1) квадратні дужки позначають цілу частину числа. При цьому процес відтворення функції (1) може бути здійснений на основі нерівності

$$\Psi(y - |\delta_{\max}|) \leq x_y < \Psi(y - |\delta_{\max}|) + 1, \quad (2)$$

де $\Psi(y - |\delta_{\max}|)$ - функція, зворотна $f(x)$.

Нерівність (2) представляє собою формулу загального члена x_y числової послідовності біт $x_1, x_2, x_3, \dots, x_i$, що обираються з вхідного бітового потоку x і

відповідають вузлам апроксимації ступінчастої функції y . Цілочисельні значення вибірок x_y можуть бути знайдені шляхом послідовної підстановки $y = 1, 2, 3, \dots, y_k$ в нерівність (2).

При мінімальній абсолютній похибці обчислень $|\delta_{\max}| = 0,5$ значення вибірок x_y визначаються за формулою:

$$\Psi(y-0,5) \leq x_y < \Psi(y-0,5)+1. \quad (3)$$

На основі (3) значення вибірок $x_y = [\Psi(y-0,5)]+1$.

Розглянутий метод забезпечує безперервний процес відтворення функцій в реальному часі в процесі надходження бітового потоку x на вхід online-обчислювача та є оптимальним з точки зору часу відтворення функцій, що не перевищує тривалості бітового потоку x і точності відтворення функцій для цілочисельних значень аргументу при похибці обчислень $\pm 0,5$ одиниці молодшого біту аргументу. В роботі надана оцінка абсолютної похибки обчислення елементарних функцій визначеного класу. Метод формування приростів висхідних ступінчастих функцій було використано при розробці математичних моделей апаратних біт-потоків online-обчислювачів лінійних, степеневих, дробово-раціональних та ірраціональних функцій.

Так, для степеневі апроксимуючої функції, що відтворює неперервну на виході біт-потоків обчислювача:

$$y = [x^{\frac{m}{n}} + 0,5], \quad (4)$$

значення вибірок x_y можуть бути визначені на підставі формули (3) і абсолютної похибки обчислень $|\delta_{\max}| = 0,5 = \frac{1}{2}$. Отже, нерівність, що реалізується в обчислювачі, має вигляд:

$$2^n x_y^m \geq (2y_k - 1)^n \quad (5)$$

Отже, математична модель біт-потоків online-обчислювача степеневих функцій являє собою систему різницевої нерівностей та має вигляд:

$$\begin{aligned} 2^n x_1^m &\geq (2y_1 - 1)^n, \\ 2^n (x_2^m - x_1^m) + \Delta_1 &\geq (2y_2 - 1)^n - (2y_1 - 1)^n, \\ \dots &\dots \\ 2^n (x_y^m - x_{y-1}^m) + \Delta_{y-1} &\geq (2y_k - 1)^n - (2y_{k-1} - 1)^n, \end{aligned} \quad (6)$$

де Δ_{y-1} – різниця, що отримана в результаті порівняння приростів поточних значень функцій $2^n x_y^m$ и $(2y_k - 1)^n$ між двома сусідніми вузлами апроксимації відтворюваної функції на попередньому кроці порівняння; Δ_1 – різниця, отримана на першому кроці порівняння, при виконанні першої нерівності системи (6); значення $y_1 \leq y \leq y_k$ і $1 \leq y_k \leq k$; $x_0, \Delta_0 = 0$.

Значна кількість відтворюваних на практиці елементарних функцій забезпечується апроксимацією дробово-раціональними функціями. В роботі отримані математичні моделі біт-потоків обчислювачів дробово-раціональних функцій, які знаходять застосування в системах

Показано, що функція (11) трансформується у (12), якщо $p = m^q$. Абсолютні похибки обчислення дробово-раціональної функції у підкореневих виразах (10)-(12) виникають в процесі операцій ділення та добування кореня, при цьому $|\delta_{1\max}| = |\delta_{2\max}| = 0,5$. Обчислення ірраціональних функцій може бути здійснено в два етапи: на першому етапі здійснюється обчислення проміжної дробово-раціональної в підкореневих виразах (10), (11) або степеневій функції у виразі (12), а на другому етапі – добування кореня з числа, отриманого в результаті обчислення дробово-раціональної функції, або ділення степеневій функції на константу відповідно. Операція ділення числа на константу описана математичною моделлю біт-потоків обчислювача лінійних функцій.

В роботі отримано математичні моделі online-обчислювачів апроксимуючих функцій, що приведені у табл. 1.

Таблиця 1 – Апроксимуючі функції online-обчислювачів

№	Апроксимуючі функції	№	Апроксимуючі функції	№	Апроксимуючі функції
1.	$y = [\frac{a}{b}x + 0,5]$	6.	$y = [\frac{1}{p}x + 0,5]$	11.	$y = [\sqrt[q]{x} + 0,5]$
2.	$y = [x^{\frac{m}{n}} + 0,5]$	7.	$y = [\frac{x^i}{m} + 0,5]$	12.	$y = [\sqrt{x} + 0,5]$
3.	$y = [\frac{\sum_{i=0}^n a_i x^i}{\sum_{j=0}^1 b_j x^j} + 0,5]$	8.	$y = [\frac{\sum_{i=0}^n a_i x^i}{m} + 0,5]$	13.	$y = [\frac{\sum_{i=0}^n x^i}{m} + 0,5]$
4.	$y = [\sqrt[q]{[\frac{\sum_{i=0}^n a_i x^i}{m} + 0,5] + 0,5}]$	9.	$y = [\sqrt[q]{[\frac{x^i}{m} + 0,5] + 0,5}]$	14.	$y = [\sqrt{[\frac{\sum_{i=0}^n x_i^2}{n} + 0,5] + 0,5}]$
5.	$y = [\frac{1}{p}[\sqrt[n]{x^m} + 0,5] + 0,5]$	10.	$y = [\frac{1}{p}[\sqrt{\sum_{i=1}^n x_i^2} + 0,5] + 0,5]$	15.	$y = [\sqrt{\sum_{i=1}^n x_i^2} + 0,5]$

Розглянуто алгоритм обчислення поліномів, що покладений в основу побудови базової конвеєрної архітектури поліноміального online-обчислювача, який базується на визначенні послідовності цілочисельних значень функції Y_i при $x = 0, 1, 2, \dots, i$, що є арифметичним рядом n -го порядку. Задача синтезу online-обчислювача вирішується шляхом зниження порядку різниць.

Основні результати розділу опубліковані в [1-4, 6, 7, 9, 11]

У **третьому розділі** запропоновано єдиний підхід до побудови архітектурних моделей біт-потоків обчислювачів, враховуючи принципи організації обчислювального процесу, на основі аналізу отриманих математичних моделей, що дозволяє здійснювати синтез архітектурних рішень. Виконання обчислювальних процедур єдиним способом дозволяє використовувати в таких моделях вузьку номенклатуру компонентів, що дає можливість застосування уніфікованих блоків.

В роботі запропоновано дві узагальнені архітектури біт-потоків обчислювача та обчислювача ірраціональних функцій відповідно (рис.1, 2). Узагальнена архітектура online-обчислювача (рис.1) містить: блоки Block1 і Block2, що представляють собою конвеєрні архітектури, побудовані на основі

базової структури біт-потокowego обчислювача поліноміальних функцій і формують прирости ґратчастих функцій лівої та правої частин нерівностей математичних моделей online-обчислювачів. Основним обчислювальним ядром online-обчислювачів обрано паралельний нагромаджуючий суматор SM_RES зі зворотним зв'язком, що використовується в якості компонента порівняння паралельних кодів і порівнює прирости двох одночасно відтворюваних висхідних ступінчастих функцій. Прирости функції аргументу подаються в SM_RES за допомогою біт вхідного бітового потоку x в прямому паралельному двійковому кодi, а прирости функції, що являють собою рівні відтворюваної ступінчастої функції y - його вихідними бітами в додатковому кодi. Біти переповнення SM_RES відповідають початку формування кожної чергової сходинки апроксимуючої функції обчислювача.

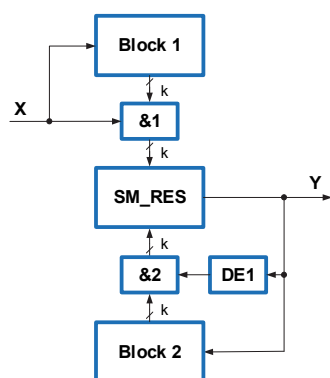


Рисунок 1 – Узагальнена архітектура online-обчислювача

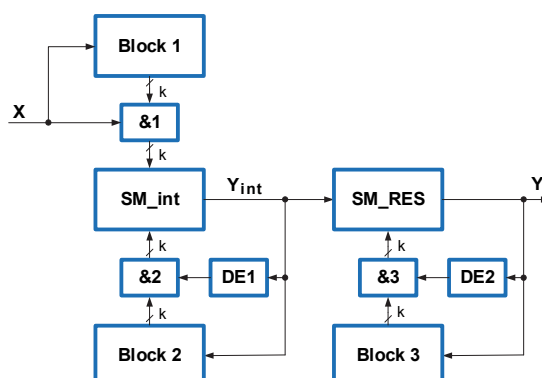


Рисунок 2 – Узагальнена архітектура обчислювача ірраціональних функцій

На основі узагальненої архітектури online-обчислювача можуть бути синтезовані архітектурні моделі online-обчислювачів лінійної, степеневі, дробово-раціональної функції і функції добування кореня шляхом їх перебудови в залежності від виду елементарної функції.

Узагальнена архітектура обчислювача ірраціональних функцій містить 2 модулі: 1) модуль обчислення проміжної функції $y_{int} := f(x)$, що містить блоки Block1, Block2 і суматор SM_int; 2) модуль обчислення результату ірраціональної функції $y = f(x)$, що містить блок Block3 і суматор результату SM_RES. Блоки Block1, Block2, Block3 – конвеєрні архітектури, побудовані на основі обчислювача поліноміальних функцій.

Перший варіант архітектури ірраціонального обчислювача, що реалізує функції (10), (11), містить модулі біт-потокowego обчислювача дробово-раціональних функцій та обчислювача функцій добування кореня. Другий варіант архітектури ірраціонального обчислювача, що реалізує функцію (12), містить модулі біт-потокowego обчислювача степеневих функцій та дільника чисел, побудованого на обчислювачі лінійних функцій. В роботі зазначено, що другий варіант архітектури online-обчислювача ірраціональних функцій y порівнянні з першим має певну перевагу, якщо у дробово-раціональному показнику степеневі функції чисельник менше

Архітектура дробово-раціонального online-обчислювача (рис.4) є синтезом online-обчислювачів поліноміальних та лінійних функцій, в якій реалізується система нерівностей (9): Block1 - біт-потоківий конверсний обчислювач поліноміальних функцій, що відтворює функцію $N = 2 \sum_{i=0}^n a_i x_y^i$, Block2 – online-обчислювач лінійної функції, що реалізує функцію $M = m(2y_k - 1)$. SM_RES є спільним компонентом в архітектурах, на виході якого генерується вихідний біт у, що є результатом обчислення відповідних функцій. В дробово-раціональному обчислювачі ініціалізація компонентів Block1 аналогічна ініціалізації компонентів степеневого обчислювача. У Block2 копонент RG2 ініціалізується додатковим кодом числа $2^k - 2m$. На виході обчислювача генерується вихідний бітовий потік у функції (7).

Основні результати розділу опубліковані в [1, 2, 5].

У **четвертому розділі** розглянуто підхід до проектування online-обчислювачів на основі кінцевих автоматів, що дало можливість розробити графи переходів керуючого автомату online-обчислювачів та граф-схеми алгоритмів операційного автомату реалізації конкретних математичних функцій і на їх основі розробити HDL-моделі реалізації алгоритмів відтворюваних функцій запропонованих біт-потоківих обчислювачів інструментальними засобами САПР ПЛІС. Розроблено апаратну реалізацію online-обчислювача степеневих функцій, побудовані апаратні моделі мовою опису апаратури VHDL з використанням автоматного програмування, пристрій синтезований та імплементований в ПЛІС Xilinx, оцінено апаратурні витрати, а моделювання здійснювалося за допомогою Active-HDL.

При побудові апаратних моделей лінійних, степеневих, дробово-раціональних функцій і функцій добування кореня online-обчислювачів використана автоматна модель Мура, яка найбільш придатна для опису online-обчислювачів. Керуючий автомат пристрою описується графом переходів, що був отриманий в результаті розмітки ГСА арифметичного блоку обчислювача (рис.5) і дозволив підвищити чіткість та наочність керування обчислювальними станами пристрою. На рис. 6 представлено фрагмент HDL-моделі керуючого автомату обчислювача, в формі автоматного шаблону з використанням оператора case.

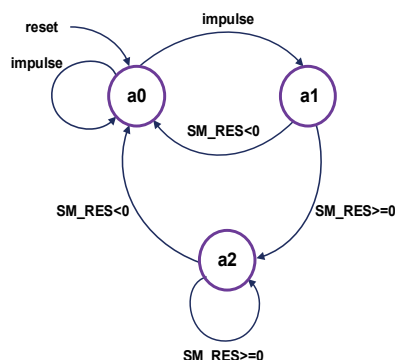


Рисунок 5 – Граф переходів керуючого автомату обчислювача

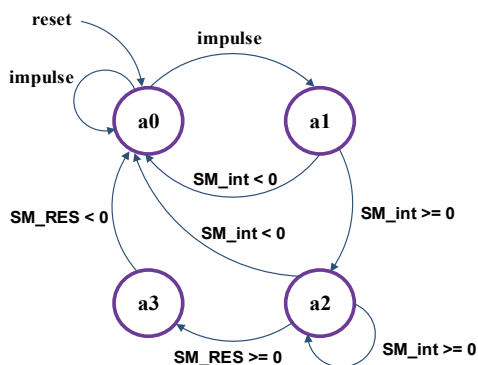
```

begin
case (state) is
when a_0 =>
if x_i = '1' then next_state <= a_1;
else next_state <= a_0;
end if;
when a_1 =>
if sum_less_zero_i = '1' then next_state <= a_0;
else next_state <= a_2;
end if;
when a_2 =>
if sum_less_zero_i = '1' then next_state <= a_0;
else next_state <= a_2;
end if;
when others => next_state <= a_0;
end case;
end begin;
  
```

Рисунок 6 – Фрагмент HDL-моделі керуючого автомату обчислювача

Біт-поточковий обчислювач, представлений на основі операційного пристрою, який є композицією керуючого мікропрограмного і операційного автоматів. Операційний автомат має обчислювальні стани, в яких виконуються мікрооперації, а саме, конвеєрні обчислення функціональних пристроїв, що ініціюються сигналами керуючого автомату. При цьому керуючий автомат визначає порядок слідування керуючих сигналів і виконання послідовності мікрооперацій на основі ГСА та множину сповіщувальних сигналів, що генерує операційний автомат.

На підставі ГСА реалізації ірраціональних функцій розроблено граф переходів керуючого автомату online-обчислювача ірраціональних функцій (рис.7). На рис.8 представлено фрагмент HDL-моделі керуючого автомату обчислювача.

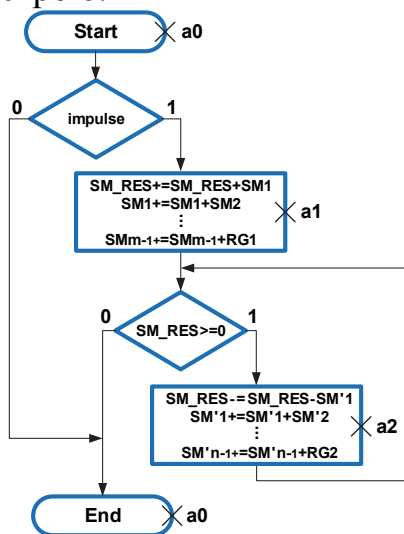


```
begin
case (state) is
when a_0 =>
if x_i = '1' then next_state <= a_1;
else next_state <= a_0;
end if;
when a_1 =>
if sum1_above_zero_i = '1' then next_state <= a_2;
else next_state <= a_0;
end if;
when a_2 =>
if sum2_above_zero_i = '1' then next_state <= a_3;
else next_state <= a_0;
end if;
when a_3 => next_state <= a_0;
when others => next_state <= a_0;
end case;
```

Рисунок 7 – Граф переходів керуючого автомату обчислювача

Рисунок 8 – Фрагмент HDL-моделі керуючого автомату

На рис. 9 приведено ГСА операційного автомату реалізації степеневі функції, на рис.10 – фрагмент HDL-моделі операційного автомату степеневого обчислювача, в якому описаний процес конвеєрних обчислень в компонентах пристрою.



```
begin
if (reset_i = '1') then
counter <= CONV_STD_LOGIC_VECTOR(8, width1);
sum_1 <= CONV_STD_LOGIC_VECTOR(-1, width2);
sum_2 <= CONV_STD_LOGIC_VECTOR(26, width2);
sum_3 <= CONV_STD_LOGIC_VECTOR(72, width1);
else
if (falling_edge(clock_i)) then
if (sum_plus_a_i = '1') then
sum_1 <= sum_1 + counter;
counter <= counter + 16;
else
if (sum_minus_b_i = '1') then
count <= count + 1;
sum_1 <= sum_1 - sum_2;
sum_2 <= sum_2 + sum_3;
sum_3 <= sum_3 + 48;
end if;
end if;
end if;
end if;
```

Рисунок 9 – ГСА реалізації степеневі функції

Рисунок 10 – Фрагмент HDL-моделі операційного автомату степеневого обчислювача

В роботі розроблено апаратну реалізацію online-обчислювача для функції $y = \lceil x^{\frac{2}{3}} + 0,5 \rceil$. Значення вибірок x_y з вхідного бітового потоку визначаються на за формулою $x_y = \lceil (y-0,5)^{\frac{3}{2}} \rceil + 1$. При підстановці значень $y = 1, 2, 3, 4, 5$ отримано значення вибірок $x_y = 1, 2, 4, 7, 10$ відповідно.

У степеневому обчислювачі реалізується нерівність $2^3 x_y^2 \geq (2y-1)^3$. Обчислення лівої та правої частин нерівності виконується на основі алгоритму конвеєрних обчислень, що передбачає обчислення арифметичних рядів 2-го і 3-го порядків відповідно при підстановці значень $x = \overline{0,8}$, $y = \overline{1,7}$. При цьому питання синтезу пристрою здійснюються шляхом зниження порядку різниць.

Для функції $2^3 x_y^2$, арифметичний ряд 2-го порядку та арифметичні ряди різниць 1-го і 2-го порядків мають вигляд:

у: 0, 8, 32, 72, 128, 200, 288, 392, ...;
 Δ 8, 24, 40, 56, 72, 88, 104, ...;
 Δ^2 16, 16, 16, 16, 16, 16, ...

Для функції $(2y-1)^3$ арифметичний ряд 3-го порядку та арифметичні ряди різниць 1-го, 2-го і 3-го порядків мають вигляд:

у: 1, 27, 125, 343, 729, 1331, 2197, ...;
 Δ 26, 98, 218, 386, 602, 866, ...;
 Δ^2 72, 120, 168, 216, 264, ...;
 Δ^3 48, 48, 48, 48, ...

Архітектура пристрою розроблена на основі архітектурної моделі (рис. 3) та містить компоненти: SM_RES, лічильник Count, RG1, що реалізують функцію $2^3 x_y^2$ і SM_RES, SM1, SM2, регістр RG2, що реалізують функцію $(2y-1)^3$. SM_RES здійснює порівняння паралельних кодів приростів функцій $2^3 x_y^2$ і $(2y-1)^3$. Ініціалізація компонентів архітектури здійснюється першими членами арифметичних рядів та їх різниць відповідно: Count = 8, SM_RES = -1, SM1 = 26, SM2 = 72, RG1 = 16, RG2 = 48. На рис. 11 наведено результати обчислення значень функції з похибкою $|\delta_{\max}| = 0,5$. На рис. 12 наведено результати обчислювального процесу в компонентах пристрою. При подачі на вхід пристрою $x=7$ біт вхідного потоку на його виході з'являться 4 біти вихідного потоку y , що є вибірками x_y і підтверджується розрахунками.

X	Значення функції Y
x = 1	$y = \lceil 1^{\frac{2}{3}} + 0,5 \rceil = \lceil 1,5 \rceil = 1$
x = 2	$y = \lceil 2^{\frac{2}{3}} + 0,5 \rceil = \lceil 2,09 \rceil = 2$
x = 3	$y = \lceil 3^{\frac{2}{3}} + 0,5 \rceil = \lceil 2,58 \rceil = 2$
x = 4	$y = \lceil 4^{\frac{2}{3}} + 0,5 \rceil = \lceil 3,02 \rceil = 3$
x = 5	$y = \lceil 5^{\frac{2}{3}} + 0,5 \rceil = \lceil 3,42 \rceil = 3$
x = 6	$y = \lceil 6^{\frac{2}{3}} + 0,5 \rceil = \lceil 3,8 \rceil = 3$
x = 7	$y = \lceil 7^{\frac{2}{3}} + 0,5 \rceil = \lceil 4,16 \rceil = 4$

Рисунок 11 – Результати обчислення степеневі функції

X	SM_RES	Y	Count	SM1	SM2
1	-1+8=7	1	8+16=24	26+72=98	72+48=120
	7-26=-19				
2	-19+24=5	1	24+16=40	98+120=218	120+48=168
	5-98=-93				
3	-93+40=-53		40+16=56		
4	-53+56=3	1	56+16=72	218+168=386	168+48=216
	3-218=-215				
5	-215+72=-143		72+16=88		
6	-143+88=-55		88+16=104		
7	-55+104=49	1	104+16=120	386+216=602	216+48=264

Рисунок 12 – Обчислювальний процес в компонентах пристрою

Верифікація моделі досліджуваного online-обчислювача виконувалась з використанням системи моделювання Active-HDL. На рис. 13 представлено результати моделювання поведінкової моделі біт-потокowego online-обчислювача степеневої функції.

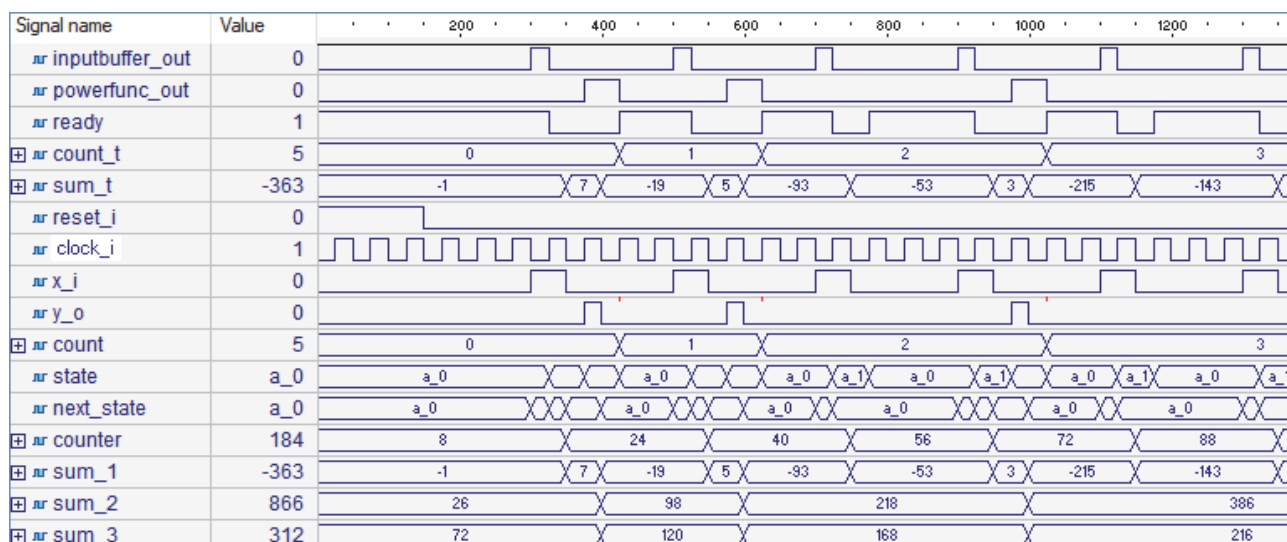


Рисунок 13 – Результати моделювання поведінкової моделі біт-потокowego online-обчислювача степеневої функції

Синтез пристрою виконаний за допомогою САПР XILINX ISE. Для схемної реалізації обчислювача використана технологічна платформа ПЛІС Xilinx SPARTAN 3E серії XC3S100E, у якій було задіяно приблизно 6% ресурсів. Максимальна частота роботи пристрою 125 MHz. Розрядність компонентів: 24-розрядні SM_RES, SM1 і 16-розрядні Count, SM2.

Проведено аналіз порівняння варіантів схемної реалізації (синтезу) HDL-моделей удосконаленої моделі степеневого online-обчислювача і базової моделі (аналога), що дозволяє оцінити величину витрат апаратури за допомогою критерію Квайну (рис.14, рис.15). Витрати по Квайну визначаються як сумарна кількість входів усіх вентилів у схемі, оскільки число входів вентиля пропорційно числу транзисторів в ньому.

Біт-потоковой степеневий online-обчислювач	Число тригерів	Витрати по Квайну
Базова модель (I)	107	289
Удосконалена модель (II)	91	246

Рисунок 14 – Апаратурні витрати по Квайну

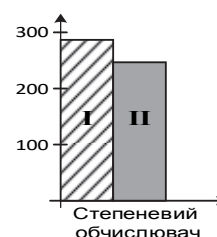


Рисунок 15 Порівняльний аналіз апаратурних витрат

Синтез удосконаленої моделі обчислювача засобами САПР XILINX ISE показав, що апаратурні витрати при цьому зменшуються в середньому на 15%. Схемна реалізація VHDL-моделей обчислювача засобами САПР XILINX ISE на ПЛІС Spartan 3E довела, що апаратурні витрати для синтезу удосконаленої моделі степеневого обчислювача у середньому менше на 20% від апаратурних витрат базової моделі пристрою (рис.16.). Це підтверджує ефективність запропонованих підходів проектування математичної, архітектурної та

апаратної моделі online-обчислювача при автоматизованому проектуванні з використанням САПР ПЛІС.

№	Тип: ПЛІС Spartan 3E	Апаратні витрати	
		(I)	(II)
1	Кількість модулів	65 out of 960	55 out of 960
2	Кількість тригерів	107 out of 1,920	91 out of 1,920
3	Кількість 4-х входних LUT	131 out of 1,920	108 out of 1,920
4	Number of GCLKs	1 out of 24	1 out of 24
5	Number of bonded IOBs	24 out of 66	20 out of 66

Рисунок 16 – Моделювання та синтез обчислювача

Аналіз апаратних витрат базової моделі (аналога) показує, що існує залежність збільшення апаратних витрат в геометричній прогресії (додаткового блоку розподілення вихідних біт в зворотному зв'язку архітектури обчислювача), що пов'язана із зростанням значення знаменника в дробово-раціональному показнику степеня. Отже, в удосконаленій моделі обчислювача додатковий блок відсутній завдяки покращеній математичній моделі пристрою.

Проведено експериментальні дослідження апаратної реалізації online-обчислювачів степеневих, дробово-раціональних та ірраціональних функцій, які було імплементовано в ПЛІС Xilinx Spartan 3E. На рис.17 і рис.18 приведено частотні характеристики пристроїв та їх порівняльний аналіз, що були отримані в результаті моделювання після імплементатії.

Online-обчислювач	Період частоти T вхідного сигналу, ns	Максимальна частота F, MHz
Степневий (1)	8 ns	125 MHz
Дробово-раціональний (2)	10,3 ns	97 MHz
Ірраціональний (3)	10,7 ns	93 MHz
Ірраціональний (4)	7,7 ns	130 MHz

Рисунок 17 – Частотні характеристики online-обчислювачів

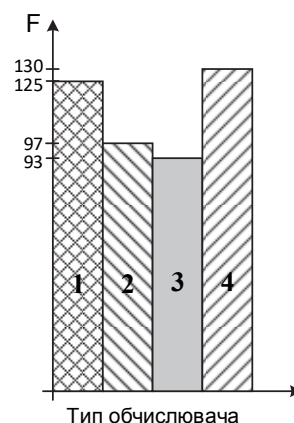


Рисунок 18 – Порівняльний аналіз частотних характеристик

Аналізуючи приведені дані можна зробити висновок, що максимальна частота роботи ірраціонального обчислювача (4) на основі степеневого пристрою на 28% вище за максимальну частоту роботи ірраціонального обчислювача (3) на основі дробово-раціонального пристрою, що підтверджує теоретичні висновки. Наведені результати довели достовірність та ефективність запропонованих моделей та методів проектування апаратних біт-потоків online-обчислювачів елементарних математичних функцій.

Основні результати розділу опубліковані в [1, 2, 6, 8, 10, 12].

ВИСНОВКИ

Проведені науково-технологічні дослідження в рамках дисертаційної роботи вирішують актуальну науково-практичну задачу розробки моделей та методів проектування апаратних online-обчислювачів елементарних математичних функцій з бітовими потоками даних.

Автором одержано такі наукові та практичні результати:

1. Дано теоретичне узагальнення та розроблено удосконалені математичні моделі біт-потоківих online-обчислювачів елементарних математичних функцій методом формування приростів висхідних ступінчастих функцій з мінімізацією похибки обчислень, що складає $\pm 0,5$ одиниці молодшого біту аргументу, та на відміну від існуючих, дозволило підвищити точність та швидкодію отримання результатів. Запропоновані алгоритми формування апроксимуючих елементарних функцій здійснюють формування вузлів апроксимації в реальному часі при надходженні бітового потоку даних на вхід online-обчислювача. Процес обчислення функцій забезпечує принцип вибірки певних біт з вхідного бітового потоку, що визначається аналітичним виразом функції та абсолютною похибкою обчислень.

2. Удосконалено математичні моделі біт-потоківих online-обчислювачів ірраціональних функцій, які представлені декомпозицією математичних моделей обчислювачів елементарних математичних функцій, що дозволило розширити функціональні можливості обчислювачів відтворюваних функцій при цифровій обробці бітових потоків даних. Показано, що математична модель online-обчислювача ірраціональних функцій на основі біт-потоківого обчислювача степеневі функції дала можливість розширити частотний діапазон вхідного бітового потоку.

3. Отримали подальший розвиток методи побудови архітектурних моделей апаратних біт-потоківих online-обчислювачів елементарних математичних функцій шляхом використання базових швидкодіючих конвеєрних структур, що дозволило підвищити швидкодію запропонованих пристроїв, можливість реконфігурації архітектур у відповідності до реалізації конкретної функції і застосувати єдиний підхід до їх автоматизованого синтезу з використанням мов опису апаратури. Запропоновано узагальнені та деталізовані архітектури біт-потоківих online-обчислювачів елементарних математичних функцій, який дозволив створити удосконалені рішення уніфікованих архітектур на основі базових конвеєрних структур, що дозволили підвищити швидкодію пристроїв на їх основі.

4. Основним обчислювальним ядром в архітектурних моделях є компонент порівняння приростів двох одночасно відтворюваних висхідних ступінчастих функцій, реалізований на паралельному нагромаджуючому суматорі зі зворотним зв'язком. Прирости однієї з функцій подаються в суматор за допомогою біт вхідного бітового потоку в прямому коді, а прирости іншої функції - його вихідними бітами в додатковому коді. Біти переповнення суматору відповідають початку формування кожної чергової сходинки апроксимуючої функції обчислювача.

5. Розроблено нові автоматні моделі online-обчислювачів, графові моделі яких дозволили забезпечити чіткість та несуперечливість алгоритмів реалізації елементарних функцій для підвищення наглядності та інваріантності реалізації формальними мовами програмування та опису апаратури, дали можливість розробити HDL-моделі, в яких описані алгоритми реалізації конкретних елементарних функцій. Розроблені VHDL-описи моделюються, синтезуються та імплементуються інструментальними засобами систем автоматизованого проектування цифрових пристроїв XILINX ISE на платформі ПЛІС Spartan 3E.

6. Проведено апробацію шляхом апаратної реалізації й оцінку розроблених моделей та методів проектування на прикладі біт-потокowego online-обчислювача степеневих функцій. Побудовані ГСА реалізації конкретної степеневі функції та граф переходів керуючого автомату моделі Мура арифметичного блоку обчислювача, розроблені автоматні HDL-моделі з використанням стилю автоматного програмування. Працездатність апаратної моделі степеневого online-обчислювача підтверджено перевіркою результатів за допомогою верифікації поведінкової моделі з використанням САПР Active-HDL та автоматизованим синтезом та імплементациєю в платформу ПЛІС Xilinx Spartan 3E, а також оцінено апаратні витрати у порівнянні з аналогічним пристроєм. Це дозволило мінімізувати апаратні витрати при побудові пристрою за рахунок удосконалених математичної моделі та архітектури обчислювача, що підтверджено оцінками по Квайну синтезованих моделей.

Ринкова привабливість дослідження. Впровадження моделей та методів проектування апаратних біт-потокowych online-обчислювачів елементарних функцій приведе до зменшення затрат часу на їх проектування і розширенню функціональних можливостей запропонованих технічних рішень.

СПИСОК ОПУБЛІКОВАНИХ РОБІТ ЗА ТЕМОЮ ДИСЕРТАЦІЇ

Список публікацій здобувача, в яких опубліковані основні наукові результати дисертації:

1. Ларченко Б.Д. Апаратний біт-потокowy online обчислювач дробово-раціональних функцій. [Текст] / О.С. Шкіль, Б.Д. Ларченко, Л.В. Ларченко, І.В. Філіппенко, С.В. Ющенко // Радіоелектроніка та інформатика. – 2020. – № 3. – С. 55-63. (Входить до міжнародних наукометричних баз Index Copernicus, Google Scholar, OECSP, OAJI, Scholar Steer, SIS, Cyberleninka, CiteFactor, TIU Hannover, I2OR, Національної бібліотеки України ім. В. І. Вернадського).

2. Ларченко Б.Д. Апаратний online вычислитель степенных функций с битовым потоком данных. [Текст] / Ларченко Б.Д., Шкиль А.С., Ларченко Л.В. // East European Scientific Journal, Warsaw, Poland. – 2021. – № 01(65). – 37-45 С. (Входить до міжнародних наукометричних баз Index Copernicus, Google Scholar, E-library, Academic Resource Index, ISI, Cosmos Impact Factor) .

3. Ларченко Б.Д. Функціональне перетворення імпульсних потоків в апаратних обчислювачах математичних функцій. [Текст] / Л.В. Ларченко, Е.М.

Кулак, Б.Д. Ларченко // *Радіоелектроніка та інформатика*. – 2019. – №3. – С. 31-38. (Входить до міжнародних наукометричних баз Index Copernicus, Google Scholar, OECSP, OAJI, Scholar Steer, SIS, Cyberleninka, CiteFactor, TIU Hannover, I2OR, Національної бібліотеки України ім. В. І. Вернадського).

4. Ларченко Б.Д. Декомпозиція математичної моделі апаратного біт-потокowego обчислювача ірраціональних функцій. [Текст] / О.С. Шкіль, Б.Д. Ларченко, Л.В. Ларченко // *Радіоелектроніка та інформатика*. – 2019. – №4. – С. 46-52. (Входить до міжнародних наукометричних баз Index Copernicus, Google Scholar, OECSP, OAJI, Scholar Steer, SIS, Cyberleninka, CiteFactor, TIU Hannover, I2OR, Національної бібліотеки України ім. В. І. Вернадського).

5. Ларченко Б.Д. Сравнительная оценка быстродействия регистров-компакторов синхронного и асинхронного типов. [Текст] / Л.В. Ларченко, В.В. Варца, Б.Д. Ларченко, А.Н. Макаренко // *АСУ и приборы автоматки*. – 2014. – № 166. – С. 9-14. (Входить до міжнародних наукометричних баз Google Scholar, Національної бібліотеки України ім. В. І. Вернадського).

Результати, які засвідчують апробацію матеріалів дисертації:

6. Larchenko B.D. Bit-Stream Power Function Online Computer / A.S. Shkil, L.V. Larchenko, B.D. Larchenko. // 18 IEEE East-West Design & Test Symposium (EWDTS'20), Sept. 4-7, Varna, Bulgaria, 2020. – P. 423-428. (Входить до міжнародних наукометричних баз Scopus, IEEE Xplore).

7. Larchenko Bogdan. Mathematical model of bit-stream online computer of irrational functions. / Larchenko Bogdan, Kuznichenko Taras. // *Innovation in science and technology*. 15th International scientific and practical conference, January 25-26, Boston, USA, 2021.– P. 82-86.

8. Ларченко Б.Д. Апаратний online обчислювач дробово – раціональних функцій з бітовим потоком даних. / Ларченко Б.Д., Ющенко С.В. // *Актуальні проблеми сучасної науки*, LIX Міжнародна науково-практична інтернет-конференція. – м. Дніпро, 18 січня, 2021. – С. 156-160.

9. Ларченко Б.Д. Математична модель біт-потокowego online-обчислювача лінійних функцій. / Ларченко Б.Д., Кузніченко Т.Б. // *Лютневі наукові читання*, LX Міжнародна науково-практична інтернет-конференція. – м. Київ, 01 лютого, 2021. С. 116-121.

10. Ларченко Б.Д. Автоматизоване проектування спеціалізованого апаратного обчислювача степеневих функцій на платформі FPGA. / Ларченко Б.Д., Шапа Л.С. // 24-й Міжнародний молодіжний форум «Радіоелектроніка та молодь у XXI столітті». – м. Харків, ХНУРЕ, 7-9 квітня, 2020. – Зб. Матеріалів Форуму. Том 5. – С. 26-27.

11. Ларченко Б.Д. Функціональне перетворення бітових потоків даних в апаратних online-обчислювачах математичних функцій. / Ларченко Б.Д. // 24-й Міжнародний молодіжний форум «Радіоелектроніка та молодь у XXI столітті». – м. Харків, ХНУРЕ, 7-9 квітня, 2020. – Зб. Матеріалів Форуму. Том 5. – С. 28-29.

12. Larchenko Bogdan. Embedded cyber-physical systems design challenges

and model-based design approach. / Larchenko Bogdan. // 23-й Міжнародний молодіжний форум «Радіоелектроніка та молодь у XXI столітті». – м. Харків, ХНУРЕ, 16 – 18 квітня, 2019. – Зб. Матеріалів Форуму. Том 5. – С. 59-60.

АНОТАЦІЯ

Ларченко Б.Д. Моделі та методи проектування апаратних біт-потоківих online-обчислювачів елементарних математичних функцій. – На правах рукопису.

Дисертація на здобуття наукового ступеня кандидата технічних наук (доктора філософії) за спеціальністю 05.13.05 – комп'ютерні системи і компоненти. – Харківський національний університет радіоелектроніки, Міністерство освіти і науки України, Харків, 2021.

Дисертація спрямована на розробку моделей та методів автоматизованого проектування апаратних біт-потоківих online-обчислювачів елементарних математичних функцій на платформі ПЛІС з використанням мов опису апаратури.

Апаратні біт-потоківі online-обчислювачі елементарних математичних функцій знаходять широке застосування в системах управління реального часу і мають ряд переваг, а саме, істотне спрощення їх технічної реалізації завдяки даним, представленим бітовими потоками, здійснення послідовної обробки потоків в темпі надходження одиничних біт і високою завадостійкістю. В роботі удосконалено математичні моделі біт-потоківих online-обчислювачів лінійних, степеневих, дробово-раціональних функцій та функцій добування кореня методом формування приростів висхідних ступінчастих функцій з мінімізацією похибки обчислень. Удосконалено математичні моделі online-обчислювачів ірраціональних функцій, що представлені декомпозицією отриманих математичних моделей обчислювачів елементарних функцій. Отримали подальший розвиток методи побудови архітектурних моделей біт-потоківих online-обчислювачів шляхом використання базових конвеєрних структур, що дозволило застосувати єдиний підхід до їх автоматизованого синтезу з використанням мов опису апаратури. Вперше запропоновано автоматні моделі online-обчислювачів, графові моделі яких дозволили забезпечити чіткість та несуперечливість алгоритмів реалізації функцій. Розроблено HDL-моделі обчислювачів у формі автоматного шаблону, що моделюються і синтезуються засобами САПР цифрових пристроїв на платформі ПЛІС. Розроблено апаратну реалізацію біт-потоківого online-обчислювача степеневих функцій, що виконана на основі побудови автоматної моделі мовою опису апаратури VHDL. Працездатність апаратної моделі підтверджено перевіркою результатів за допомогою верифікації поведінкової моделі, автоматизованим синтезом та імплементацією в ПЛІС Xilinx. Удосконалена модель online-обчислювача дозволила мінімізувати апаратні витрати, що підтверджено оцінками по Квайну синтезованих моделей.

Ключові слова: функціональне перетворення, online-обчислювач, бітовий потік даних, апроксимація, математична модель, абсолютна похибка, конвеєрна

архітектура, кінцевий автомат, граф переходів, граф-схема алгоритму, мови опису апаратури, САПР ПЛИС.

АННОТАЦІЯ

Ларченко Б.Д. Модели и методы проектирования аппаратных бит-поточковых online-вычислителей элементарных математических функций. - На правах рукописи.

Диссертация на соискание ученой степени кандидата технических наук (доктора философии) по специальности 05.13.05 - компьютерные системы и компоненты. - Харьковский национальный университет радиоэлектроники, Министерство образования и науки Украины, Харьков, 2021.

Диссертация направлена на разработку моделей и процедур автоматизированного проектирования аппаратных бит-поточковых online-вычислителей элементарных математических функций на платформе ПЛИС с использованием языков описания аппаратуры.

Аппаратные бит-поточковые online-вычислители элементарных математических функций находят широкое применение в системах управления реального времени и имеют ряд преимуществ: упрощение их технической реализации благодаря данным, представленным битовыми потоками, возможность последовательной обработки потоков в темпе поступления единичных бит и высокой помехоустойчивостью. В работе усовершенствованы математические модели бит-поточковых online-вычислителей линейных, степенных, дробно-рациональных функций методом формирования приращений возрастающих ступенчатых функций с минимизацией погрешности вычислений. Усовершенствованы математические модели online-вычислителей иррациональных функций, представленных декомпозицией усовершенствованных математических моделей вычислителей элементарных математических функций. Усовершенствованы методы построения архитектур online-вычислителей путем использования реконфигурируемых конвейерных структур, что позволило применить единый подход к их автоматизированному синтезу с использованием языков описания аппаратуры. Предложены новые автоматные модели online-вычислителей, графовые модели которых позволили обеспечить четкость и непротиворечивость алгоритмов реализации функций. Разработаны HDL-модели вычислителей в форме автоматного шаблона, моделируемые и синтезируемые средствами САПР ПЛИС. Разработана аппаратная реализация online-вычислителя степенных функций, выполненная на основе построения автоматной модели устройства на языке описания аппаратуры VHDL. Работоспособность аппаратной модели вычислителя подтверждена верификацией поведенческой модели, автоматизированным синтезом и имплементацией в платформу ПЛИС Xilinx. Усовершенствованная модель степенного online-вычислителя позволила минимизировать аппаратные затраты, подтвержденные оценкой по Квайну синтезированных моделей.

Ключевые слова: функциональное преобразование, online-вычислитель, битовый поток данных, аппроксимация, математическая модель, абсолютная

погрешность, конвейерная архитектура, конечный автомат, граф переходов, граф-схема алгоритма, язык описания аппаратуры, САПР ПЛИС.

ABSTRACT

Larchenko B. D. Models and methods for designing hardware bit-stream online computers of elementary mathematical functions. – The manuscript.

PhD thesis (candidate degree of technical sciences) in speciality 05.13.05 – Computer Systems and Components. – Kharkiv National University of Radio Electronics, Ministry of Education and Science of Ukraine, Kharkiv, 2021.

The PhD thesis is focused on development of models and methods for designing hardware bit-stream online-computers of elementary algebraic functions for the purpose of increasing calculations accuracy and speed of devices by applying a method of forming step functions increments and fast-acting pipeline structures based on finite-state machine, in order to develop a unified approach to their automated synthesis using hardware description languages.

Hardware bit-stream online-computers of elementary mathematical functions are widely used in real-time control systems and have a number of advantages, namely, significant simplification of their technical implementation due to the data being represented by bitstreams, implementation of sequential flow processing at the rate of single bits, high noise immunity. Mathematical models of bit-stream online-computers of linear, power, fractional-rational functions and functions of root extraction have been improved by the method of forming increments of ascending step functions with calculation error minimization. Improved mathematical models of bit-stream online computers of irrational functions are represented by the decomposition of elementary mathematical functions computers' mathematical models, which allowed to expand the functionality of reproducible functions computers. Methods of constructing architectural models of hardware bit-stream online-computers were further developed by using high-speed pipeline structures, which allowed to apply a single approach to their automated synthesis using hardware description languages. For the first time, hardware models of bit-stream online computers of elementary mathematical functions based on finite state machines are proposed. The FSM of the computer's arithmetic unit, containing the state diagram of the control automata of Moore's model and ASM of the offered bit-stream computers containing variable computational states of reproducible elementary mathematical functions was developed. HDL-models of machines in the form of an automatic template were developed, modeled and synthesized on the technological platform of FPGA. The performance of the hardware model of the power online computer was confirmed by verifying the behavioral model, and automated synthesis and implementation on the basis of FPGA. The improved model of the online computer allows to minimize hardware costs, which was confirmed by Quine's estimates of the synthesized models.

Key words: functional conversion, online-computer, bit-stream data, approximation, mathematical model, absolute error, pipeline architecture, finite state machine, state diagram, ASM, hardware description languages, FPGA CAD.

Підписано до друку 05.04.2021. Формат 60x84/16.
Папір офсетний. Гарнітура Times New Roman. Друк цифровий.
Ум. друк. арк. 0,9. Наклад 100 пр. Зам. № б/н.
Надруковано СПД ФО Степанов В. В., м. Харків, вул. ак. Павлова, 311
Свідоцтво про державну реєстрацію В00 № 941249 від 28.01.2003 р.

