

# ОСОБЛИВОСТІ РЕАЛІЗАЦІЇ ВУЗЛА ШВИДКОГО ПЕРЕТВОРЕННЯ ФУР'Є НА ПЛІС АРХІТЕКТУРИ FPGA

Чумак В.С.

Науковий керівник – к.т.н., доц. Свид І.В.

Харківський національний університет радіоелектроніки,  
(61166, Харків, пр. Науки, 14, каф. МТС, тел. (057)- 702-02-29)

e-mail: [valeriia.chumak@nure.ua](mailto:valeriia.chumak@nure.ua)

The controller implements the FFT graph by generating addresses for memory banks, receives the control signal about the start of the conversion, issues the spectrum ready flag and provides the output spectrum array in binary inverse order. It seems reasonable to design the controller in HDL language. This makes it possible to write a universal controller, which makes it possible to build controllers for calculators with different FFT bases by changing a parameter in the text of the controller's program code and its subsequent «recompilation».

Обробка даних в складних системах вимагає рішення задач цифрової обробки сигналів (ЦОС) і великої кількості каналів, з чим справляються Spartan-7, Artix-7, Kintex-7, Virtex-7. ПЛІС Xilinx 7 серії, які мають високошвидкісну смугу пропускання, велику кількість логічних елементів, низьке енергоспоживання і високу продуктивність за низькою ціною [1, 2].

Істотною проблемою, з якою неминуче стикається розробник схеми цифрової сигнальної обробки на ПЛІС, - це вибір оптимальної розрядності обчислювача, в нашому випадку це операція «метелик» (рис.1). Розрядність «метелика» складається з двох складових. Перша - це розрядність коефіцієнтів перетворення  $W_k$  (розрядність подання комплексних синусоїд). Друга - розрядність проміжних даних  $A$  і  $B$  (рис.1).

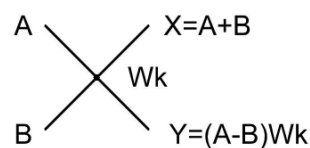


Рисунок 1 - «Метелик» для ШПФ з «проріджуванням по частоті».

На рис.2 наведена одна з можливих блок-схем апаратної реалізації операції «метелик». Вона містить 4 помножувача, які є основними споживачами апаратних ресурсів обчислювача. При цьому досягається максимальна паралельність обчислень та гранична швидкість обчислення швидкого перетворення Фур'є (ШПФ) при фіксованій тактовій частоті.

Обчислювач «метелик» виконує арифметичні операції над комплексними числами  $A$  і  $B$ , отримуючи на своїх виходах комплексні числа  $X$  і  $Y$  з тієї ж розрядністю. Побудову обчислювача «метелик» необхідно проводити за схемою з проміжним запам'ятовуванням даних в регістрах (pipeline). В силу специфіки побудови логічних блоків ПЛІС

(slices) це не призводить до зростання апаратних витрат, але дозволяє отримувати високі тактові частоти.

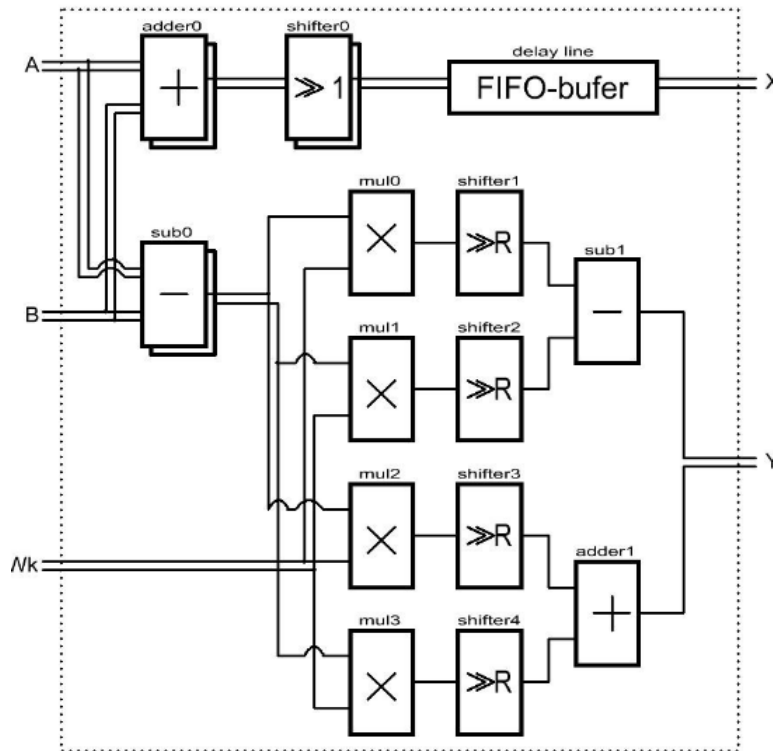


Рисунок 2 - Блок-схема апаратної реалізації операції «метелик»

При цьому утворюється обчислюючий конвеєр, затримки якого необхідно враховувати при побудові контролера. Для цієї ж мети служить FIFO-буфер (delay line), який дозволяє отримувати одночасний вихід перетворювань відліків X і Y з обчислювального конвеєра, незважаючи на несиметричність гілок «метелика».

Також зручно використовувати двопортову внутрикristальну пам'ять ПЛІС для зберігання проміжних даних. Це дає можливість одночасно читати числа A, B і писати числа X, Y незалежно від їх взаємного розташування в пам'яті.

#### Перелік використаних джерел:

1. В.С. Чумак, І.В. Свид. Перспектива использования продукта FPGA в медицинских системах. XIII Міжнародна науково-практична конференція магістрантів та аспірантів «Теоретичні та практичні дослідження молодих науковців» (С. 288-289) 19–22 листопада 2019 року: м. Харків, Україна.

2. Oleg Zubkov, Iryna Svyd, Oleksandr Maltsev, Liliia Saikivska. In-circuit Signal Analysis in the Development of Digital Devices in Vivado 2018. // First International Scientific and Practical Conference «Theoretical and Applied Aspects of Device Development on Microcontrollers and FPGAs» MC&FPGA-2019, Kharkiv, Ukraine, July 26-27, 2019. – Kharkiv: 2019. – P. 12-13.