

УДК 004.92:[004.415.5+004.436.2]

ПРОГРАМНЕ СЕРЕДОВИЩЕ MOSI HDL ДЛЯ МОДЕЛЮВАННЯ ВЕКТОРНО-ЛОГІЧНИХ СТРУКТУР

Демченко О.І.

e-mail: oleh.demchenko@nure.ua

Науковий керівник – д.т.н., проф. Хаханов В.І.

Харківський національний університет радіоелектроніки,

каф. АПОТ, м. Харків, Україна

This work introduces the MOSI HDL software environment for simulating combinational Verilog circuits. The environment supports generating high-value simulation results, fault matrices, and fault tables, along with both textual and schematic representations of the circuit. Good-value simulation (GVS) is implemented using an address-based lookup table (LUT) in vector form [1]. The fault matrix is generated using the Fault-as-Address Simulation (FAAS) method [2]. The fault table contains integral scores that reflect the circuit's test coverage [3]. Tables and schematics are cross-referenced within an integrated interactive environment, enabling coordinated exploration of simulation and fault-analysis results.

Запропоновано інженерний програмний комплекс MOSI HDL, призначений для моделювання комбінаційних цифрових схем, описаних мовою Verilog, із використанням векторної логіки. Система забезпечує наочне представлення результатів моделювання у вигляді таблиць, матриць, текстових описів та схематичних зображень у масштабованих вікнах. Архітектура MOSI HDL побудована відповідно до шаблону проєктування Model-View-Controller для vector logic in-memory computing. У межах цієї архітектури окремі функціональні операції (парсинг, розміщення елементів, трасування з'єднань, генерація таблиць) реалізовано у вигляді незалежних команд, що працюють із структурами векторних даних. Компоненти відображення забезпечують представлення цієї моделі у різних формах, зокрема у вигляді таблиць, логічних векторів та рисунків елементів і схем.

Для реалізації допоміжних задач використовуються зовнішні програмні бібліотеки. Зокрема, парсування файлів Verilog виконується за допомогою Surelog з використанням універсальної моделі апаратури UHDM [4]. Наявність такої моделі дозволила використати стандартний програмний інтерфейс Verilog Procedural Interface для зчитування структурних даних схеми. Розміщення елементів схеми (вузлів графа) здійснюється засобами бібліотеки Graphviz з подальшою корекцією результатів. Попереднє трасування з'єднань між елементами (ребрами графа) виконується пакетом FLUTE [5], тоді як остаточне трасування реалізується за допомогою алгоритму пошуку в лабіринті A*. Для підвищення ефективності трасування схема попередньо зонується відповідно до інтенсивності нагромадження

вузлів. Графічний інтерфейс системи реалізовано з використанням бібліотеки Qt, тоді як алгоритмічна частина та основна бізнес-логіка побудовані на базі бібліотек Boost. У межах подальшого розвитку системи розробляється веб-модуль, який із використанням контейнеризації Docker дозволить розгортати програму у вигляді веб-сервісу. Програмний комплекс підтримується на операційних системах Microsoft Windows, Linux та macOS.

Таблиця 1 – Час в секундах для кожної з дії в середовищі MOSI HDL

Дія	ISCAS85							
	c17	c432	c499	c880	c1355	c1908	c3540	c6288
Verilog парсинг за допомогою Surelog	0.343	1.3	1.4	2.8	4.7	4	9.7	20.3
Розміщення графа схеми за допомогою Graphviz	0.004	0.1	0.3	0.3	1.1	1.5	10.9	60.2
Трасування графа схеми	0.003	0.5	0.8	0.6	1.8	4.6	10.3	4.5
Генерація результатів справного моделювання	0.004	2.3	2.3	5.7	6.9	8.3	16.9	26.7
Генерація таблиці несправностей для перших 1024 векторів	0.005	3.4	4.1	7.6	19.2	19	52	209.3
Повний час	0.359	7.7	8.8	17	33.7	37.4	99.9	320.9
Середній час генерування одного вектора	0.0002	0.003	0.004	0.007	0.019	0.019	0.051	0.204

Список використаних джерел:

1. Hahanov V. Vector-Logical In-Memory Simulation of Faults as Truth Table Addresses / V. Hahanov, E. Litvinova, H. Hahanova, S. Chumachenko, Z. Davitadze, I. Hahanova, H. Kulak, V. Ponomarova, V. H. Abdullayev // 2024 IEEE East-West Design & Test Symposium (EWDTS), Yerevan, Armenia, 2024, pp. 1-6, doi: [10.1109/EWDTS63723.2024.10873615](https://doi.org/10.1109/EWDTS63723.2024.10873615).
2. Hahanov V. Faults-as-address simulation / V. Hahanov, S. Chumachenko, E. Litvinova, I. Hahanov, V. Ponomarova, H. Khakhanova, G. Kulak // IAES International Journal of Robotics and Automation. December 2024. Vol 13, No 4. P. 452-468. doi: [10.11591/ijra.v13i4.pp452-468](https://doi.org/10.11591/ijra.v13i4.pp452-468).
3. Hahanov V. Vector Logic Modeling Self-Tested Circuits / V. Hahanov, S. Chumachenko, E. Litvinova, I. Hahanov, V. Ponomarova, H. Khakhanova, G. Kulak // IAES International Journal of Robotics and Automation. December 2024. Vol 13, No 4. P. 452-468. doi: [10.11591/ijra.v13i4.pp452-468](https://doi.org/10.11591/ijra.v13i4.pp452-468).
4. Dargelas, A., Zeller, H. Universal Hardware Data Model. // Proceedings of the Workshop on Open-Source EDA Technology (WOSET) 2020.
5. C. Chu and Y. -C. Wong, FLUTE: Fast Lookup Table Based Rectilinear Steiner Minimal Tree Algorithm for VLSI Design, in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 27, no. 1, P. 70-83, Jan. 2008, doi:[10.1109/TCAD.2007.907068](https://doi.org/10.1109/TCAD.2007.907068).