

ОДНОРАЗРЯДНЫЙ ДЕСЯТИЧНЫЙ СУММАТОР

Н. Я. Какурин, Ю. А. Василенко

Харьков

В специализированных вычислительных машинах, предназначенных для экономических расчетов и обработки статистических данных, используется десятичная система счисления. Особенностью задач, решаемых на таких машинах, является большое количество исходных данных и относительно малое количество производимых операций. Поэтому все вычисления целесообразно вести в десятичной системе счисления.

Как известно [1], чтобы сохранить экономичность двоичной системы и удобство счета в десятичной, используют комбинированные двоично-десятичные системы. Наибольшее применение в машинах для обработки данных нашли коды Айкена, Штибитца и простой двоичный код с весами 8421. Одноразрядный десятичный сумматор для кода с весами 8421 имеет девять входов и пять выходов. Несмотря на то что необходимо учитывать не 512 (2^9), а 200 возможных комбинаций, построение такого сумматора по логическим выражениям представляет определенные трудности. В связи с этим одноразрядный десятичный сумматор строят, учитывая особенности сложения десятичных цифр в коде 8421. Функциональная схема такого сумматора приведена в работах [1, 2]. Она содержит пять одноразрядных сумматоров на три входа ОС-3, два одноразрядных сумматора на два входа ОС-2 и три логические схемы (И, ИЛИ). Сумма двух десятичных цифр может принимать двадцать различных значений от 0 до 19 (табл. 1).

Таблица 1

№ п/п.	S_4	S_3	S_2	S_1	P	№ п/п.	S_5	S_4	S_3	S_2	S_1	P
0	0	0	0	0	0	10		1	0	1	0	1
1	0	0	0	1	0	11		1	0	1	1	1
2	0	0	1	0	0	12		1	1	0	0	1
3	0	0	1	1	0	13		1	1	0	1	1
4	0	1	0	0	0	14		1	1	1	0	1
5	0	1	0	1	0	15		1	1	1	1	1

Продолжение табл. 1

№ п/п.	S_4	S_3	S_2	S_1	P	№ п/п.	S_5	S_4	S_3	S_2	S_1	P
6	0	1	1	0	0	16	1	0	0	0	0	1
7	0	1	1	1	0	17	1	0	0	0	1	1
8	1	0	0	0	0	18	1	0	0	1	0	1
9	1	0	0	1	0	19	1	0	0	1	1	1

Перенос P в старший десятичный разряд должен возникать, если сумма двух десятичных цифр равна или больше десяти. При этом необходимо исправлять значение суммы в данном разряде прибавлением к первоначальной сумме числа шесть без учета переноса из старшего разряда двоичных тетрад [2]. По существу одноразрядный десятичный сумматор является двухкаскадной схемой. В первом каскаде образуется первоначальная сумма, во втором эта сумма исправляется, если возникает импульс переноса. Второй каскад сумматора можно рассматривать как комбинационную логическую схему с учетом особенностей прибавления цифры шесть к первоначальной сумме

$$+ \begin{matrix} S_4, S_3, S_2, S_1 \\ 0 \quad 1 \quad 1 \quad 0 \end{matrix}$$

Младший разряд S_1 первоначальной суммы S_4, S_3, S_2, S_1 не изменяется при прибавлении цифры шесть. Значение оставшихся разрядов S_4, S_3, S_2 первоначальной суммы остается постоянным, если перенос P равен нулю, и изменяется при $P = 1$. Таким образом, комбинационная схема прибавления числа шесть имеет четыре входа, на которые поступают сигналы S_4, S_3, S_2, P , и четыре выхода Z_4, Z_3, Z_2, Z_1 , причем $Z_1 = S_1$. Работа схемы описывается табл. 2. Функции Z_4, Z_3, Z_2 являются неполностью определенными функциями от четырех аргументов.

Таблица 2

№ п/п.	ЭКВ	S_4	S_3	S_2	P	Z_4	Z_3	Z_2
1	0	0	0	0	0	0	0	0
2	1	0	0	0	1	0	1	1
3	2	0	0	1	0	0	0	1
4	3	0	0	1	1	1	0	0
5	4	0	1	0	0	0	1	0
6	6	0	1	1	0	0	1	1

Продолжение таблицы 2

№ пп.	ЭКВ	S_4	S_3	S_2	P	Z_4	Z_3	Z_2
7	8	1	0	0	0	1	0	0
8	11	1	0	1	1	0	0	0
9	13	1	1	0	1	0	0	1
10	15	1	1	1	1	0	1	0

В этом случае минимизацию удобно проводить с помощью диаграмм Вейча [3, 4]. Диаграммы Вейча функций Z_4 , Z_3 , Z_2 показаны на

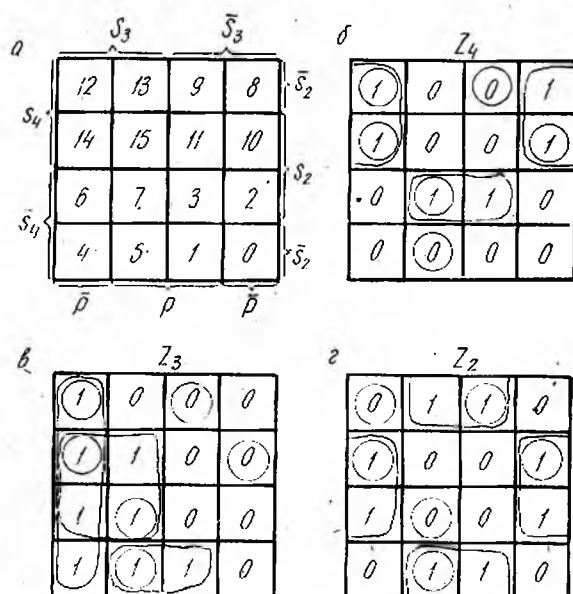


Рис. 1.

рис. 1. Функции доопределены таким образом, (соответствующие цифры на диаграмме показаны в кружках), чтобы получить минимальную ДНФ. Для удобства работы с диаграммами на рис. 2, а в квадратах проставлены десятичные числа, являющиеся эквивалентами соответствующих конституент. Они даны также в табл. 2. Вначале на диаграмму наносятся обязательные для функции нули и единицы. Затем, рассмотрев диаграммы рис. 1, б, в, г, находят наиболее выгодное доопределение для каждой функции и в пустые клетки вписывают нули и единицы.

Минимальные ДНФ имеют вид

$$\begin{aligned}
 Z_2 &= \bar{S}_2 P V S_2 \bar{P}, \\
 Z_3 &= S_3 \bar{P} V S_3 S_2 V \bar{S}_4 \bar{S}_2 P, \\
 Z_4 &= S_4 \bar{P} V \bar{S}_4 S_2 P.
 \end{aligned}$$

Следовательно, при построении схемы прибавления цифры шесть по данному методу требуется тринадцать логических элементов: три инвертора, три дизъюнктора и семь конъюнкторов. Функциональная схема блока +6 приведена на рис. 2. Второй каскад одноразрядного десятичного сумматора, описанного в работе [2], содержит два одноразрядных сумматора на два входа ОС-2 и один одноразрядный сум-

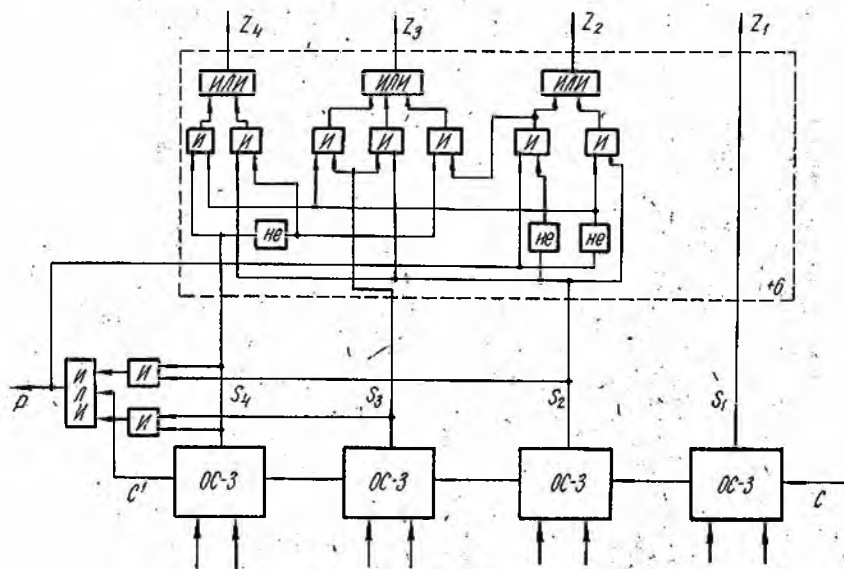


Рис. 2.

матор на три входа, т. е. семнадцать логических элементов. Если же одноразрядный десятичный сумматор является комбинационно-накапливающим, то первый каскад строится на статических триггерах, на выходах которых имеются инвертированные значения переменных P , S_2 , S_4 . В этом случае во втором каскаде, построенном как комбинационная логическая схема по рассмотренному выше методу, требуется всего десять логических элементов.

Таким образом, при построении блока прибавления цифры шесть по данному методу экономятся логические элементы.

ЛИТЕРАТУРА

1. М. В. Уилкс. Автоматические цифровые вычислительные машины. Судпромгиз, 1960.
2. Е. А. Дроздов, В. И. Прохоров, А. П. Пятибратов. Основы вычислительной техники. Воениздат, 1964.
3. Е. Н. Вавилов, Г. П. Портной. Синтез схем электронных цифровых машин. Изд-во «Советское радио», 1963.
4. Д. А. Поспелов. Логические методы анализа и синтеза схем. Изд-во «Энергия», 1964.