

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ

ХАРЬКОВСКИЙ НАЦИОНАЛЬНЫЙ
УНИВЕРСИТЕТ РАДИОЭЛЕКТРОНИКИ

ISSN 0135-1710

АВТОМАТИЗИРОВАННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ И ПРИБОРЫ АВТОМАТИКИ

**Всеукраинский межведомственный
научно-технический сборник**

Основан в 1965 г.

Выпуск 172

Харьков
2015

В сборнике представлены результаты исследований, касающихся компьютерной инженерии, управления, технической диагностики, автоматизации проектирования, оптимизированного использования компьютерных сетей и создания интеллектуальных экспертных систем. Предложены новые подходы, алгоритмы и их программная реализация в области автоматического управления сложными системами, оригинальные информационные технологии в науке, образовании, медицине.

Для преподавателей университетов, научных работников, специалистов, аспирантов.

У збірнику наведено результати досліджень, що стосуються комп'ютерної інженерії, управління, технічної діагностики, автоматизації проектування, оптимізованого використання комп'ютерних мереж і створення інтелектуальних експертних систем. Запропоновано нові підходи, алгоритми та їх програмна реалізація в області автоматичного управління складними системами, оригінальні інформаційні технології в науці, освіті, медицині.

Для викладачів університетів, науковців, фахівців, аспірантів.

Редакционная коллегия:

В.В. Семенец, д-р техн. наук, проф. (гл. ред.); *И.Д. Горбенко*, д-р техн. наук, проф.; *Е.П. Пуятин*, д-р техн. наук, проф.; *В.П. Тарасенко*, д-р техн. наук, проф.; *Г.И. Загарий*, д-р техн. наук, проф.; *Г.Ф. Кривуля*, д-р техн. наук, проф.; *Чумаченко С.В.*, д-р техн. наук, проф.; *В.А. Филатов*, д-р техн. наук, проф.; *Е.В. Бодянский*, д-р техн. наук, проф.; *В.Ф. Шостак*, д-р техн. наук, проф.; *В.М. Левыкин*, д-р техн. наук, проф.; *Е.И. Литвинова*, д-р техн. наук, проф.; *В.И. Хаханов*, д-р техн. наук, проф. (отв. ред.).

Свидетельство о государственной регистрации
печатного средства массовой информации

КВ № 12073-944ПР от 07.12.2006 г.

Адрес редакционной коллегии: Украина, 61166, Харьков, просп. Ленина, 14, Харьковский национальный университет радиоэлектроники, комн. 321, тел. 70-21-326

© Харківський національний університет
радіоелектроніки, 2015

СОДЕРЖАНИЕ

МОСКАЛЕНКО В.В., ПИМОНЕНКО С.В. МЕТОД ПРОГНОЗУВАННЯ РІВНЯ СПРИЙНЯТТЯ ЯКОСТІ ОБСЛУГОВУВАННЯ В ІНФОРМАЦІЙНО-ТЕЛЕКОМУНІКАЦІЙНИХ СИСТЕМАХ.....	4
БАРАННИК В.В., КРАСНОРУЦКИЙ А.А., СТАСЕВ С.Ю. КОНЦЕПЦІЯ ФОРМИРОВАНИЯ СТРАТЕГИИ НОРМИРОВАНИЯ С УЧЕТОМ СТРУКТУРНОЙ НАСЫЩЕННОСТИ АЭРОФОТОСНИМКОВ.....	13
ЛЕВЫКИН В.М., ЧАЛАЯ О.В. МОДЕЛЬ РЕЛЯЦИОННОГО НЕЯВНОГО ЗНАНИЯ.....	18
ШКИЛЬ А.С., КУЛАК Э.Н., СЕРОКУРОВА А.С. ДИАГНОСТИРОВАНИЕ HDL-МОДЕЛЕЙ МИКРОПРОГРАММНЫХ АВТОМАТОВ.....	22
ГУРИНА Д.В., ГАРЯЧЕВСКАЯ И.В. РАЗРАБОТКА ПРОГРАММНОГО МОДУЛЯ БЕСКОНТАКТНОГО ТЕПЛОВОГО КОНТРОЛЯ КАЧЕСТВА РАДИОЭЛЕКТРОННЫХ МОДУЛЕЙ НА ПЕЧАТНОЙ ПЛАТЕ.....	32
ВИШНЯК М.Ю., КЛИМОВА И.Н. УПРАВЛЕНИЕ ЗНАНИЯМИ НА АВТОМАТИЗИРОВАННОМ ПРЕДПРИЯТИИ..	38
ГВОЗДИНСКИЙ А.Н., ЯКИМОВА Н.А., ГУБИН В.А. О ВОЗМОЖНЫХ ПРЕДСТАВЛЕНИЯХ МАТРИЦ ЛИНЕЙНЫХ ЛОГИЧЕСКИХ ОПЕРАТОРОВ.....	44
ЧАЛАЯ Л.Э., ЧИЖЕВСКИЙ А.В., ВОЛОЩУК Е.Б. МЕТОД ПОИСКА РЕЛЕВАНТНЫХ СВЯЗЕЙ МЕЖДУ КОНЦЕПТАМИ ПРОЕКТИРУЕМЫХ ОНТОЛОГИЙ.....	48
ХАХАНОВ И.В., ЛИТВИНОВА Е.И. СИНТЕЗ И АНАЛИЗ «КВАНТОВЫХ» МОДЕЛЕЙ ЦИФРОВЫХ СИСТЕМ.....	56
БАРАННИК В.В., ЮДИН А.К., ФРОЛОВ О.В. МЕТОД КОСВЕННОГО СТЕГАНОГРАФИЧЕСКОГО ПРЕОБРАЗОВАНИЯ НА ОСНОВЕ ИСПОЛЬЗОВАНИЯ ФУНКЦИОНАЛА ДЛЯ АДАПТИВНОГО ПОЗИЦИОННОГО КОДИРОВАНИЯ.....	71
БАРАННИК В.В., ШУЛЬГИН С.С. МОДЕЛЬ ОЦЕНКИ ИНФОРМАТИВНОСТИ СЛОТА Р-КАДРОВ НА ОСНОВЕ ВЫЯВЛЕНИЯ СТРУКТУРНО-ГРАДИЕНТНЫХ МЕЖТРАНСФОРМАНТНЫХ ОГРАНИЧЕНИЙ.....	76
БАРАННИК В.В., КОМОЛОВ Д.І. СЕЛЕКТИВНИЙ МЕТОД ШИФРУВАННЯ ВІДЕОПОТОКУ В ТЕЛЕКОМУНІКАЦІЙНИХ СИСТЕМАХ НА ОСНОВІ ПРИХОВУВАННЯ БАЗОВОГО І-КАДРУ.....	82
РЕФЕРАТИ.....	88

СИНТЕЗ И АНАЛИЗ «КВАНТОВЫХ» МОДЕЛЕЙ ЦИФРОВЫХ СИСТЕМ

Предлагается «квантовый» процессор для моделирования и верификации цифровых систем, основанный на транзакциях между адресуемыми компонентами памяти для реализации любой функциональности. Описывается новый подход к синтезу и анализу цифровых систем, использующий векторную форму (квант) задания комбинационных и последовательностных структур для их имплементации в элементы памяти, что существенно отличается от общепринятой теории проектирования дискретных устройств на основе таблиц истинности компонентов. Используются квантовые или кубитные структуры данных [1-5] в вычислительных процессах современных компьютеров в целях повышения быстродействия анализа цифровых систем и уменьшения объемов памяти на основе унарного кодирования состояний входных, внутренних и выходных переменных и имплементации кубитных векторов в элементы памяти FPGA, реализующих комбинационные и последовательностные примитивы. Внедрение квантовых memory-based-only моделей описания цифровых компонентов в практику проектирования вычислительных систем непосредственно влияет на увеличение выхода годной продукции, повышение надежности компьютерных изделий, снижение стоимости проектирования и изготовления, а также обеспечивает автономное восстановление работоспособности в режиме remote & online без участия человека.

1. Введение

Цель – существенное улучшение качества и надежности вычислительных устройств за счет адресуемости схемных элементов, позволяющей выполнять online ремонт, а также повышение быстродействия методов моделирования, тестирования и верификации сложных цифровых систем, благодаря уменьшению размерности моделей функциональных примитивов и адресной реализации всех компонентов структур данных.

Задачи: 1) Разработка автоматной модели квантового процессора. 2) Синтез кубитных моделей цифровых примитивов: логика, триггеры, регистры и счетчики. 3) Синтез и анализ квантовых моделей цифровых схем. 4) Моделирование цифровых устройств на основе использования квантовых векторов описания примитивов.

Мотивация и состояние вопроса: 1) Современная система на кристалле содержит 94% памяти и лишь 6% логики, которая доставляет более 90% проблем, связанных с верификацией, тестированием, диагностированием и восстановлением работоспособности [6-7]. Конечно, быстродействие логических схем на порядок выше, чем у памяти, однако большая доля вычислительных процессов приходится на обмен информацией в структурах памяти. Поэтому преимущества комбинационной логики в реальных вычислительных системах обработки больших данных компенсируются большими временными затратами (порядка 90%), связанными с транзакциями в памяти. 2) Реализация процессора только на основе использования элементов памяти делает его однородным по структуре и типам функциональных примитивов, что доставляет очевидные технологические удобства процессам проектирования, производства и эксплуатации, включая верификацию, встроенные тестирование и диагностирование, а главное – ремонт в режиме online в результате использования на кристалле универсальных адресуемых spare-компонентов памяти [6-7]. 3) Моделирование в процессе верификации проектируемых вычислителей на основе адресных моделей компонентов делает данную процедуру технологически простой за счет регулярных структур данных и применения единственной операции транзакции на элементах памяти, а также более быстродействующей, благодаря возможности параллельной квантоподобной обработки больших массивов однотипной памяти [3-5, 8, 11, 12]. 4) Энергопотребление при замене логики на элементы памяти возрастает на несколько процентов, что на самом деле будет платой за перечисленные выше существенные преимущества, связанные, в конечном счете, с увеличением выхода годной продукции, повышением

надежности вычислительных изделий, снижением стоимости проектирования и изготовления, а также автономным восстановлением работоспособности в режиме remote & online, без участия человека. Однако энергосберегающие решения по вычислительным процессам на памяти [9-10, 13-14] дают основания полагать, что такого проигрыша вообще не будет.

2. Квантовые или кубитные структуры данных

На рынке электронных технологий существует конкуренция между базами имплементации идеи [1-4,12]: 1) Гибкая (мягкая) реализация проекта связана с синтезом интерпретативной модели программной формы функциональности или в аппаратном исполнении программируемых логических устройств на основе FPGA, CPLD; преимущества заключаются в технологичности модификации проекта, недостатки – в невысоком быстродействии функционирования цифровой системы. 2) Жесткая реализация ориентирована на использование компилятивных моделей при разработке программных приложений или на имплементацию проекта в кристаллы VLSI [6-7,13-14]. Преимущества и недостатки жесткой реализации инверсны по отношению к мягкому исполнению проектов: высокое быстродействие и невозможность модификации. С учетом изложенных базовых вариантов реализации идеи предлагаются квантовые структуры данных, ориентированные на повышение быстродействия гибких моделей программного или аппаратного исполнения проекта, а также на возможность online ремонта в процессе эксплуатации.

Квантовые структуры описания цифровых систем. Кубит (n-кубит) есть векторная форма унитарного (унарного) кодирования универсума из n примитивов для задания булеа-

на состояний 2^{2^n} с помощью 2^n двоичных переменных. Например, если $n=2$, то 2-кубит задает 16 состояний с помощью четырех переменных. Если $n=1$, то кубит задает четыре состояния на универсуме из двух примитивов (10) и (01) с помощью двух двоичных переменных (00,01,10,11) [3,12]. При этом допускается суперпозиция (одновременное суще-

ствование) в векторе 2^n состояний, обозначенных примитивами. Кубит (n-кубит) дает возможность использовать параллельные логические операции вместо поэлементных теоретико-множественных для существенного ускорения процессов анализа дискретных систем.

Далее кубит отождествляется с n-кубитом или двоичным вектором, если это не мешает пониманию излагаемого материала. Поскольку квантовые вычисления связаны с анализом кубитных структур данных, то далее будем применять определение «квантовый» для идентификации технологий, использующих три свойства квантовой механики: параллелизм обработки (двоичных векторов), суперпозицию состояний и их перепутывание. Синонимами кубита при задании двоичного вектора описания логической функции являются: Q-покрытие, Q-вектор, квантовый вектор [3-4,12] как унифицированная векторная форма суперпозиционного задания выходных состояний, соответствующих адресным кодам входных переменных логического элемента.

Кубит в цифровой системе используется в качестве формы задания структурного примитива, инвариантной к технологиям реализации функциональности (hardware, software). Более того, синтез цифровых систем на основе кубитных структур не привязан жестко к теореме Поста, определяющей пять условий (классов) существования функционально полного базиса. На предлагаемом уровне абстракции n-кубит дает более широкие возможности для векторного задания любой n-входовой функции из булеана мощностью $|B(A)| = 2^{2^n}$, которое непременно содержит все функциональности, удовлетворяющие пяти классам теоремы Поста. Формат структурного кубитного компонента цифровой схемы $Q^* = (X, Q, Y)$ включает интерфейс (входные и выходную переменные), а также кубит-вектор Q, задающий функцию $Y = Q(X)$, размерность которого определяется степенной функцией от числа входных линий $k = 2^n$.

3. Синтез квант-вектора комбинационной схемы

Кубит (квант) комбинационной схемы есть вектор состояний выхода на упорядоченном множестве всех входных слов, отождествляемых с адресами ячеек памяти вектора.

Синтез Q-вектора (покрытия) схемной структуры (без таблиц истинности логических элементов) на основе примитивов, заданных Q-векторами, сводится к получению обобщенного кубит-вектора путем декартова выполнения логической операции над разрядами кубитных векторов. Декартова процедура для двух четырехразрядных кубитов, которые суперпозиционируются логической операцией *or* (*and*, *xor*), представлена в следующей таблице:

, ,	b(0)				b(1)				b(2)				b(3)			
a(0)	c(0)	a(0)	b(0)	c(1)	a(0)	b(1)	c(2)	a(0)	b(2)	c(3)	a(0)	b(3)	c(4)	a(0)	b(3)	
a(1)	c(4)	a(1)	b(0)	c(5)	a(1)	b(1)	c(6)	a(1)	b(2)	c(7)	a(1)	b(3)	c(8)	a(1)	b(3)	
a(2)	c(8)	a(2)	b(0)	c(9)	a(2)	b(1)	c(10)	a(2)	b(2)	c(11)	a(2)	b(3)	c(12)	a(2)	b(3)	
a(3)	c(12)	a(3)	b(0)	c(13)	a(3)	b(1)	c(14)	a(3)	b(2)	c(15)	a(3)	b(3)	c(16)	a(3)	b(3)	

Примеры, использующие логические суперпозиции двух кубитов для получения Q-векторов схемных структур

$$c_1 (a_1 (a_2) (b_1 (b_2)), c_2 (a_1 (a_2) (b_1 (b_2)), c_3 (a_1 (a_2) (b_1 (b_2)),$$

представлены следующей таблицей:

	a(<i>and</i>)		0001
	b(<i>or</i>)		0111
c ₁	a(<i>and</i>)	b(<i>or</i>)	0111 0111 0111 1111
c ₂	a(<i>and</i>)	b(<i>or</i>)	0000 0000 0000 0111
c ₃	a(<i>and</i>)	b(<i>or</i>)	0111 0111 0111 1000

Здесь построены Q-покрытия трех схем, состоящих из трех элементов каждая, где два логических примитива суперпозиционно объединяются третьим элементом (*or*, *and*, *xor*). В результате получаются три вектора, каждый из которых имеет размерность в 16 бит. Вычислительная сложность процедуры синтеза Q-покрытия комбинационной схемы равна

$$\text{произведению длин Q-векторов } p \text{ примитивов, входящих в нее: } \left(\prod_{i=1}^p \text{card}(Q_i) \right).$$

Более сложной представляется проблема синтеза Q-покрытия схемы, входные линии (сходящиеся разветвления) которой имеют гальванические или проводные соединения (здесь по переменной a_2): $c (a_1 (a_2) (a_2 (a_3))$. В данном случае после синтеза Q-покрытия схемы необходимо выполнить его верификацию относительно существования противоречивых адресов на переменных a_2 в целях минимизации Q-вектора путем последующего исключения упомянутых адресов из рассмотрения, что уменьшает размерность Q-покрытия до $\text{card}(Q) (2^q$ координат, где q – общее число входных переменных схемы:

Q	0111 0111 0111 1111	Q	0111 0111 0111 1111	Q	0111 0111	Q	0111 0111
a ₁	0000 0000 1111 1111	a ₁	0000 0000 1111 1111	a ₁	0000 1111	a ₁	0000 1111
a ₂	0000 1111 0000 1111	a ₂	00xx xx11 00xx xx11	a ₂	0011 0011	a ₂	0011 0011
a ₂	0011 0011 0011 0011	a ₂	00xx xx11 00xx xx11	a ₂	0011 0011	a ₂	0011 0011
a ₃	0101 0101 0101 0101	a ₃	0101 0101 0101 0101	a ₃	0101 0101	a ₃	0101 0101

Процедура синтеза Q-покрытия: 1) строится таблица соответствия адресов разрядам Q-вектора схемы; 2) далее противоречивые координаты по двум строкам a_2 отмечаются символами *x*; 3) затем все столбцы с данными символами исключаются из таблицы; 4) после этого получаются две идентичные строки a_2 , которые объединяются в одну; 5) это дает в результате Q-вектор комбинационной схемы, но уже существенно меньшей размерности. Преимущества предложенного Q-метода синтеза вычислительных устройств заключаются в компактности их описания Q-векторами и в высоком быстродействии адресного моделирования логических элементов, также создают условия для рыночно привлекательной «квантовой» теории проектирования цифровых систем на кристаллах, использующей векторно-кубитную форму задания структурных компонентов.

4. Минимизация квант-вектора схемы

Синтез квант-вектора схемы по Q-покрытиям компонентов связан с минимизацией или уменьшением размерности Q-вектора путем исключения несущественных переменных. Как правило, существенность зависит от гальванических соединений входных и внутренних линий цифрового устройства, которые накладывают ограничения, связанные с противоречивостью сигналов на линиях связи. Поэтому правило минимизации адресного пространства заключается в устранении адресных кодов, которые создают противоречия по соединенным переменным. Пусть имеется Q-вектор схемы и его адресное пространство, где переменные b,c,d (a,b,c) соединены гальванически. Ниже приведены таблицы преобразования или минимизации адресного пространства в целях получения уменьшенного Q-вектора:

$$\begin{array}{|c|c|c|c|} \hline Q & 0111 & 0111 & 0111 & 1111 \\ \hline a & 0000 & 0000 & 1111 & 1111 \\ \hline b & 0000 & 1111 & 0000 & 1111 \\ \hline c & 0011 & 0011 & 0011 & 0011 \\ \hline d & 0101 & 0101 & 0101 & 0101 \\ \hline \end{array} \quad \begin{array}{|c|c|c|c|} \hline Q & 0xxx & xxx1 & 0xxx & xxx1 \\ \hline a & 0000 & 0000 & 1111 & 1111 \\ \hline b & 0xxx & xxx1 & 0xxx & xxx1 \\ \hline c & 0xxx & xxx1 & 0xxx & xxx1 \\ \hline d & 0xxx & xxx1 & 0xxx & xxx1 \\ \hline \end{array} \quad \begin{array}{|c|c|} \hline Q & 0101 \\ \hline a & 0011 \\ \hline b & 0101 \\ \hline \end{array} =$$

$$= \begin{array}{|c|c|c|c|} \hline Q & 0111 & 0111 & 0111 & 1111 \\ \hline a & 00xx & xxxx & xxxx & xx11 \\ \hline b & 00xx & xxxx & xxxx & xx11 \\ \hline c & 00xx & xxxx & xxxx & xx11 \\ \hline d & 0101 & 0101 & 0101 & 0101 \\ \hline \end{array} \quad \begin{array}{|c|c|} \hline Q & 0111 \\ \hline a & 0011 \\ \hline d & 0101 \\ \hline \end{array}$$

Во-первых, здесь следует отметить, что в таблицах наблюдается зеркальная осевая симметрия с инверсией сигналов на координатах адресного пространства, которая создает свойство, описываемое следующим выражением: $L(R(1(L_{ij}(R_{ij}(1$. Данное обстоятельство нужно использовать для уменьшения размерности анализируемого пространства в два раза и соответствующего снижения вычислительной сложности задачи синтеза квантовой вектор-функциональности цифровой схемы. Во-вторых, количество различных вариантов взаимодействий на q входных переменных, связанных с гальваническим соединением различных сочетаний входных линий, определяется функциональной зависимостью, граничные значения которой находятся в интервале: $\text{card}(Q) \in [2^q(3^q)]$. Тем не менее, имеется эффективная процедура для минимизации размерности Q-вектора путем выявления противоречий в кодах-столбцах, на координатах (A_{ij}) , соответствующих гальванически связанным w -переменным по j -параметру. Такую процедуру достаточно выполнить на половине адресного пространства $\text{card}(Q) \in (2^q/2)$, а остальная часть противоречивых столбцов удаляется в соответствии с зеркальным отображением номеров тех столбцов, которые были удалены из первой половины таблицы кодов адресов:

$$\{Q_i, Q_{2^q(i)}\} \left(\left(\left(\bigwedge_{j(1}^w A_{ij} \right) \left(\bigwedge_{j(1}^w A_{ij} \right) \right) \right) \left(1, i \in (2^q/2) \right)$$

Если в столбце A_i на группе из w связанных переменных зафиксировано, что конъюнкция их состояний равна нулю, а дизъюнкция имеет значение единицы, то i -столбец и его зеркальное отображение $2^q(i)$ удаляются из адресного пространства A . Это автоматически приводит к исключению из Q-вектора двух полученных $(-)$ -координат (в таблицах обозначены символами x), соответствующих данным столбцам.

Естественно, что также наблюдается симметрия пространства векторов-расстояний по Хэммингу, полученных путем хог-взаимодействия между соседними строками таблицы адресного пространства, для которых суперпозиция левой и правой частей дает результат $L(R(0(L_{ij}(R_{ij}(0$:

$$\begin{array}{|c|c|c|c|c|} \hline Q & 0111 & 0111 & 0111 & 1111 \\ \hline a & b & 0000 & 1111 & 1111 & 0000 \\ \hline b & c & 0011 & 1100 & 0011 & 1100 \\ \hline c & d & 0110 & 0110 & 0110 & 0110 \\ \hline d & a & 0101 & 0101 & 1010 & 1010 \\ \hline \end{array} \quad \square (L, R); (L \square R) \square \quad \begin{array}{|c|c|c|c|c|} \hline Q & 0111 & 0111 & 0111 & 1111 \\ \hline a & b & 0000 & 0000 & \\ \hline b & c & 0000 & 0000 & \\ \hline c & d & 0000 & 0000 & \\ \hline d & a & 0000 & 0000 & \\ \hline \end{array} \quad \square (L \square \bar{R})$$

Целесообразно ли минимизировать логическую функцию, описанную квант-вектором? Ответ: минимизация Q-векторов для получения нормальных или скобочных форм не имеет практического значения, существенно только уменьшение размерности вектора функционального описания, что может быть лишь следствием определения несущественности некоторых входных (адресных) переменных. Тем не менее, существует проблема разбиения квант-вектора на составляющие части меньшей размерности, что связано с имплементацией функциональности в конструктивные компоненты LUT FPGA. В этом случае выполняется разбиение Q-вектора на два равных подвектора $Q=(L,R)$, которые соединяются в структурно-адресную организацию функциональности с помощью мультиплексора $Q \parallel (\bar{a} \parallel L) \parallel (a \parallel R)$. Если переменная мультиплексирования $a=0$, то функциональность Q формируется с помощью ячеек левого L-вектора, в противном случае, когда $a=1$, значение функции Q формируется битами правого R-вектора. Алгоритмы разбиения и имплементации сложных логических функций имеются в каждой промышленной системе синтеза, моделирования и верификации компонентов SoC.

5. Модель квантового процессора

Квантовый процессор может быть любой конечной размерности: вектор, матрица, куб. Для структуры, содержащей два измерения, он представлен матрицей столбцов или Q-векторов, которые формируют соответствующие им ячейки M-вектора моделирования (рис. 1, а). Вектор M совместно с X-вектором кортежей входных переменных примитивов создает структуру взаимных связей между столбцами-элементами. Адрес ячейки Q-покрытия, формирующей состояние невходного i-разряда M-вектора, определяется содержанием ячеек M-вектора, найденным по адресам, заданным i-кортежем вектора входных переменных. Каждый вектор Q_i , равно как и кортеж X_i вектора номеров входных линий, имеет адресную связь с M_i -ячейкой вектора моделирования. Квантовый процессор может входить компонентом в состав более сложной системы. Квантовая модель процессора имеет следующую структуру:

$$\begin{aligned} W &\parallel Q, M, X \parallel, \\ Q &\parallel (Q_1, Q_2, \dots, Q_i, \dots, Q_n), \\ Q_i &\parallel (Q_{i1}, Q_{i2}, \dots, Q_{ij}, \dots, Q_{ik_i}); \\ M &\parallel (M_1, M_2, \dots, M_i, \dots, M_n); \\ X &\parallel (X_1, X_2, \dots, X_i, \dots, X_n), \\ X_i &\parallel (X_{i1}, X_{i2}, \dots, X_{ij}, \dots, X_{im_i}); \\ M_i &\parallel Q_i[M(X_i)]; \quad k_i \parallel 2^{m_i}. \end{aligned}$$

В аналитической модели W представлены: 1) Упорядоченная адресно-доступная Q-совокупность квантовых примитивов, формирующих функциональность системы. 2) Вектор моделирования M, связывающий все примитивы в единую систему на основе идентификации эквипотенциальных линий, создающих формат из существенных переменных: входных, внутренних и выходных. 3) Вектор X кортежей упорядоченных номеров входных переменных для каждого квантового примитива, которые формируют адреса доступа к ячейкам Q-векторов примитивов (рис. 1, а). Вектор количества входных переменных примитива $|X|$ формирует адресное пространство или длину каждого Q-покрытия. Его можно представить в виде таблицы кортежей входных переменных, которые формируют номера линий вектора моделирования для вычисления адресов доступа к квантовым покрытиям (рис. 1, б). Таблицу кортежей можно также представить в виде матрицы масок входов, определенных в формате вектора моделирования, для параллельного формирования адресов и одновременного считывания выходных состояний примитивов из матрицы Q-покрытий (рис. 1, в). Из структуры X-матрицы входных линий видно, что кванты, формирующие выходы: (8, 9, 10), (11, 12) и (13, 14), можно обрабатывать параллельно. 4) Характеристическое уравнение, задающее алгоритм функционирования квантового процессора на основе использования только операций транзакции (считывание-запись) между Q-векторами примитивов и вектором моделирования.

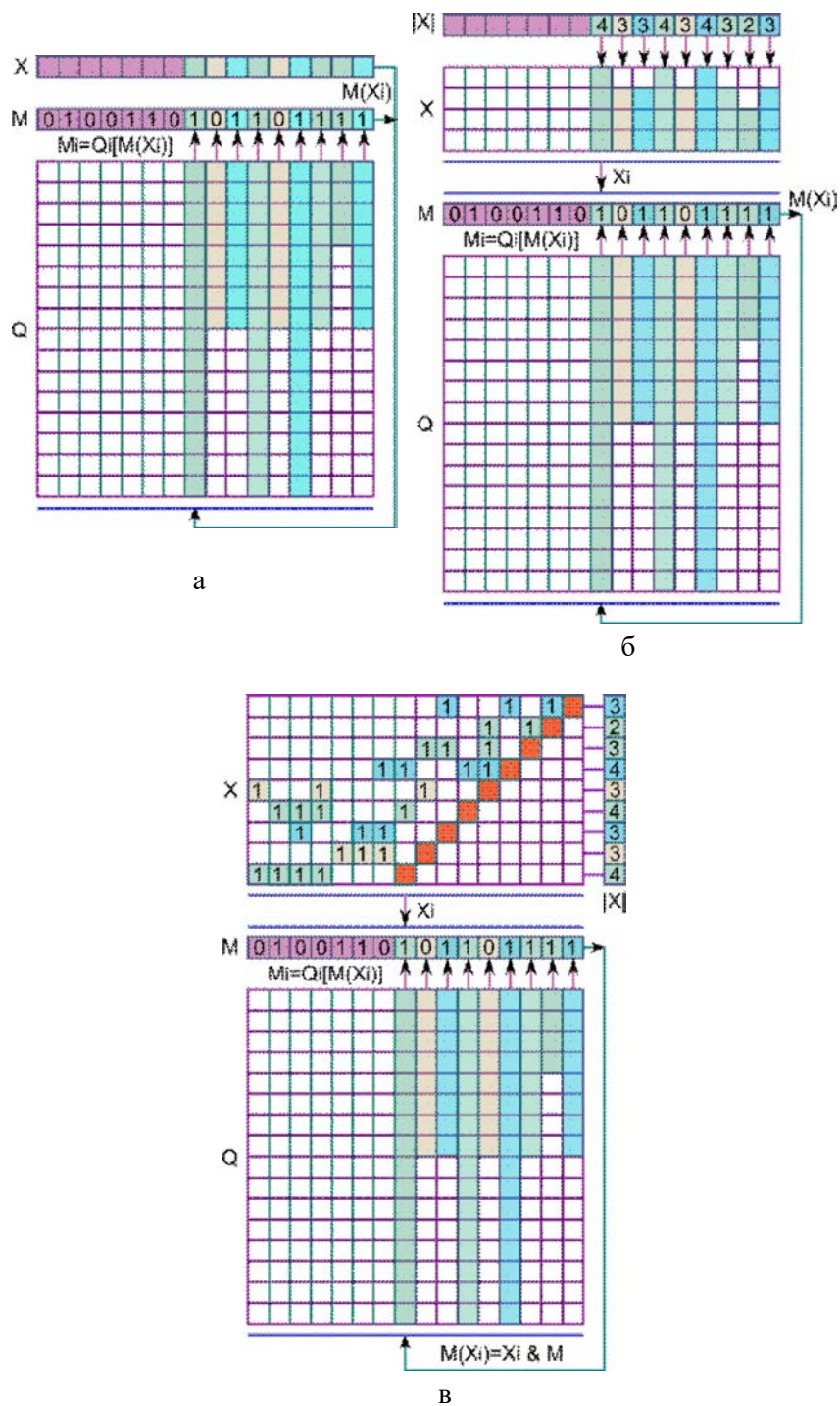


Рис. 1. Кубитные структуры данных квантового процессора

Схема цифрового устройства, соответствующая приведенному выше описанию структур данных: M -вектор моделирования, X -матрица входов, Q -матрица покрытий, представлена на рис. 2. Она содержит 9 примитивов, каждый из которых имеет Q -покрытие в форме квант-вектора, реализующего некоторую функциональность. Особенность квантовых структур данных, представляющих модель цифровой схемы, заключается в полной адресуемости всех компонентов устройства без гальванических проводных соединений.

Таблица истинности триггера представлена в форме вектора выходных состояний $Q(S, R, Q^X) \parallel (11110001)$, который записывается в элемент постоянной памяти, имеющий три адресных входа, сигнал синхронизации, а также обратную связь, которая соединяет выход элемента памяти с одним адресным входом. HDL-реализация в системе проектирования Active HDL 9.1 (Aldec Inc.), а также результаты верификации синтезированного SR-триггера подтверждают корректность схемотехнического решения.

Другой пример связан с синтезом на элементе постоянной памяти синхронного DV-триггера. Таблица истинности триггера трансформирована в вектор выходных состояний $Q(D, V, Q^X) \parallel (01000111)$, который записывается в элемент памяти, имеющий три адресных входа, сигнал синхронизации, а также обратную связь, которая соединяет выход примитива памяти с одним адресным входом. Все упомянутые компоненты, включая временные диаграммы верификации HDL-кода модели DV-триггера, представлены на рис. 4.

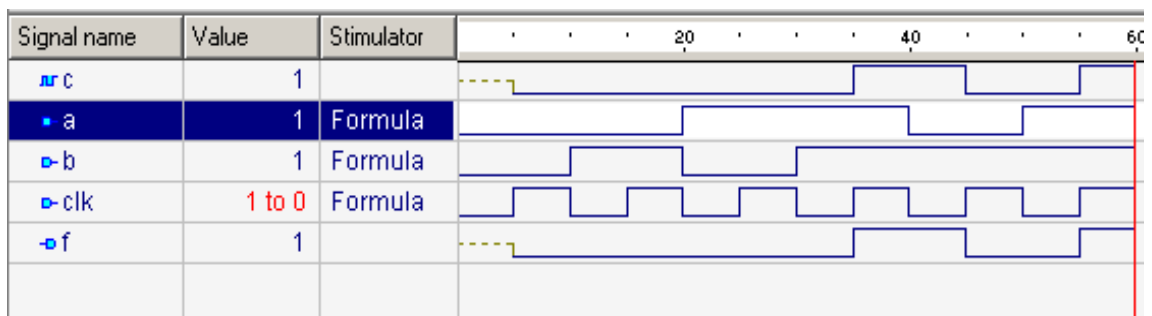
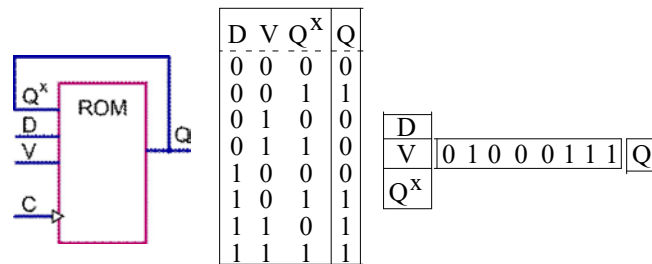


Рис. 4. Реализация DV-триггера на элементе памяти

На рис. 5 представлены модели двух последовательностных примитивов: двухразрядных регистра и счетчика. Их отличие заключается в задании двух выходов, состояния которых формируются одним и тем же множеством входных переменных.

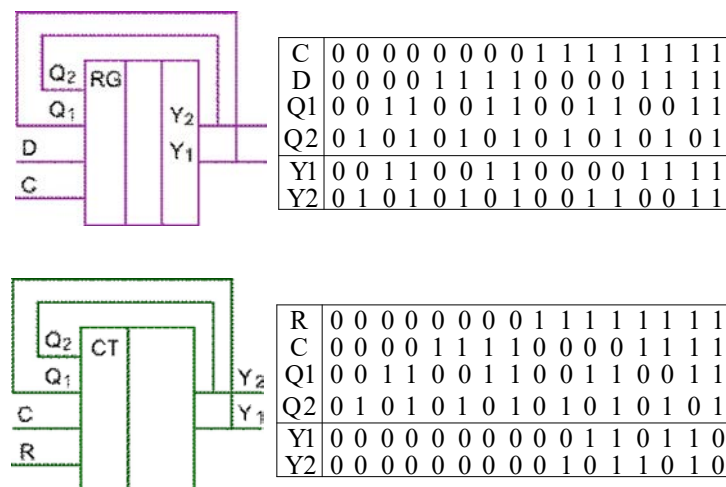


Рис. 5. Memory-based модели регистра и счетчика

Регистр на переменных (C,D,Q1,Q2,Y1,Y2) выполняет функцию сдвига вправо информации от входа D по разрядам: (D-Y1-Y2) при R=1 и сохранение данных при C=0. Счетчик, определенный на переменных (R,C,Q1,Q2,Y1,Y2), реализует функцию инкремента по разрядам (Y1,Y2) при RC = (11), а также режим хранения информации при (R or C = 0). Таким образом, для реализации двухразрядного регистра или счетчика необходимо два 16-битовых элемента памяти, работающих синхронно от одних и тех же входов:

C	
D	0 0 1 1 0 0 1 1 0 0 0 0 1 1 1 1
Q1	0 1 0 1 0 1 0 1 0 0 1 1 0 0 1 1
Q2	

R	
C	0 0 0 0 0 0 0 0 0 0 1 1 0 1 1 0
Q1	0 0 0 0 0 0 0 0 0 0 1 0 1 1 0 1 0
Q2	

Здесь каждая квантовая модель представлена двумя векторами, где каждый из них формирует функцию разряда регистра или счетчика, как состояние ячейки вектора, получаемое при формировании адреса A входными переменными: $\{Y1, Y2\} = A(C, D, Q1, Q2)$, $\{Y1, Y2\} = A(R, C, Q1, Q2)$ соответственно. Моделирование примитива сводится к тривиальной процедуре формирования адреса, по которому находится состояние выхода примитива, как содержимое ячейки квантового вектора.

6. Алгоритм моделирования квантовых покрытий цифровых компонентов

Использует memory-based only модели для адресного анализа цифровых систем в целях их верификации. Реализация таких структур связана с ячейками памяти (LUT (Look Up Table) FPGA), которые способны хранить информацию в виде Q-вектора, где каждый бит или разряд имеет свой адрес, отождествляемый с входным словом. Программная реализация алгоритма моделирования таких структур становится конкурентоспособной по быстродействию на рынке проектирования цифровых систем на кристаллах благодаря адресации функциональных примитивов.

Одномерный Q-вектор описания функциональности можно привязать к выходной (внутренней) линии устройства, состояние которой формируется в процессе моделирования рассматриваемого Q-покрытия. Тогда регистровая реализация комбинационного устройства может быть представлена вектором моделирования M, невходные линии которого непосредственно связаны с выходами функциональных элементов. Упорядоченные значения входных переменных задают адрес бита Q-вектора, формирующего состояние рассматриваемой невходной линии. Если функциональности описываются одновыходовыми примитивами, то каждый из них можно отождествить с номером или координатой невходной линии, на которую нагружен данный элемент. Если функциональность многовыходовая, то Q-покрытие представляется матрицей с числом строк, равным числу выходов. Эффект от такого примитива заключается в параллелизме одновременного вычисления состояний нескольких выходов за одно обращение к матрице по текущему адресу. Данное обстоятельство является существенным аргументом в пользу синтеза обобщенных кубитов для фрагментов цифрового устройства или всей схемы в целях их параллельной обработки на одном временном такте. Модель функционирования цифровой структуры упрощается до вычисления двух адресов при формировании вектора моделирования $M_i = Q_i[M(X_i)]$ путем исключения сложного адреса выхода примитива в процессе записи состояний выходов в координаты M-вектора.

Алгоритм моделирования квантовых примитивов цифровой системы использует аналитическую структуру (k – число входных переменных i-примитива, * – операция конкатенации битов, A – адрес бита Q-вектора):

$$M_i \square Q_i(A) \square \begin{matrix} k \\ A \square * M(X_{ij}) \\ j \square 1 \end{matrix} \square \begin{matrix} M \\ X_i \\ Q_i \end{matrix}$$

Данному аналитическому выражению можно поставить в соответствие следующие пункты алгоритма формирования двоичных состояний M-вектора моделирования цифровой схемы, изображенные на рис. 6:

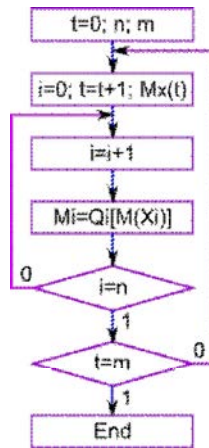


Рис. 6. Алгоритм моделирования квантовых покрытий цифровой системы

0) Инициализация начальных условий и параметров. 1) Задание очередного набора двоичных состояний на входных координатах вектора моделирования. 2) Определение i -номера очередного обрабатываемого примитива путем выполнения операции инкрементирования. 3) Выполнение процедуры конкатенации состояний битов M -вектора, соответствующих номерам вектора входных переменных X_i . Считывание соответствующего бита из функционального кубит-покрытия Q_i по двоичному вектор-адресу сконкатенированных битов M -вектора. Занесение считанного из кубита бита в вектор моделирования M по адресу i . (M -вектор может иметь координаты с символами X , что дает возможность выполнять тройное моделирование цифровых устройств для решения задач тестирования и верификации.) 4) Если не все примитивы обработаны $i < n$, выполняется переход к пункту 2 алгоритма. 5) Если не все входные наборы обработаны $t < m$, выполняется переход к пункту 1. 6) Конец моделирования.

Исходя из характеристического уравнения квантовой модели цифровой системы можно сделать вывод, что современный <MQT> (Memory-Quant-Transaction) процессор следует представлять как адресную организацию структуры функциональных примитивов памяти без гальванических или проводных связей, на которых определены адресные транзакции данных во времени и пространстве для достижения поставленной цели.

На рис. 7 представлена схема с триггерами и комбинационной логикой, которая также описана в виде элементов памяти, куда занесены выходные состояния таблицы истинности каждого логического элемента. Структуры данных, необходимые для моделирования цифрового устройства, сведены в таблицу, где основными компонентами являются: M – вектор моделирования или состояния занумерованных линий, имеющий в данном случае 5 входных, 6 внутренних и выходных линий, состояния которых подлежат определению; X – вектор кортежей номеров входных линий примитивов, необходимых для формирования адреса в целях извлечения по нему состояния выхода элемента Q_i , функциональность которого задается Q -вектором.

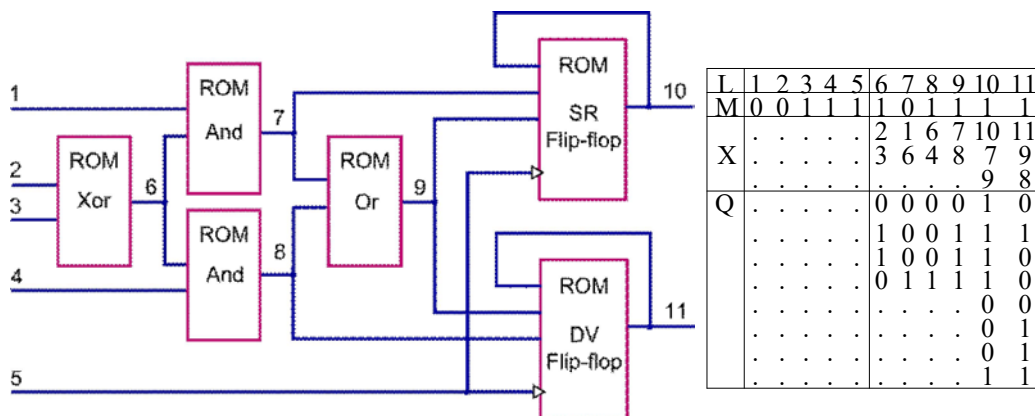


Рис. 7. Memory-based комбинационная схема с триггерами

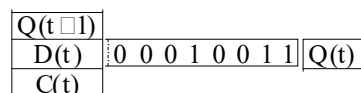
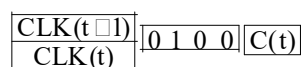
Пример выполнения алгоритма моделирования схемной квантовой структуры. Все примитивы должны быть упорядочены по принципу: очередной элемент анализируется, если все предшественники для него были обработаны. В процессе моделирования адресно извлеченное состояние ячейки текущего Q-покрытия заносится в разряд M_i вектора моделирования. Результаты последовательной обработки всех Q-векторов схемной структуры формируют состояния линий M-вектора для приведенного выше примера ячейки (6 – 11). Первоначальные состояния неопределенностей на псевдовходах функциональных примитивов доопределяются сигналами нуля или единицы в зависимости от внутренней технологической культуры компании, предоставляющей промышленные средства моделирования и верификации. Количество входных переменных примитива q связано с длиной Q-вектора

соотношением: $\text{card}(Q) = 2^q$. Правильность работы алгоритма моделирования была верифицирована на тестовых и реальных схемах с привлечением средств Active HDL 9.1 (Aldec Inc.). Особенность структурно-функционального задания цифровой системы заключается в представлении всех примитивов элементами памяти, куда записываются Q-векторы выходных состояний.

Выводы: 1) Любые структурные компоненты вычислительных устройств, комбинационные и/или последовательностные, а также системы в целом можно описывать кубитными Q-векторами и реализовывать в элементах памяти FPGA, CPLD или VLSI. Это предоставляет рынку электронных технологий возможность не использовать комбинационную reusable логику при синтезе вычислительных устройств, которая доставляет разработчикам серьезные проблемы, связанные с тестированием, верификацией и ремонтом жесткой проводной реализации цифровых изделий. 2) Memory-based интерпретативное адресно-ориентированное моделирование комбинационных и последовательностных примитивов цифровых устройств становится соизмеримым по быстродействию с компилятивным анализом дискретных объектов. Кроме того, становится возможным реализовывать на программируемых логических устройствах аппаратное моделирование цифровых систем, где комбинационные и последовательностные функциональные примитивы будут представлены стандартными элементами памяти, в которые зашиваются Q-векторы.

7. Моделирование синхронных цифровых схем

Сигналы синхронизации доставляют определенные неудобства для описания моделей последовательностных компонентов (триггеры, регистры, счетчики) и реализации алгоритмов анализа. Это связано со схемотехническим исполнением управления по переднему или заднему фронту, которые разрешают выполнение транзакций между master-slave компонентами. Другими словами, синхронные примитивы имеют два последовательно соединенных элемента, ориентированных на низкий и высокий уровни сигналов записи данных в первую и вторую ступени соответственно. Однако для логического моделирования учет подробностей, связанных со схемотехническими решениями, может существенно замедлить время анализа цифровых схем. Поэтому здесь необходимы логически адекватные модели реальных процессов, приводящие к повышению быстродействия алгоритмов обработки компонентов. При этом накладывается ограничение, связанное только с адресным характером анализа всех компонентов схемы. Для обеспечения возможности рассмотрения синхровхода как логической переменной, формирующей адрес квантового вектора, предлагается модель разбиения последовательностного примитива на два элемента: 1) Логический квант выдачи разрешающего сигнала при формировании переднего (заднего) фронта в двух временных модельных тактах. 2) Квант реализации штатной функциональности (триггера регистра, счетчика) последовательностного компонента. Таким образом, модель синхронного D-триггера может быть описана в форме двух Q-покрытий, адресно вычисляющих состояния выходов:



С учетом изложенного выше модель цифровой схемы с двумя сигналами синхронизации, представленная на рис. 8, будет иметь структуры данных, состоящие из совокупности Q-покрытий, которые формируют текущий вектор моделирования M, но с учетом значений координат данного вектора в предыдущий момент времени M(t-1). Увеличение числа переменных за счет введения двух элементов синхронизации уменьшает совокупную размерность таблицы квантовых векторов, которая при 7 переменных будет иметь 56 координат.

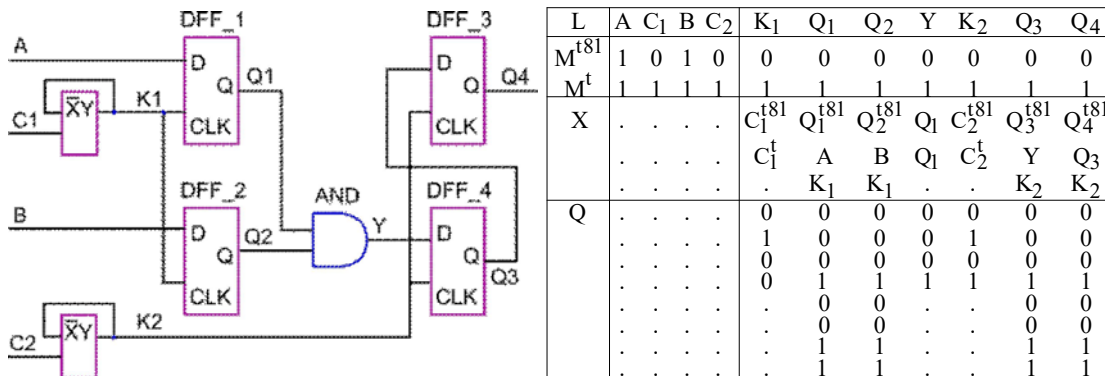


Рис. 8. Схема с D-триггерами и элементами синхронизации

Если не вводить две дополнительные переменные (элементы синхронизации), то объем памяти для Q-покрытий будет равен 80 ячейкам (рис. 9). Данная схемная реализация максимально ориентирована на структуры данных промышленных средств моделирования и верификации. Однако квантовые векторы для задания функциональностей триггеров создают необходимые условия для повышения быстродействия интерпретативного анализа, тестирования и диагностирования схемных компонентов.

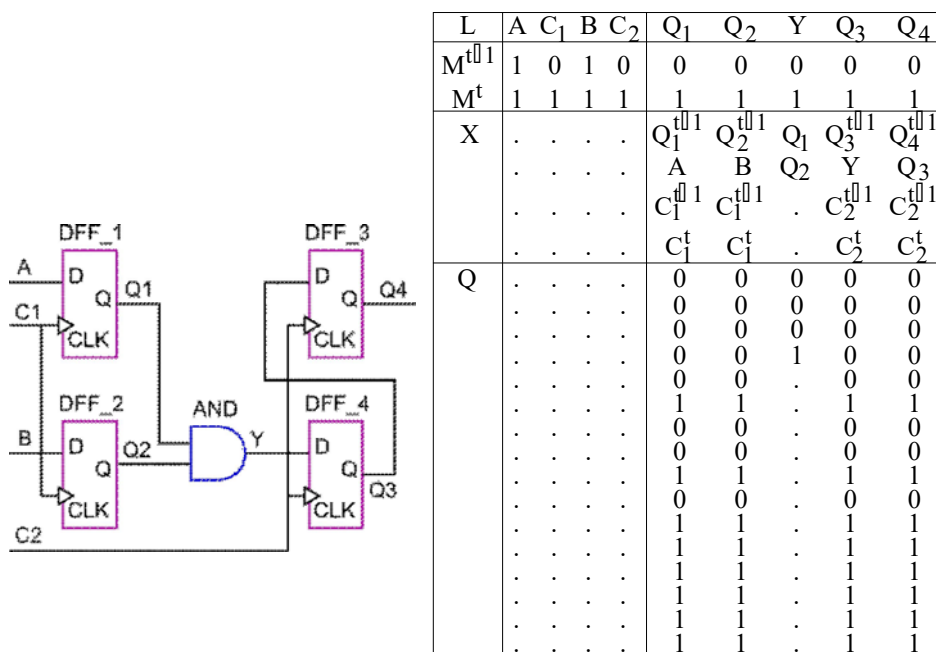


Рис. 9. Схема с D-триггерами на основе внутренней синхронизации

Проблема уменьшения совокупного объема Q-покрытий схемы связана с количеством переменных, формирующих адреса координат Q-вектора. Естественно, что любое разбиение числа переменных на два равных упорядоченных подмножества дает возможность существенно уменьшить размерность памяти для записи уже двух Q-векторов. В общем

случае функциональная зависимость уменьшения размерности исходного Q-вектора, определенного на n-переменных, при делении на 2 подсхемы с равным числом результирующих переменных (n/2) имеет следующий вид:

$$Q \approx \frac{2^n}{2^{n/2} \cdot 8 \cdot 2^{n/2}} \cdot 8 \cdot \frac{2^n}{28 \cdot 2^{n/2}} \cdot 8 \cdot \frac{2^n}{2^{n/281}} \cdot 8 \cdot 2^{n8(n/281)} \cdot 8 \cdot 2^{n/281}.$$

Например, разбиение вектора из восьми переменных на два Q-покрытия из 4 переменных уменьшает объем памяти в 8 раз. Однако следует иметь в виду, что каждое разбиение функционального модуля на k подсхем относительно внешних входов потребует k дополнительных d-циклов для вычисления состояния выхода всей схемы $\forall d(k \forall 1)$. Снижение быстродействия разбиенной функциональности является платой за существенное уменьшение объема памяти для хранения структур данных цифровой системы. В общем случае разбиение функциональности на k одинаковых частей приводит к получению следующей зависимости выигрыша объема памяти от числа разбиений на подмножества вектора входных переменных:

$$Q \approx \frac{2^n}{k \cdot 8 \cdot 2^{n/k}} \cdot 8 \cdot \frac{1}{k} \cdot 8 \cdot 2^{n8n/k}.$$

Здесь параметр разбиения k принимает значения, кратные степени двойки: 2, 4, 8, 16. Однако значение k не должно быть более, чем n/2. Следует заметить, что необязательно количество разбиений должно принимать значения, кратные степени двойки. В общем случае, на векторе входных переменных может существовать m разбиений, каждое из которых имеет более одной переменной. При этом выполняется условие разбиения, что сумма всех переменных, участвующих в разбиениях, не может быть больше n:

$$Q \approx \frac{2^n}{2^{k_1} \cdot 2^{k_2} \cdot \dots \cdot 2^{k_i} \cdot \dots \cdot 2^{k_m}}, \quad k_1 + k_2 + \dots + k_i + \dots + k_m = n.$$

Формула показывает выигрыш от разбиения функциональности в виде отношения размерности исходного квант-вектора к совокупному объему Q-векторов, полученных после разбиения. Чтобы оценить эффективность разбиения функциональности на схемные фрагменты, необходимо учитывать не только уменьшение объема памяти для хранения структур данных, но и негативные последствия, связанные со стоимостью анализа увеличенного количества схемных компонентов, которая регламентируется в каждом конкретном случае коэффициентом d:

$$Q \approx \frac{2^n}{d \cdot 8 \cdot m \cdot 8 \cdot (2^{k_1} \cdot 8 \cdot 2^{k_2} \cdot 8 \dots \cdot 8 \cdot 2^{k_i} \cdot 8 \dots \cdot 8 \cdot 2^{k_m})}.$$

Подводя итог в части модификации теории исправного моделирования (fault-free) цифровых систем, можно отметить следующие факты. Автомат моделирования синхронных цифровых устройств, как правило, представлен моделью Мура:

$$\begin{aligned} S(t) &\forall f[X(t), S(t-1)]; \\ Y(t) &\forall f[X(t), S(t)]. \end{aligned}$$

Здесь фигурируют входные (X) и внутренние состояния автомата в двух соседних временных фреймах S(t), S(t-1), а также правила определения выходных значений Y(t) для инициирования вычислительных процедур. Предлагается модификация упомянутой модели автомата Мура для анализа цифровых систем, суть которой заключается в замене функциональных отношений адресными (A) операциями:

$$\begin{aligned} S(t) &(A[X(t), S(t-1)]); \\ Y(t) &(A[X(t), S(t)]. \end{aligned}$$

Адресный или квантовый автомат, определенный выше, позволяет: 1) Избежать жестких гальванических межсоединений между элементами комбинационных и последовательностных схем при их аппаратной имплементации только в элементы памяти. 2) Получить свойство гибкой заменяемости компонентов цифровой системы в режиме online, благодаря их адресуемости. 3) Существенно упростить все процессы моделирования, верификации и тестирования путем использования только процедур вычисления адреса компонента схемы

или ячейки его памяти. 4) Унифицировать процессы проектирования цифровых изделий путем их сведения к формированию функциональностей на основе вычисления адресов или к транзакциям на элементах памяти. 5) Повысить эффективность процедур моделирования цифровых схем путем уменьшения объема интерпретативных моделей и упрощения способа их обработки, когда вместо исчерпывающего анализа таблиц предлагается вычисление адреса ячейки квантового вектора. 6) Выполнять все вычислительные процедуры на основе использования квантовых покрытий и вектора моделирования, заданного в двух соседних автоматных тактах, согласно определению квантового автомата. 7) Технологически проще становится использовать инфраструктуру [6-7] стандартов тестопригодного проектирования (IEEE 1500, 1149) для покомпонентного тестирования, диагностирования и восстановления работоспособности адресно доступных функциональных блоков в режиме online.

8. Заключение

Предложен новый подход к проектированию цифровых устройств, который характеризуется: 1) Использованием элементов памяти для реализации транзакционного взаимодействия всех компонентов операционного и управляющего автоматов. 2) Методами синтеза и анализа, основанными на суперпозиции кубит-векторных примитивов задания всех типов функциональностей, имплементируемых в элементы памяти, что дает возможность существенно повысить быстродействие средств моделирования, тестирования и верификации, а также значительно упростить процедуры создания реальных и виртуальных компьютерных систем. 3) Оригинальными структурами данных для моделирования и верификации цифровых систем, которые дают возможность существенно упростить алгоритмы реализации и повысить их быстродействие за счет адресуемости функциональных квантов и параллельности обработки компонентов. 4) Реализацией всех вычислительных структур и процессов на основе использования введенного квантового адресного автомата, который дает возможность непосредственно использовать инфраструктуру стандартов тестопригодного проектирования для повышения выхода годной продукции благодаря online ремонту функциональных примитивов.

Практическая значимость нового подхода синтеза и анализа цифровых систем заключается в следующем: 1) Реализация процессора только на основе применения элементов памяти делает его однородным по структуре и типам функциональных примитивов, что доставляет очевидные технологические удобства процессам проектирования, производства и эксплуатации, включая верификацию, встроенные тестирование и диагностирование, а главное – ремонт в режиме online в результате использования на кристалле универсальных адресуемых spare-компонентов памяти. 2) Моделирование в процессе верификации проектируемых вычислителей на основе адресных моделей компонентов делает данную процедуру технологически простой из-за регулярных структур данных и применения единственной операции транзакции на элементах памяти, а также более быстродействующей за счет возможности параллельной квантоподобной обработки больших массивов однотипной памяти. 3) Имплементация квантовых only memory-based моделей описания цифровых компонентов и систем непосредственно связана с увеличением выхода годной продукции, повышением надежности вычислительных изделий, снижением стоимости проектирования и изготовления, а также автономным восстановлением работоспособности в режиме remote & online, без участия человека.

Список литературы: 1. *Metodi T., Chong F.* Quantum Computing for Computer Architects. Synthesis Lectures on Computer Architecture. Morgan & Claypool. 2006. 154 p. 2. *Stenholm Stig, Kalle-Antti Suominen.* Quantum approach to informatics. John Wiley & Sons, Inc. 2005. 249 p. 3. *Hahanov V.I., Wajeb Gharibi, Litvinova E.I., Shkil A.S.* Qubit data structure of computing devices // Electronic modeling, № 1. 2015. P. 76-99. 4. *Vladimir Hahanov, Tamer Bani Amer, Ivan Hahanov.* MQT-model for Virtual Computer Design // Proc. of Microtechnology and Thermal Problems in Electronics (Microtherm) 23-25 June 2015. P. 182-185. 5. *Hahanov V.I., Litvinova E.I., Chumachenko S.V.* et al. Qubit Model for solving the coverage problem // Proc. of IEEE East-West Design and Test Symposium. Kharkov. 14-17 September 2012. P. 142 – 144. 6. *Zorian Y. Shoukourian S.* Test solutions for nanoscale Systems-on-Chip: Algorithms, methods and test infrastructure. Computer Science and Information Technologies (CSIT), 2013. P. 1 – 3. 7. *Zorian Y., Shoukourian S.* Embedded-memory test and repair: infrastructure IP for SoC yield. Design & Test of Computers, IEEE

(Volume: 20, Issue: 3). P. 58 – 66. **8.** *Dugganapally I.P., Watkins S.E., Cooper B.* Multi-level, Memory-Based Logic Using CMOS Technology. VLSI (ISVLSI), 2014 IEEE Computer Society Annual Symposium on. Tampa, FL. P. 583-588. **9.** *Yueh W., Chatterjee S., Zia M., Bhunia S., Mukhopadhyay S.* A Memory-Based Logic Block With Optimized-for-Read SRAM for Energy-Efficient Reconfigurable Computing Fabric. Circuits and Systems II: Express Briefs, IEEE Transactions on. Volume: 62 Issue: 6. P. 593-597. **10.** *Matsunaga S., Hayakawa J., Ikeda S., Miura K., Endoh T., Ohno H., Hanyu T.* MTJ-based nonvolatile logic-in-memory circuit, future prospects and issues. Design, Automation & Test in Europe Conference & Exhibition, 2009. DATE '09. P. 433 – 435. **11.** *Harada S., Xu Bai, Kameyama M., Fujioka Y.* Design of a Logic-in-Memory Multiple-Valued Reconfigurable VLSI Based on a Bit-Serial Packet Data Transfer Scheme. Multiple-Valued Logic (ISMVL), 2014 IEEE 44th International Symposium on. P. 214 – 219. **12.** *Hahanov V.I., Tamer Bani Amer, Chumachenko S.V., Litvinova E.I.* Qubit technology analysis and diagnosis of digital devices // Electronic modeling. Vol. 37, № 3. 2015. P. 17-40. **13.** *Melikyan V.Sh.* A method of eliminating false paths during statistical static analysis of timing delays of digital circuits // Elektronika i svyaz, Vol. 2-3, No. 1, 2009. P. 93-96. **14.** *Melikyan V.Sh., Vatyay A.O.* Interconnections model delays for the logic analysis of ECL circuits // SUAB, Vol. 2, Computer Engineering, Moscow, 1997. P. 187-194.

Поступила в редколлегию 15.09.2015

Хаханов Иван Владимирович, студент факультета компьютерной инженерии и управления ХНУРЭ. Научные интересы: техническая диагностика цифровых систем, программирование. Увлечения: горные лыжи, английский язык. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. +380 57 70-21-326.

Литвинова Евгения Ивановна, д-р техн. наук, профессор кафедры АПВТ ХНУРЭ. Научные интересы: техническая диагностика цифровых систем, сетей и программных продуктов. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. +380 57 70-21-326. E-mail: kiu@kture.kharkov.ua.

РЕФЕРАТИ

УДК 681.518:004.93.1'

Метод прогнозування рівня сприйняття якості обслуговування в інформаційно-телекомунікаційних системах / В.В. Москаленко, С.В. Пімоненко // АСУ та прилади автоматики. 2015. Вип. 172. С. 4-12.

Запропоновано в рамках функціонально-вартісного аналізу синтез вирішальних правил для прогнозування рівня сприйняття якості обслуговування клієнтів інформаційно-телекомунікаційної системи. При цьому розглянуто застосування узагальненого критерію І.В. Кузьміна, інформаційна складова якого обчислюється в процесі інформаційно-екстремального навчання, а вартісна складова – в процесі підрахунку затрат на формування вхідного математичного опису системи та втрат внаслідок помилок прогнозування.

Лл. 4. Бібліогр.: 9 назв.

UDC 681.518:004.93.1'

Methods of forecasting levels of perceived quality of service information and telecommunication systems/ V.V. Moskalenko, S.V. Pimonenko // Management Information System and Devices. 2015. N 172. P. 4-12.

It is proposed in the framework of activity-based costing synthesis of decision rules for predicting the level of pro-perception of service quality information and telecommunications systems. This is considered the application of the generalized criterion I.V. Kuzmina, the information component which is calculated in the process of information-extreme training, and the value component in the process of calculating costs on the formation of the mathematical description of the input systems we loss due to forecast errors.

Fig. 4. Ref.: 9 items.

УДК 621.39

Концепція формування стратегії нормування з урахуванням структурної насиченості аерофотознімків / В.В. Бараннік, А.О. Красноручий, С.Ю. Стасєв// АСУ та прилади автоматики. 2015. Вип. 172. С.13-17.

Розглянуто існуючі технології обробки зображень в сучасних інформаційно-телекомунікаційних системах. Вказано на наявність протиріччя між часовими витратами на доставлення даних зображення і підтримки відповідності відновлених фрагментів вихідному аерофотознімку. Описуються характеристики компонент трасформанти для ділянок зображення з різноманітною структурною складністю. Обґрунтовано застосування роздільної стратегії нормування з урахуванням структурної складності аерофотознімків.

Табл. 1. Лл. 2. Бібліогр.: 6 назв.

UDC 621.39

The concept of forming valuation strategy based on the structural saturation of aerial photographs / V. Barannik, A.Krasnoruckiy, S. Stasev // Management Information System and Devices. 2015. N 172. P. 13-17.

We consider the existing imaging technologies in modern information and telecommunication systems. It indicates the presence of contradictions between the time spent on the delivery of image data and maintain compliance with the recovered fragments of the original aerial photographs. It describes the characteristics trasformanty component parts of the image with different structural complexity. Separation of rationing strategy based on the structural complexity of aerial photographs has been demonstrated.

Tab. 1. Fig. 2. Ref.: 6 items.

УДК 519.7

Модель реляційного неявного знання / В.М. Левикін, О.В. Чала // АСУ та прилади автоматики. 2015. Вип. 172. С. 18-21.

Розглянута проблема моделювання неявного знання. Описані особливості реляційного неявного знання і виконана його структуризація на приховані й очевидні неформалізовані залежності між сутностями; приховані залежності між різними моделями предметної області; приховані правила використання реляційних знань. Запропонована модель реляційних неявних знань, яка включає допустимий набір станів для сутностей заданої предметної області, неявні відносини переходів між цими станами, інтерпретацію взаємозв'язків між станами, а також обмеження на використання неявних знань.

Лл. 1. Бібліогр.: 10 назв.

UDC 519.7

The relational model of tacit knowledge / V.M. Levykin, O.V. Chala // Management Information System and Devices. All-Ukr.Sci.Inerdep.Mag. 2015. N 172. P. 18-21.

The problem of modeling of explicit knowledge is considered. The features of relational tacit knowledge are formulated. Main elements of the relational tacit knowledge are defined: the hidden and obvious formalized relationship between the entities; hidden dependencies between the domain model; hidden rules of using relational knowledge. A relational model of tacit knowledge, which includes a valid set of states for a given domain of entities, the implicit transition relationships between these states, the interpretation of the relationship between states, as well as restrictions on the use of tacit knowledge.

Fig. 1. Ref.: 10 items.

УДК 681.518.5

Діагностування HDL-моделей мікропрограмних автоматів / О.С. Шкіль, Е.М.Кулак, А.С.Сірокурова // АСУ та прилади автоматики. 2015. Вип. 172. С. 22-31.

Розглянуті методи пошуку помилок проектування в HDL-моделях мікропрограмних автоматів. Вихідний опис автомата представлений композицією операційного і керуючого автоматів, яка описується змістовною граф-схемою алгоритму. HDL-модель керуючого автомата представлена у формі двопроцесного автоматного шаблону автомата Мура. Діагностичний експеримент проведено шляхом обходу усіх дуг графа переходів керуючого автомата, починаючи від початкової вершини, шляхом емуляції функцій операційного автомата в системі верифікації HDL-моделей (TestBench) в середовищі автоматизованого проектування Active-HDL.

Табл. 1. Іл. 9. Бібліогр.: 4 назви.

UDC 681.518.5

Diagnosis the HDL-models of microprogrammed finite state machines / A.S. Shkil, E.N. Kulak, A.S.Sirokurova // Management Information System and Devices. 2015. N 172. P. 22-31.

Methods for searching design errors in HDL-models of microprogrammed finite state machines were considered. The initial description of the finite state machine is represented by a composition of operational and control state machines, which is described by the pithy flow chart of an algorithm. HDL-model of the control state machine is represented in the form of two-process automata template of the Moore state machine. Diagnostic experiment is conducted by means of the arcs of the transition graph of the control automatic state machine, from the initial node, by emulating functions of the operational finite state machine in the verification system of HDL-models (TestBench) in the design environment Active-HDL.

Tab. 1. Fig. 9. Ref.: 4 items.

УДК 681.518

Розробка програмного модуля безконтактного теплового контролю якості радіоелектронних модулів на друкованій платі / Д.В. Гуріна, І.В. Гарячевська // АСУ та прилади автоматики. 2015. Вип. 172. С. 32-37.

Розглянуті методи перевірки якості друкованих плат. Поліпшено метод теплового неруйнівного контролю якості друкованих плат. На підставі методу теплового неруйнівного контролю якості друкованих плат розроблено програмний продукт, що дозволяє автоматизувати процес контролю 4 і більше друкованих плат на конвеєрі.

Іл. 3. Бібліогр.: 3 назви.

UDC 681.518

Development of a software module contactless heat control of the quality of electronic modules on the circuit / D.V. Gurina, I.V. Garyachevska // Management Information System and Devices. 2015. N 172. P. 32-37.

The article describes the methods for testing the quality of printed circuit boards. Examined and improved method of thermal non-destructive inspection. Based on the method of thermal non-destructive quality control of printed circuit boards designed software that allows you to automate the process of monitoring of 4 or more printed circuit boards on the conveyor.

Fig. 3. Ref.: 3 items.

УДК 004.89

Управління знаннями на автоматизованому підприємстві / М.Ю. Вишняк, І.М. Климова // АСУ та прилади автоматики. 2015. Вип. 172. С. 38-43.

Впровадження управління знаннями на автоматизованому підприємстві далеко не завжди забезпечує очікуваний результат. Основна причина - різні тлумачення базових понять, наслідком чого є підміна управління знаннями іншими видами управлінь. Викладена точка зору, що виявляє концептуальні обмеження сучасних систем управління знаннями

Табл. 1. Іл. 3. Бібліогр.: 9 назв.

UDC 004.89

Knowledge management at automotive company / M.Yu. Vishnyak, I.N. Klimova // Management Information System and Devices. All-Ukr. Sci. Interdep. Mag. 2016. N 172. P.38-43.

The implementation of knowledge management for the automated enterprise does not always lead to the expected result. The main reason is that different interpretations of basic concepts, resulting in a substitution of knowledge management in other types of management. We present a point of view to identify the conceptual limitations of modern knowledge management systems.

Tab. 1. Fig. 3. Ref.: 9 items.

УДК 519.7

Про можливі подання матриць лінійних логічних операторів / А.М. Гвоздинський, Н.А. Якімова, В.О. Губін // АСУ та прилади автоматики. 2015. Вип.172. С.44 – 47.

Розглянуто процес побудови матриць лінійних логічних операторів у різних випадках подання логічних просторів. Показано, що для булевих просторів будь-яка матриця є матрицею оператора. Для предикатних просторів для арності матриць є певні вимоги. Для порядкових просторів таких обмежень немає, бо матриця подається у бінарнопредикатному вигляді.

Табл.2. Бібліогр.: 8 назв.

UDC 519.7

The possible representation of matrices linear Boolean operators / A.N. Gvozdinsky, N.A. Yakimova, V.A. Gubin // Management Information System and Devices. 2015. N.172. P.44 – 47.

In this article is shown the process of constructing of the matrices of linear Boolean operators in different cases representation of logical spaces. It's shown that for Boolean spaces any matrix is an operator's matrix. To the dimensions of the matrices have certain requirements for predicative spaces. It is not such restrictions for the sequence spaces, because the matrix is represented as a binary predicate.

Tab.2. Ref.: 8 items.

УДК 004.912

Метод пошуку релевантних зв'язків між концептами онтологій, що проектуються / Л.Е.Чала, А.В.Чижевський, О.Б.Волощук // АСУ та прилади інформатики. 2015. Вип. 172. С. 48–55.

Запропоновано метод визначення найбільш релевантних зв'язків між концептами онтологічних моделей, що формуються. Обчислювальна схема методу, яка ґрунтується на модифікованому алгоритмі Гінзбурга, дозволяє поліпшити якість автоматично створюваних онтологій. Метод може бути ефективно використано для задач семантичного пошуку в системах інтелектуального аналізу електронних текстів та формування онтологічних моделей предметної області.

Лл. 1. Бібліогр.: 6 назв.

UDC 004.912

Method of search of relevant connections between concepts of the designed ontologies / L.E.Chala, A.V. Chyzhevskiy, O.B.Voloshchuk // Management Information System and Devices. N.172. P.48 – 55.

In the article the method of determination most of relevant connections between concepts of the designed ontological models is proposed. The calculus procedure of method, based on modification of Ginsburg's algorithm, allows improving quality automatically created ontologies. A method can be effectively used for the tasks of semantic search in the intellectual analysis systems of e-texts and forming of ontological models of subject domain.

Fig. 1. Ref.: 6 items.

УДК 519.613:681.326

Синтез та аналіз «квантових» моделей цифрових систем / І.В. Хаханов, Є.І. Литвинова // АСУ та прилади інформатики. 2015. Вип. 172. С. 56–70.

Запропоновано «квантовий» процесор для моделювання і верифікації цифрових систем, заснований на транзакціях між адресованими компонентами пам'яті для реалізації будь-якої функціональності. Описано новий підхід до синтезу та аналізу цифрових систем, що використовує векторну форму (квант) завдання комбінаційних і послідовних структур для їх імплементації в елементи пам'яті, що істотно відрізняється від загальноприйнятої теорії проектування дискретних пристроїв на основі таблиць істинності компонентів.

Лл. 9. Бібліогр.: 14 назв.

UDC 519.613:681.326

Synthesis and analysis of "quantum" models for digital systems / I.V. Hahanov, Ye.I. Litvinova// Management Information System and Devices. N.172. P.56 – 70.

A "quantum" processor for simulation and verification of digital systems, based on transactions between the addressed memory components to implement any functionality, is proposed. A new approach to the synthesis and analysis of digital systems is described; it is based on the use of the vector form (quantum) of the representation of combinational and sequential structures for their implementation in the memory cells that is significantly different from the conventional theory of designing discrete devices based on the truth table components.

Fig. 9. Ref.: 14 items.

УДК 629.391

Метод непрямого стеганографічного перетворення на основі використання функціоналу для адаптивного позиційного кодування / В.В. Бараннік, О.К. Юдін, О.В. Фролов // АСУ та прилади інформатики. 2015. Вип. 172. С. 71–75.

Розроблено метод непрямого стеганографічного вбудовування на основі використання функціоналу для адаптивного позиційного кодування. На основі розробленого методу спроектована система непрямого стеганографічного вбудовування, яка дозволяє вбудовувати інформацію шляхом модифікації основ елементів зображення-контейнера. Проведено аналіз зображень, отриманих в результаті зворотнього стеганографічного перетворення.

Бібліогр.: 3 назви.

UDC 629.391

Method of indirect steganography transformation based on functional adaptive coding position / V.V. Barannik, O.K. Yudin, O.V. Frolov // Management Information System and Devices. N.172. P.71 – 75.

Method of indirect steganographic embedding based on functionality for adaptive positional coding is developed. The system of indirect steganographic embedding which allows embed information by modification of the image container elements bases is designed. The analysis of the images received as a result of inverse steganographic transformation is carried out.

Ref.: 3 items.

УДК 621.39

Модель оцінки інформативності слоту Р-кадрів на основі виявлення структурно-градієнтних міжтрансформантних обмежень / В.В. Бараннік, С.С. Шульгін // АСУ та прилади інформатики. 2015. Вип. 172. С. 76–81.

Обґрунтовано напрям обробки динамічного відеоінформаційного ресурсу для підвищення інформаційної безпеки з використанням міжтрансформантної обробки. Розроблено модель оцінки бітової інтенсивності слотів Р-кадрів на основі ефективного синтаксичного представлення інформативних диференційно описаних спектрограм з урахуванням узагальненої характеристики градієнтного простору локально-структурних (градієнтних) обмежень. Показано, що такий тип структурних закономірностей обумовлений цілою низкою причин, а саме: наявність корельованості між відеокадрами; незначні зміни освітленості об'єктів відеосцен; залежно між компонентами ДКП сусідніх трансформант; попереднє зниження динамічного діапазону елементів спектрограм в результаті їх диференційного опису. Обґрунтовано потенційні характеристики створюваного підходу щодо додаткового зниження бітової інтенсивності динамічного інформаційного ресурсу.

Бібліогр.: 5 назв.

UDC 621.39

Model for estimating informative slot P-frames, based on identifying structurally graded inter-transformation limitations / V. V. Barannik, S. S. Shulgin// Management Information System and Devices. N.172. P.76 – 81.

Model for evaluating bit intensity slots of P-frame is developed based on efficient parsing informative presentation of differential-described spectrograms by using the characteristics of the generalized gradient space locally-structural (gradient) limitations. Potential characteristics of proposed approach have been proved via additionally reduce the bit rate of dynamic information resource.

Ref.: 5 items.

УДК 621.327:681.5

Селективний метод шифрування відеопотоку в телекомунікаційних системах на основі приховування базового I-кадру / В.В. Бараннік, Д.І. Комолов // АСУ та прилади інформатики. 2015. Вип. 172. С. 82–87.

Розглянуто селективний метод шифрування відеокадрів, заснований на приховуванні базового I-кадру. Робота даного методу базується на основі обробки групи кадрів з урахуванням алгоритму MPEG, який реалізований за принципом формування послідовності відеокадрів різних типів. Представлено алгоритми і схеми кодування і декодування відеопотоку із застосуванням даного методу. Розробляється метод оцінки обсягу прихованого I-кадру і його стисненого подання без приховування щодо групи кадрів в процентному співвідношенні. Проаналізована зміна обсягу стисненого уявлення групи кадрів з прихованим базовим кадром щодо стисненого початкового об'єму групи кадрів залежно від різних значень пікового відношення сигнал / шум для різних типів кадрів. Розроблена методологічна база для визначення різниці між обсягами стисненого уявлення групи кадрів із застосуванням приховування базового I-кадру і без приховування в процентному співвідношенні

Бібліогр.: 4 назви.

UDC 621.327:681.5

Selective video stream encryption methods in telecommunication systems based on hidden basic I-frames / V.V. Barannik, D.I. Komolov // Management Information System and Devices. N.172. P.82 – 87.

In this article the selective encryption method of video frames based on a hidden baseline I-frame. The work of this method is based on the processing-frame, taking into account the algorithm MPEG. The article also presents algorithms, coding and decoding the video stream using this method.

Ref.: 4 items.