

## ДЕЛИТЕЛИ ЧАСТОТЫ ДЛЯ ЦИФРОВОГО СИНТЕЗАТОРА ЧАСТОТ

*О. И. Губернаторов, Р. М. Пивовар, В. Т. Пивовар,  
А. Г. Гордиенко*

Харьков

Делители частоты с постоянным и переменным коэффициентами деления являются неотъемлемой частью цифрового синтезатора частот. Их основные качественные показатели (максимальная рабочая частота, время задержки сигнала и др.) в основном определяют принципы построения схем таких синтезаторов. Ниже описываются некоторые схемы делителей частоты, которые были применены авторами при разработке различных схем цифровых синтезаторов, и приводятся их основные характеристики.

### 1. Делители частоты с постоянным коэффициентом деления

Делители частоты с постоянным коэффициентом деления в цифровых синтезаторах частот используются, с одной стороны, для получения опорного напряжения частоты сравнения, с другой — для получения частоты управляемого генератора (или промежуточной частоты) до значения, обеспечивающего устойчивую работу управляемого делителя.

Величина коэффициента деления постоянного делителя, с помощью которого создается напряжение частоты сравнения, зависит от частоты опорного генератора  $f_{ог}$  и частоты сравнения  $f_{ср}$  и может быть определена из отношения

$$K = \frac{f_{ог}}{f_{ср}}. \quad (1)$$

Для получения опорного напряжения частоты сравнения были разработаны и испытаны схемы делителей с коэффициентами деления 100, 1000, 1600 и 8000.

При построении схем использовалось последовательное соединение бинарных ячеек и декад. В основу построения бинарной ячейки описываемых ниже делителей была положена триггерная схема. В связи с тем, что выпускаемые промышленностью типовые унифицированные триггеры имеют максимальную рабочую частоту 1,5 мГц (в диапазоне изменения температуры  $-60^\circ \div +60^\circ \text{C}$ ), основное внимание было обращено на разработку триггерной ячейки, которая обеспечивала бы работу до 10 мГц в том же температурном режиме и при изменении питающих напряжений в пределах  $\pm 20\%$ . Эта задача была решена с помощью схемы триггера, работающего в ненасыщенном режиме благодаря введению нелинейной обратной связи, с внешним смещением и управляемым счетным запуском на базы (рис. 1). Применение такой схемы дает возможность понизить чувствительность триггера к длительности входных импульсов и позволяет запускать любое число триггерных ячеек непосредственно друг от друга простым дифференцированием фронта выходного импульса без использо-

вания специальных межкаскадных формирующих устройств. На этом принципе собрана счетная декада, состоящая из четырех последовательно соединенных триггеров, охваченных обратной связью по схеме 1—2—4—2. Блок-схема такой декады приведена на рис. 2.

Все триггеры изготовлены на платах с печатным монтажом, при этом использовались сопротивления типа МЛТ-0,25 или УЛМ с допуском  $\pm 10\%$ , конденсаторы типа КТ-1 или КМ с допуском  $\pm 20\%$ , импульсные диоды типа Д18 с малым временем переключения и транзисторы типа П416. Специального отбора диодов и транзисторов, а также наладки триггеров и декад (при правильном выполнении их монтажа) для этого не требуется.

Повышение рабочей частоты триггера до 20 мГц было достигнуто введением в цепь обратной связи эмиттерных повторителей. Обе схемы триггера применяются и в делителях с переменными коэффициентами деления, где через цепочки  $D_7$ ,  $D_6$ ,  $C_5$  подаются импульсы сброса. Цепочки  $D_9$ ,  $D_8$ ,  $C_6$  служат для подачи импульса обратной связи при построении декады.

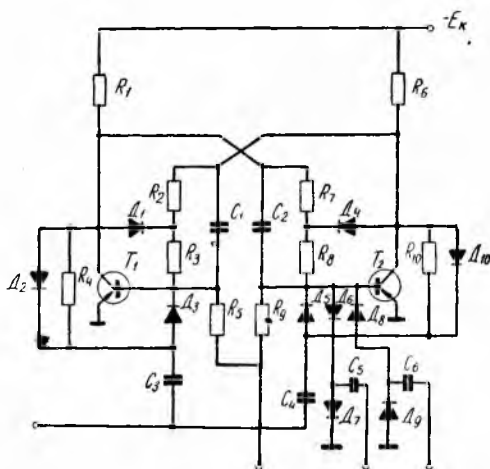


Рис. 1. Принципиальная схема триггера.

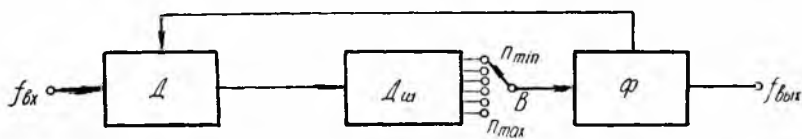


Рис. 2. Блок-схема делителя с переменным коэффициентом деления.

## 2. Делители частоты с переменным коэффициентом деления

Назначение делителя с переменным коэффициентом деления — деление частоты синхронизируемого генератора (СГ) до частоты сравнения на каждом канале работы синтезатора. Одновременно с переключением коэффициента деления переключаются каналы работы синтезатора. Делитель с переменным коэффициентом деления является наиболее важным и сложным узлом кольца автоматической подстройки в синтезаторе частоты.

При разработке синтезатора частоты в диапазоне 1—10 мГц с шагом дискретности 10 кГц был создан переменный делитель частоты с коэффициентами деления 100—399; для синтезатора с шагом в 10 Гц — с коэффициентами 2000—3999.

Все переменные делители частоты выполнены по общей блок-схеме, приведенной на рис. 2. Здесь  $D$  — делитель частоты, состоящий из необходимого для получения максимального заданного коэффициента деления  $n_{\max}$ , количества триггерных ячеек —  $p$ ;  $D_{\text{ш}}$  — дешифратор, имеющий  $2p$  входов и  $l$  выходов (от  $n_{\min}$  до  $n_{\max}$ );  $B$  — устройство для переключения коэффициента деления (механическое или электронное);  $\Phi$  — схема формирования импульса сброса.

Принцип действия переменного делителя заключается в том, что частота входного импульсного напряжения  $f_{\text{вх}}$  делится делителем  $D$ ; выходные напряжения триггеров делителя поступают на дешифратор, позволяющий выделить на  $l$  выходах последовательно все от  $n_{\text{min}}$  до  $n_{\text{max}}$  импульсы входной частоты;  $n$ -й импульс, выбранный переключающим устройством  $B$  и необходимый для получения заданного коэффициента деления  $n$ , после его формирования (по форме и амплитуде) формирующим устройством поступает на все триггерные ячейки делителя  $D$  и приводит их в исходное состояние. Таким образом, после появления на входе делителя  $n$ -го импульса (соответствующего заданному значению коэффициента деления  $n$ ) схема возвращается в исходное состояние, и с приходом  $n+1$  импульса работа схемы повторяется, в результате чего на выходе делителя получается напряжение с частотой  $f_{\text{вых}} = \frac{f_{\text{вх}}}{n}$ .

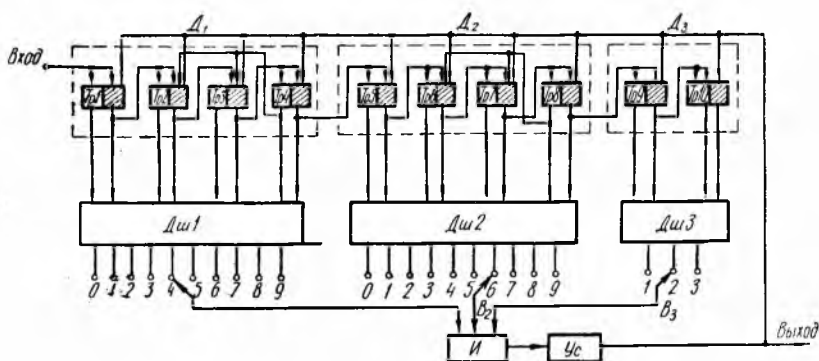


Рис. 3. Функциональная схема делителя частоты с коэффициентом деления 100—399.

В переменных делителях с коэффициентом деления 100—399 и 2000—3999 в качестве делителя  $D$  применены декадные делители частоты на триггерных ячейках. Схема делителя с коэффициентами деления 2000—3999 отличается от приведенной на рис. 3 наличием еще одной декады и дешифратора.

Для переменного делителя с коэффициентами деления 100—399 (рис. 3) делитель частоты должен иметь емкость счета  $N$  не менее 399 единиц. Таким значением емкости счета обладает делитель, состоящий из двух декадных делителей ( $D_1$  и  $D_2$ ) и одного делителя на 4 ( $D_3$ ):  $10 \cdot 10 \cdot 4 = 400$ . Каждый декадный делитель выполнен на четырех последовательно соединенных триггерных ячейках с обратными связями, введенными по схеме 1—2—4—2, как и для делителей с постоянным коэффициентом деления. Делитель  $D_3$  состоит из двух триггерных ячеек. Все триггерные ячейки переменного делителя выполнены на платах с печатным монтажом по схеме, приведенной на рис. 1.

Выходные напряжения с обоих коллекторов каждого триггера декады  $D_1$  поступают на соответствующие входы дешифратора  $Дш1$ . Дешифратор представляет собой совокупность 10 диодных схем совпадения на четыре входа каждая и выполнен по матричной схеме (диоды расположены в матрице по рядам и строкам). Матрица имеет 8 входных цепей и десять выходных, на которых последовательно появляются от 0 до 9 импульсов соответственно.

Декадный делитель  $D_2$  и дешифратор  $Дш2$  собраны по тем же схемам и работают аналогично делителю  $D_1$  и дешифратору  $Дш1$ . На десяти

выходах дешифратора  $Дш2$  появляется каждый импульс, поступающий на вход делителя  $Д_2$ , который соответствует десяти импульсам, поступающим на вход делителя  $Д_1$ .

Делитель  $Д_3$  представляет собой последовательное соединение двух триггерных ячеек, дешифратор  $Дш3$  — четыре первых ряда и первую, вторую и третью строки дешифратора  $Дш1$ . На выходах дешифратора  $Дш3$  выделяется каждый сотый по отношению ко входным импульсам делителя  $Д_1$  импульс.

Выходы дешифраторов переключаются с помощью переключающего устройства, которое в данном переменном делителе состоит из трех галетных переключателей, два из которых ( $B_1$  и  $B_2$ ) — типа 1П1Н, а третий ( $B_3$ ) — типа ЗПЗН.

Выбранные с помощью переключателей импульсы с выходов дешифраторов  $Дш1$ ,  $Дш2$ ,  $Дш3$  поступают на схему совпадения  $И$ , состоящую из трех диодов и сопротивления. При их одновременном воздействии на выходе схемы  $И$  появляется импульс отрицательной полярности, следующий с частотой  $\frac{f_{вх}}{n}$ . Далее он поступает на два последовательно соединенных инвертора, где формируется по длительности и амплитуде, а затем уже подается на базы четных транзисторов ( $T_2$  на рис. 1) всех триггеров переменного делителя, устанавливая их в исходное состояние. Импульсы сброса одновременно являются выходными импульсами переменного делителя.

По мере прохождения по тракту деления и формирования импульс сброса задерживается по отношению ко входному  $n$ -му импульсу на время  $\tau_3$ . Эта задержка накладывает ограничение на максимальную возможную входную частоту переменного делителя. При построении переменного делителя с коэффициентом деления  $n$  для частоты  $f_{\max}$  необходимо исходить из условия  $\tau_3 < \frac{1}{f_{вх \max}}$ , чтобы к приходу  $n + 1$  импульса схема успела вернуться в исходное состояние. В противном случае действительный коэффициент деления увеличится по сравнению с установленным переключателями на число  $q = \tau_3 f_{вх \max}$ .

В делителе частоты с коэффициентом деления  $n = 100 - 399$  эта задержка составляет 1,7 мксек. Поэтому максимальная частота, на которой можно без ошибки получить заданный коэффициент деления, не превышает 600 кГц.

В связи с изложенным все элементы и узлы схемы делителя должны удовлетворять требованиям высокого быстродействия. С этой целью в делителе с коэффициентами деления  $n = 2000 - 3999$  были применены высокочастотные триггеры со встроенными эмиттерными повторителями. На этих триггерах были собраны три декадных делителя и делитель на 4 для обеспечения деления на  $n_{\max} = 3999$ . Хотя в данном переменном делителе на 4 триггера и один дешифратор больше, чем в делителе с переменным коэффициентом деления 100—399, задержка импульса сброса составляет примерно 0,8 мксек (максимальная частота счета равна 1,2 мГц) благодаря применению быстродействующих триггеров.

При создании постоянных и переменных делителей частоты были изготовлены и испытаны триггеры и собранные на их основе декадные и двоичные делители частоты с использованием различных типов транзисторов и полупроводниковых диодов: П403 и Д9, П416 и Д18. Испытания этих делителей показали, что декадный делитель частоты, собранный на триггерах без эмиттерных повторителей с использованием транзисторов типа П403 и диодов типа Д9, работает устойчиво до максимальной частоты 5 мГц при изменениях напряжения коллекторного питания от

—9 до —12 в, напряжения смещения —от +0,4 до +1,1 в и температуры окружающей среды —от —50° до +50°С. Тот же делитель частоты, но собранный на транзисторах типа П416 и диодах типа Д18, работает устойчиво до частоты 9 мГц при изменениях напряжения коллекторного питания от —7 до —14 в, напряжение смещения —от 0 до +2 в и температуры окружающей среды —от —60° до +65°С. Переменный делитель с коэффициентом деления 100—399, собранный с использованием во всех схемах транзисторов П416 и диодов Д18, работает устойчиво во всем диапазоне изменения температуры окружающей среды —60° ÷ +65°С при изменении напряжений питания на  $\pm 20\%$  до максимальной частоты 600 кГц.

Применение эмиттерных повторителей в цепях обратных связей триггеров на транзисторах П416 и диодах Д18 позволило повысить верхнюю граничную частоту самого триггера до 20 мГц, декады (из четырех таких триггеров) — до 15 мГц, а переменного делителя с коэффициентом деления 2000—3999 — до 1,2 мГц.

Добиться дальнейшего повышения максимальной входной частоты переменного делителя можно, устранив причины, из-за которых возникает задержка импульса сброса. Очевидно, возможны несколько способов повышения быстродействия переменного делителя:

1) повышение быстродействия триггеров; 2) использование в качестве делителя  $D$  (рис. 1) двоичного делителя частоты (а не двоично-десятичного), что повышает быстродействие переменного делителя вследствие исключения обратных связей между триггерами при создании декадных делителей; 3) использование в качестве делителя  $D$  кольцевых декадных делителей частоты, в которых задержка равна задержке в одном триггере, а общая задержка в делителе пропорциональна количеству декад.

В настоящее время авторами ведутся работы, имеющие целью повышение быстродействия переменного делителя по трем указанным выше направлениям.

#### ЛИТЕРАТУРА

1. А. М. Тищенко, Б. М. Лебедев и др. Расчет и проектирование импульсных устройств на транзисторах. Изд-во «Советское радио», 1964.
2. Я. Будицкий. Транзисторные переключающие схемы. Связьиздат, 1965.