

**ПЕРСПЕКТИВИ ВИКОРИСТАННЯ ШИНИ I3C,  
ЯК ОСНОВНОГО ІНТЕРФЕЙСУ КОМУНІКАЦІЇ  
У ВБУДОВУВАНИХ СИСТЕМАХ**

Онiщенко А.В.

e-mail: andrii.onishchenko@nure.ua

Науковий керівник – к.т.н., асистент Волох А.В.

Харківський національний університет радіоелектроніки, каф. МТС  
м. Харків, Україна

This article examines the evolution of serial communication interfaces, focusing on the limitations of the I2C bus and the advantages of the improved I3C standard. I3C retains backward compatibility with I2C while significantly enhancing data transfer speed, dynamic address assignment, and device communication efficiency. The article highlights the differences between the full I3C specification and the free MIPI I3C Basic version, emphasizing the challenges of integrating I3C into FPGA designs due to the lack of open-source IP cores. The article underscores the need for developing cost-effective, open-source I3C controllers to expand adoption in embedded systems.

Шина Inter-Integrated Circuit (I2C) була розроблена компанією Philips у 1982 році як синхронна двопровідна шина для зв'язку між інтегральними схемами на короткі відстані. Завдяки надійним характеристикам, мінімальним вимогам до апаратного забезпечення та низького енергоспоживання, шина I2C стала надзвичайно популярною у світі вбудовуваних систем. Протягом десятиліть вона стала стандартом де-факто для підключення низькошвидкісних периферійних пристроїв. Однак з появою більш просунутих вбудовуваних систем, шина I2C почала застарівати. Максимальна швидкість I2C у 3,4 Мбіт/с у високошвидкісному режимі є недостатньою в сучасних системах, які потребують вищої швидкості передачі даних. Такому обмеженню сприяє відносно низька швидкість наростання амплітуди сигналу на фізичному рівні реалізації шини, яка базується на одному транзисторі з відкритим витоком/відкритим колектором. Вищі частоти можуть призвести до перехідного процесу і появи невизначених логічних станів, коли сигнал дискретизується на фронті синхронізації.

У відповідь на ці вимоги MIPI Alliance розробив специфікацію на шину Improved Inter-Integrated Circuit (I3C), яка зберігає сумісність з I2C, але пропонує значні покращення. I3C у стандартному режимі SDR (Single Data Rate) забезпечує швидкість до 12,5 Мбіт/с, що значно перевищує можливості I2C. Для підвищення швидкості передачі даних, I3C на фізичному рівні використовує дворежимний інтерфейс, що базується на високошвидкісних push-pull виходах, які забезпечують набагато вищу швидкість передачі. Це дозволяє використовувати I3C у застосуваннях, де потрібна висока пропускна здатність, таких як передача даних від сенсорів високої розділь-

ної здатності або швидкісних периферійних пристроїв. У I<sup>2</sup>C адреси пристроїв зазвичай фіксовані та встановлюються апаратно або програмно під час розробки системи. I<sup>3</sup>C вводить механізм динамічного призначення адрес (Dynamic Address Assignment), який дозволяє контролеру шини автоматично призначати унікальні адреси підлеглим пристроям під час ініціалізації. Це спрощує процес налаштування системи та зменшує ймовірність конфліктів адрес.

Одним із обмежень I<sup>2</sup>C також є відсутність стандартного механізму для підлеглих пристроїв ініціювати зв'язок з контролером. I<sup>3</sup>C вирішує цю проблему за допомогою вбудованих переривань, які дозволяють підлеглим пристроям надсилати сигнали переривання безпосередньо по даній шині, без потреби в додаткових лініях. Це підвищує ефективність зв'язку та зменшує кількість необхідних з'єднань. I<sup>3</sup>C, як і I<sup>2</sup>C, підтримує можливість динамічного підключення нових пристроїв до шини після її ініціалізації. Крім того I<sup>3</sup>C розроблена з урахуванням зворотної сумісності з I<sup>2</sup>C, що дозволяє використовувати існуючі I<sup>2</sup>C-пристрої на одній шині з I<sup>3</sup>C-пристроями. Для сумісності з I<sup>2</sup>C пристроями, на фізичному рівні шина I<sup>3</sup>C може буди налаштована як більш повільний вихід з відкритим стоком.

Повна специфікація для I<sup>3</sup>C доступна тільки для членів MIPI Alliance та є платною. Безоплатна версія стандарту, яка має назву MIPI I<sup>3</sup>C Basic, доступна для організацій, що не є членами альянсу. Базова версія підтримує майже всі розширені функції доступні в I<sup>3</sup>C, крім частини складнішої реалізації, наприклад додаткових режимів високої швидкості передачі (HBR-DDR). Постачальники засобів електронного проектування, наприклад Synopsys, надають платні контролери I<sup>3</sup>C і відповідне програмне забезпечення для підтримки такої шини в нових конструкціях інтегральних схем. Розробники ПЛІС, такі як Lattice Semiconductor, забезпечують інтеграцію підтримки I<sup>3</sup>C в своїх ПЛІС. Однак існуючих безкоштовних IP-ядер, які підтримують базову версію протоколу I<sup>3</sup>C, майже немає. Тому інженер, який прагне використовувати частини I<sup>3</sup>C, обмежений кількома системами обробки доступних контролерів I<sup>3</sup>C, які не обов'язково сумісні з його вимогами до проекту. В зв'язку з цим представляє інтерес розробка і тестування контролерів I<sup>3</sup>C з відкритим вихідним кодом, які орієнтовані на недорогі існуючі ПЛІС, що забезпечить подальший розвиток і розширення практики застосування шини I<sup>3</sup>C.

Список використаних джерел. 1. Valdez J., Becker J. Understanding the I<sup>2</sup>C bus. Texas Instruments. 2015. 8 p. 2. MIPI I<sup>3</sup>C and I<sup>3</sup>C Basic: веб-сайт. – URL: [www.mipi.org/specifications/i3c-sensor-specification](http://www.mipi.org/specifications/i3c-sensor-specification). (дата звернення: 10.01.2025). 3. Mahale A., Kariyappa B.S. Architecture analysis and verification of I<sup>3</sup>C protocol // 3rd ICECA. 2019. P. 930–935.