

СИСТЕМА МОДЕЛЮВАННЯ НЕСПРАВНОСТЕЙ В ГРАФОВИХ СТРУКТУРАХ НА ОСНОВІ ВЕКТОРНОЇ ЛОГІКИ

Дриль С. В., гр. КІУКІ-22-7

e-mail: serhii.dryl@nure.ua

Науковий керівник – д.т.н., проф. Чумаченко С.В.
Харківський національний університет радіоелектроніки,
кафедра АПОТ, м. Харків, Україна

The work is devoted to a system for modeling faults in graph structures, which includes a vector form of graph description obtained by synthesizing a truth table, where addresses are formed by concatenating binary-coded transition nodes; a testing map based on matrix procedures for processing the structure as functionality; an algorithm and software implementation.

Розглядається система моделювання несправностей у графових структурах, яка включає векторну форму опису графа шляхом синтезу таблиці істинності, де адреси формуються конкатенацією двійково-кодованих початків та кінців переходів. Усі існуючі переходи у графі відзначаються одиничними координатами у логічному векторі. Усі неіснуючі (уявні) переходи у графі відзначаються нульовими координатами у логічному векторі. Дійсні і уявні переходи формують логічний вектор, розмірність якого завжди дорівнює 2^n , де n – загальна кількість двійкових змінних для кодування початків і кінців переходів. На основі логічного вектора графа будується карта тестування за три матричні процедури обробки структури як функціональності.

Логічний вектор графа уявляє собою двійковий вектор довжини 2^n , де кожна координата визначається адресою, що формується конкатенацією двійкових кодів вершин, які беруть участь у формуванні дуги. Таблиця істинності – це явна модель графа, де адреси формують конкатенацію двійкових кодів вершин, що у формуванні дуг. Кількість змінних залежить від кількості вершин-витоків. Йдеться про верифікацію цифрових структур чи графів, опис яких задається логічним вектором чи таблицею істинності переходів графа (алгоритму) або структури. За допомогою графів можна описати будь-яку скільки завгодно складну функцію.

Для використання механізмів векторно-логічного моделювання несправностей графа необхідно подати графову структуру у вигляді функції. Тут використовується логічний вектор. Його координати представлені адресами, які у структурі ототожнюються з переходами, зазначеними у логічному векторі одиницями, якщо перехід існує. Якщо

якийсь перехід відсутній, йому відповідає нульове значення у відповідній позиції вектора. Таким чином, модель структури (графа) – це логічний вектор, де двійково-кодовані переходи розглядаються як адреси поодиноких біт логічного вектора. Отже, граф можна тестувати як логічну функцію, представлену вектором.

Застосовується наступна стратегія тестування графової структури [1-3]: 1) визначення множини критичних точок функціональності шляхом синтезу дедуктивної матриці, побудованої на основі логічного вектора; 2) визначення тесту покриття всіх несправностей вхідних змінних, які розглядаються як двійкові адреси критичних станів логічного вектора. При цьому покриття тестом 100% одиночних несправностей у карті тестування гарантує тестову верифікацію цифрового виробу. За підсумками логічного вектора графа вирішується задача його тестування шляхом знаходження тесту для вхідних несправностей функціональності. Для графа це означає перевірку всіх несправностей переходів у метриці логічного вектора чи таблиці істинності графа. Щоб тест для граф-структури існував, необхідно, щоб його логічний вектор містив хоча б одну одиницю і хоча б один нуль.

Список використаних джерел:

1. Hahanov V. Vector-Logical In-Memory Simulation of Faults as Truth Table Addresses / V. Hahanov, E. Litvinova, H. Hahanova, S. Chumachenko, Z. Davitadze, I. Hahanova, H. Kulak, V. Ponomarova, V. H. Abdullayev // 2024 IEEE East-West Design & Test Symposium (EWDTS), Yerevan, Armenia, 2024, pp. 1-6, doi: [10.1109/EWDTS63723.2024.10873615](https://doi.org/10.1109/EWDTS63723.2024.10873615).
2. V. Hahanov, S. Chumachenko, E. Litvinova, I. Hahanov, Z. Davitadze and D. Devadze, "Vector Logic of Computing," 2025 IEEE 13th International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications (IDAACS), Gliwice, Poland, 2025, pp. 1-5, doi: [10.1109/IDAACS68557.2025.11322309](https://doi.org/10.1109/IDAACS68557.2025.11322309).
3. Hahanov V. Vector Logic Modeling Self-Tested Circuits / V. Hahanov, S. Chumachenko, E. Litvinova, I. Hahanov, V. Ponomarova, H. Khakhanova, G. Kulak // IAES International Journal of Robotics and Automation. December 2024. Vol 13, No 4. P. 452-468. doi: [10.11591/ijra.v13i4.pp452-468](https://doi.org/10.11591/ijra.v13i4.pp452-468).