

**СПІЛЬНЕ ПРОЄКТУВАННЯ АПАРАТНО-ПРОГРАМНОГО
ЗАБЕЗПЕЧЕННЯ ВБУДОВАНИХ СИСТЕМ В САПР VIVADO
DESIGN SUITE ТА VITIS UNIFIED IDE**

Чухно Д. С.

e-mail: denys.chukhno@nure.ua

Харківський національний університет радіоелектроніки, каф. АПОТ
м. Харків, Україна

The paper considers the methodology of hardware/software co-design for embedded systems based on SoC, particularly the use of Vivado Design Suite and Vitis Unified IDE tools from AMD. As an example, a model of a multifunctional wristwatch based on SoC Zynq7000 (on the board EBAZ 4205) was created, which includes both hardware and software parts. The project for the FPGA part was described in VHDL using a single pre-designed IP core in Vivado. In parallel, a project that defines the control of the display was created in C language in Vitis. The experimental results confirmed the correctness of the model and the feasibility of using these tools for hardware/software co-design of embedded systems.

Вступ. Методологія спільного проектування апаратного (hardware, HW) та програмного (software, SW) забезпечення (HW/SW co-design) при розробці вбудованих цифрових систем дедалі більше застосовуються у таких галузях, як автомобільна, аерокосмічна, телекомунікаційна та споживча електроніка. При виборі варіанту реалізації вбудованої системи важливо враховувати вимоги до продуктивності, енергоспоживання, вартості та складності розробки. Залежно від конкретного завдання, можуть бути обрані різні рішення, такі як System on Chip (SoC), FPGAs, мікроконтролери, Advanced Reduced Instruction Set (ARM)-платформи. Саме використання SoC, як інтегрованої схеми, що включає всі основні компоненти, необхідні для функціонування вбудованої системи, на одному кристалі, дозволяє в повній мірі скористатися перевагами спільного проектування апаратного та програмного забезпечення, забезпечуючи тим самим високу ефективність, зменшення часу на розробку та гнучкість.

Для спільного проектування використовуються спеціалізовані інструменти, які дозволяють моделювати апаратні компоненти разом з програмним забезпеченням, а потім перевіряти їх на працездатність. Для створення проектів на SoC фірми Xilinx (зараз AMD) використовуються два інструмента: Vivado™ Design Suite and Vitis™ Unified IDE. Vivado пропонує апаратно-орієнтований підхід до проектування обладнання [1], тоді як Vitis пропонує програмно-орієнтований підхід до розробки як апаратного, так і програмного забезпечення [2].

Об'єктом дослідження є методологія спільного проектування апаратного та програмного забезпечення вбудованих систем на SoC. А, *предметом дослідження* є автоматизація спільного проектування апаратного та програмного забезпечення вбудованих систем за допомогою САПР фірми AMD (Vivado та Vitis).

Мета дослідження – спільне проектування HW/SW моделі багатофункціонального ручного годинника на базі SoC Zynq 7000 з використанням САПР Vivado Design Suite and Vitis Unified IDE.

Зміст дослідження. Архітектура SoC Xilinx Zynq 7000 передбачає як розробку програмного забезпечення в секції процесора (processing system, PS), так і розробку апаратного забезпечення в секції програмованої логіки (programmable logic, PL) [3]. Головна задача, що стоїть перед розробниками вбудованих систем на SoC, полягає в тому, що треба проаналізувати архітектуру конкретного кристалу, для того щоб обрати оптимальне рішення щодо розподілу функцій між двома секціями кристала. Цей процес і називається спільним проектуванням програмно-апаратного забезпечення. Для його втілення на практиці було розроблено модель багатофункціонального годинника для подальшої реалізації її на платі EBAZ4205 (SoC Zynq 7000), об'єднаною з платою розширення.

Для реалізації HW в Vivado Design Suite було створено блочний проєкт за допомоги Block Design Container (BDC), функціональності, яка дозволяє створювати і використовувати ієрархічні блоки в більш ефективний та організований спосіб. Для керування частотою було використане готове IP ядро (Clock Wizard) [4] та RTL-блок, що описує функціонування годинника. RTL-блок, в свою чергу, представляє собою структурну модель, що описана на мові опису апаратних засобів VHDL [5]. Вона об'єднує в собі автомат для керування годинником, декілька лічильників для рахування годин, хвили та секунд, блок секундоміра, блок, що усуває брязкіт кнопок та подільник частоти. Далі було згенеровано HDL-обгортку блочної схеми (HDL wrapper). Цей процес перетворює Block Design у вихідний файл, який можна прочитати інструментами Vivado. Далі проєкт синтезовано, імплементовано та згенеровано бітовий потік (bitstream).

Паралельно з цим процесом розроблялася програма керування LED дисплеєм (1,3" IPS 240*240) на мові C. Далі HW проєкт експортувався з Vivado, щоб Vitis мав доступ до інформації про апаратне забезпечення, для якого розроблявся SW проєкт. Було обрано фіксовану платформу, що включає в себе згенерований бітовий потік. Файл платформи має розширення XSA (Xilinx Shell Architecture).

Таким чином, основний функціонал реалізовано на PL частині (FPGA Artix), а керування периферією, а саме екраном – на PS частині.

Висновки. На відміну від традиційного процесу проектування, де апаратне та програмне забезпечення розробляються ізольовано та

інтегруються пізніше в життєвому циклі проекту, спільне проектування дозволяє паралельно розробляти ці компоненти.

Vivado Design Suite – це потужний набір програмних інструментів, що забезпечує повний цикл проектування, включаючи етапи створення вихідних описів проекту на мовах опису апаратних засобів (VHDL/Verilog), синтезу, моделювання, розміщення і трасування в кристалі, конфігурації чіпів та внутрішнього апаратного налагодження. А Vitis Unified IDE, в свою чергу, підтримує розробку програмного забезпечення на C, дозволяючи інтеграцію із системами на кристалі.

Запропонована модель багатофункціонального ручного годинника була перевірена на платі SoC EBAZ4205, доукомплектованої платою розширення. Результат програмування показав коректність моделі та, в загальному, доцільність використання САПР Vivado та Vitis для спільного проектування апаратного та програмного забезпечення вбудованих систем.

Наукова новизна визначається використанням методології спільного проектування апаратного та програмного забезпечення для розробки вбудованих систем на базі SoC, зокрема застосуванням сучасних інструментів, таких як Vivado Design Suite та Vitis Unified IDE. У подальших дослідженнях можна зосередитись на розширенні можливостей інтеграції програмно-апаратних рішень для більш складних і спеціалізованих застосувань, таких як обробка сигналів, машинне навчання або інші ресурсоемні завдання.

Список використаних джерел:

1. Vivado design suite user guide: design flows overview. USA: AMD, 2022. 96 p. URL: https://www.xilinx.com/support/documents/sw_manuals/xilinx_2022_2/ug904-vivado-implementation.pdf (access date: 10.01.2025)
2. Vitis Unified Software Platform Tutorials Landing Page. USA: AMD, 2024. URL: <https://docs.amd.com/r/2024.1-English/Vitis-Tutorials-Getting-Started/Vitis-Introduction-and-Getting-Started> (access date: 21.02.2025)
3. Shkil O., Mirosnyk M., Rakhlis D., Trifanov O. Data structures for deductive simulation of HDL conditional operators. *Innovative technologies and scientific solutions for industries*. 2023. No 3(25). Pp. 98–113. DOI: <https://doi.org/10.30837/ITSSI.2023.25.098>
4. Шкіль О., Рахліс Д., Філіпенко І., Корнієнко В. і Рожнова Т. Автоматизоване проектування вбудованих систем цифрового оброблення сигналів на платформі SoC. *Сучасний стан наукових досліджень та технологій в промисловості*. 2024. No 1(27). С. 192–203. DOI: <https://doi.org/10.30837/ITSSI.2024.27.192>
5. Merrick R. Getting Started with FPGAs: digital circuit design, Verilog, and VHDL for beginners, USA: No Starch Press, 2023. 320 p.