

КОМПЬЮТЕРНАЯ ИНЖЕНЕРИЯ И ТЕХНИЧЕСКАЯ ДИАГНОСТИКА



УДК 519.713:681.326

МОДИФИКАЦИЯ ЦИФРОВЫХ СХЕМ С ИСПОЛЬЗОВАНИЕМ МЕТОДА АНАЛИЗА ТЕСТОПРИГОДНОСТИ TADATPG (часть 2)

*КУЛАК Э.Н., КАМИНСКАЯ М.А., ВАДЕ ГРИБИ,
ХАСАН КТЕЙМАН, ГУЗЬ О.А.*

Предлагается способ модификации цифровых схем, основанный на методе анализа тестопригодности TADATPG для детерминированного тестирования. Он ориентирован на комбинационные и последовательностные схемы, представленные на вентиляльном уровне. Предлагается стратегия локализации точек схемы по просчитанным показателям для ее модификации, а также способ модификации схемы в целях сведения числа непроверяемых неисправностей к нулю.

Введение

Современные системы генерации тестов должны носить все более интеллектуальный характер. Такой задумана система SIGETEST [1], разрабатываемая исследовательской группой ХНУРЭ под руководством компании ALDEC (США). Это привело к необходимости создания системы анализа тестопригодности, отражающей различные аспекты развивающейся методологии тестирования.

Одной из многочисленных задач, стоящих перед разработчиками, является реализация анализа тестопригодности в системах автоматизированной генерации тестов детерминированным способом (deterministic ATPG (Automatic Test Pattern Generation)). Эти системы предназначены для построения тестов для асинхронных комбинационных и последовательностных схем, не ограниченных решениями методов ТПП (тестопригодного проектирования или DFT (Design for Test)), а также в DFT-системах для комбинационных схем или их частей, плохо поддающихся псевдослучайному тестированию. Тестопригодность – это один из наиболее важных показателей, который должен учитываться при проектировании цифровых устройств наряду с такими показателями, как быстродействие и стоимость устройства. Низкий уровень тестопригодности изделия приводит к увеличению времени и ухудшению качества тестирования изделия, как на стадии производства, так и на стадии эксплуатации, что может подорвать шансы производителя на успех при выходе изделия на рынок. Существует множество

методов анализа тестопригодности цифровых схем, в том числе ориентированных на детерминированное тестирование. Однако при попытке реализовать классические методы авторы столкнулись с рядом проблем, описанных ниже. Это и послужило причиной разработки нового метода анализа тестопригодности и способа модификации схемы по рассчитываемым показателям в целях сведения к нулю непроверяемых неисправностей.

Объект исследования: комбинационные и последовательностные схемы, представленные на вентиляльном уровне, не ограниченные решениями методов DFT, а также в DFT-системах для комбинационных схем или их частей, плохо поддающихся псевдослучайному тестированию.

Цель исследования: разработка способа модификации схемы по рассчитываемым показателям с помощью метода TADATPG в целях сведения к нулю непроверяемых неисправностей до построения детерминированного теста.

Для достижения поставленной цели решались *следующие задачи:*

- 1) разработка эвристического метода анализа тестопригодности TADATPG, ориентированного на детерминированное тестирование;
- 2) разработка стратегии выбора точек для модификации комбинационных схем, а также способа их модификации;
- 3) разработка стратегии выбора точек для модификации асинхронных и синхронных последовательностных схем, а также способа их модификации;
- 4) организация тестирования модифицированных схем;
- 5) реализация метода в рамках системы SIGETEST, экспериментальное подтверждение его эффективности.

Сравнительный анализ существующих методов

Первые работы в этой области принадлежат Рутману [2] и независимо от него Стефенсону и Грасону [3], [4]. Эти работы были ориентированы на детерминированное тестирование. Работа Рутмана была усовершенствована и расширена Брейером [5]. Его результаты были обнародованы в публикациях, описывающих программу анализа управляемости и наблюдаемости SCOAP (Sandia Controllability/Observability Analysis Program) [6,7]. Эти разработки легли в основу других систем, которые вычисляли значения наблюдаемости и управляемости для детерминированных ATPG, таких как TESTSCREEN [8,9], CAMELOT (Computer-Aided Measure for Logic Testability) [10], VICTOR (VLSI Identifier of Controllability, Testability, Observability and Redundancy) [11-14].

Перечисленные системы вычисляли множества значений для каждой линии в схеме. Эти значения пред-

назначены для определения относительной степени сложности решения следующих задач: установки линии X в $1(0)$ (управляемость); распространение ошибки с линии X на первичный выход (наблюдаемость). Существуют две проблемы [15]. Во-первых, не была достигнута корреляция между значениями тестопригодности и числом проверяемых неисправностей (качеством теста). Во-вторых, осталось невыясненным, как все-таки модифицировать схему, чтобы повысить тестопригодность. Тривиальное решение, состоящее в добавлении дополнительных контрольных точек на линии с плохой наблюдаемостью, а также схем, повышающих управляемость на линии с плохой управляемостью, не всегда эффективно. В [12] был предложен более сложный подход, но его вычислительная сложность слишком высока, чтобы быть использованным на практике. В целом, большинство существующих методов содержат очень сложные вычисления, применимы только для небольших схем и трудно поддаются анализу [15,16].

Для сравнительного анализа были выбраны 3 метода: метод 1 (SCOAP) [7], метод 2 (CAMELOT) [10], метод 3 [14], которые являются типичными представителями основных подходов при анализе тестопригодности в системах автоматизированной генерации тестов детерминированным способом. Показатели управляемости, наблюдаемости и тестопригодности в методах 1 и 2 являются относительными величинами и лежат в отрезке $[0;1]$ действительных значений. Значение 0 имеет худший показатель, 1 – лучший. В методе 3 показатели лежат в промежутке $[1; \infty [$ натуральных значений, лучшим из которых является значение 1. Исследования показали, что в методе 1 показатели тестопригодности узлов в точности соответствуют показателям управляемости соответствующих узлов метода 2, ввиду чего метод 1 был исключен из дальнейшего рассмотрения. Для сравнения методов 2 и 3 использовались приведенные значения. Эти методы дают схожие результаты оценки тестопригодности и являются достаточно грубой оценкой для использования ее как руководства к действию при модификации схемы в целях увеличения ее тестопригодности. Авторы также столкнулись с проблемой, состоящей в том, что в методе 3 происходит переполнение разрядной сетки при анализе схем размером примерно от 2400 вентилях (например, схема s6288 из библиотеки ISCAS'85), что делает невозможным дальнейший анализ. А в методе 2, начиная с 200 вентилях (схема s499 из библиотеки ISCAS'85), примерно для 16 процентов линий (и выше) показатели управляемости и наблюдаемости имеют значение ноль при точности вычислений до 10^{-15} , что не соответствует действительности и, следовательно, снижает адекватность анализа. Кроме того, большое число линий имеют одинаковые значения показателей, что снижает точность анализа.

Таким образом, анализируемые методы оказались неприемлемыми даже для относительно небольших схем уже на первом этапе – подсчете основных пока-

зателей. В методе TADATPG (Testability Analysis for Deterministic ATPG – анализ тестопригодности для системы автоматической генерации детерминированных тестов), опубликованном в [17], авторам удалось в определенной степени решить выявленные проблемы. Первая версия этого метода, которая называлась TAD (Testability Analysis for Deterministic ATPG – анализ тестопригодности для системы автоматической генерации детерминированных тестов), была опубликована в [18,19]. В это время велась работа над поиском способа модификации схемы по просчитанным показателям в целях сведения числа непроверяемых неисправностей к нулю, а также стратегии локализации точек схемы для модификации. В связи с этим первоначальный метод претерпел некоторые изменения и во избежание путаницы получил название TADATPG, а способ модификации представлен в данной работе.

Как и перечисленные выше методы, TADATPG является алгоритмическим методом, позволяющим осуществлять оценку путем топологического анализа схемы вентильного уровня. Значения тестопригодности вычисляются для каждого узла. Под узлами понимаются эквивалентные линии схемы. Вычисляемые показатели предназначаются для сравнительного анализа тестопригодности узлов рассматриваемой схемы. Метод состоит из трех этапов: вычисление показателей управляемости, наблюдаемости и тестопригодности.

Пример. Расчет показателей рассмотрен на примере комбинационной схемы, изображенной на рис. 1.

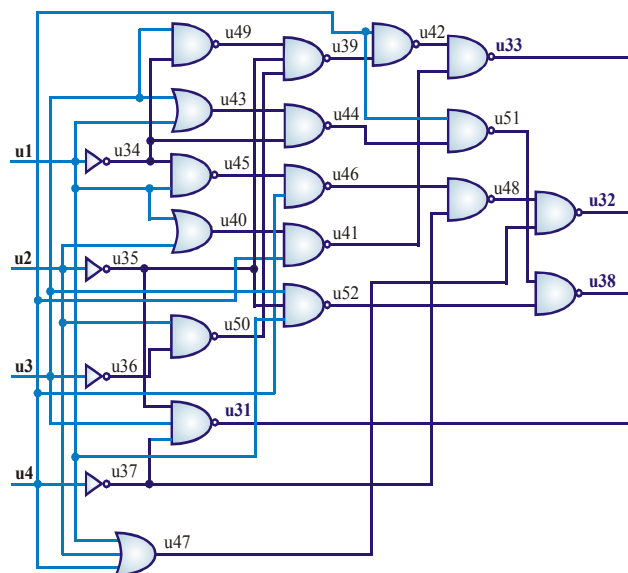


Рис. 1. Пример комбинационной схемы

В схеме: 4 входа, 4 выхода, суммарное число линий – 26, вентилях – 22.

Качество детерминированного теста до внесения изменений в схему $Q = 92,308\%$. Далее выполняется расчет показателей тестопригодности для дальнейшей модификации схемы.

В табл. 1 приведены результаты оценки тестопригодности до модификации схемы.

Таблица 1

CY ⁰	CY ¹	OY	TY ⁰	TY ¹	TY	line
1.000	1.000	0.784	0.784	0.784	0.784	u2
1.000	1.000	0.861	0.861	0.861	0.861	u3
1.000	1.000	0.784	0.784	0.784	0.784	u4
1.000	1.000	0.761	0.761	0.761	0.761	u1
0.840	0.964	0.797	0.670	0.769	0.720	u40
1.000	1.000	0.361	0.361	0.361	0.361	u36
0.840	0.964	0.630	0.530	0.608	0.569	u43
1.000	1.000	0.591	0.591	0.591	0.591	u34
1.000	1.000	0.816	0.816	0.816	0.816	u37
1.000	1.000	0.783	0.783	0.783	0.783	u35
0.792	0.936	0.936	0.742	0.877	0.810	u47
0.964	0.840	0.361	0.349	0.304	0.326	u49
0.936	0.792	1.000	0.936	0.792	0.864	u31
0.923	0.826	0.653	0.603	0.540	0.572	u44
0.964	0.840	0.523	0.505	0.440	0.472	u45
0.923	0.826	0.826	0.764	0.683	0.724	u41
0.964	0.840	0.361	0.349	0.304	0.326	u50
0.936	0.792	0.792	0.742	0.628	0.685	u52
0.924	0.790	0.790	0.730	0.624	0.677	u51
0.936	0.792	0.622	0.583	0.493	0.538	u46
0.915	0.776	0.608	0.556	0.472	0.514	u39
0.867	0.665	1.000	0.867	0.665	0.766	u38
0.926	0.785	0.785	0.727	0.616	0.672	u48
0.920	0.783	0.783	0.720	0.613	0.667	u42
0.847	0.742	1.000	0.847	0.742	0.795	u32
0.862	0.678	1.000	0.862	0.678	0.770	u33

Общее значение тестопригодности $TY_{схемы} = 0,400464$.

Для повышения наглядности при интерпретации распределения значений показателей можно использовать гистограммы (рис. 2).

Стратегия выбора точек для модификации комбинационной схемы

Проведенные эксперименты показали, что разработанный метод позволяет осуществлять простую процедуру выбора точек для модификации схемы. Необходимо сделать некоторые пояснения. Поскольку метод предназначен для детерминированного тестирования, следует заметить, что детерминированные тесты используются для схем размером примерно до 5000 вентилях (хотя эксперименты проводились и для схем размером на порядок больше). К тому же современные технологии позволяют компоновать число вентилях до нескольких миллионов. И в связи с этим дополнительные аппаратные затраты, соизмеримые с размером части схемы в 5000 вентилях, не являются критичными. Гораздо важнее пригодность схемы к адекватной проверке. Поэтому вполне допустимо использование избыточных, но простых и регулярных подходов и структур для уменьшения времени разработки и производства изделия.

Стратегия выбора точек для модификации схемы состоит в следующем: выбираются 3% линий с минимальными значениями CY^0 (кроме внешних входов и

выходов), при этом к выбранным линиям добавляются еще те, которые имеют значение показателя, равное максимальному, из 3% выбранных, если таковые имеются. Обычно линий с одинаковыми значениями показателей сравнительно мало – это особенность метода оценки. То же самое делается со значениями CY^1 и значениями OY. Полученные множества точек объединяются.

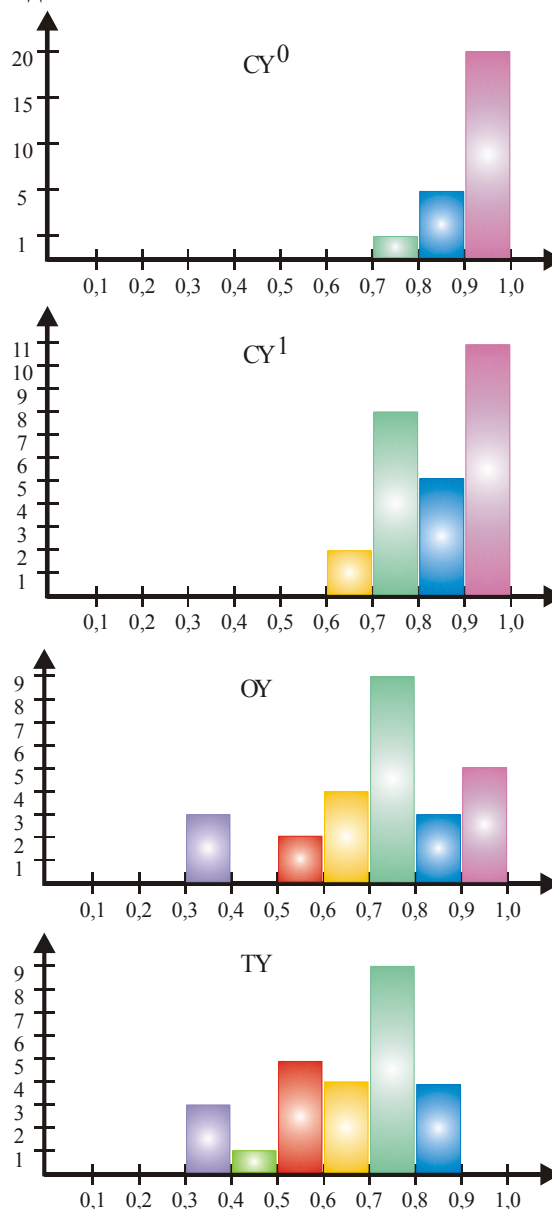


Рис. 2. Гистограммы значений показателей до модификации

Способ модификации схемы состоит в следующем: на каждую линию схемы ставится ячейка, которая должна обеспечить 100%-ную управляемость и 100%-ную наблюдаемость выбранной линии, при этом она должна быть абсолютно прозрачной для нормального режима работы схемы, а также должна просто тестироваться. Для уменьшения числа дополнительных входов и выходов эта ячейка должна с остальными ячейками объединяться в сдвиговый регистр, аналогичный пути сканирования в структурных методах тестопригодного проектирования.

Ячейка регистра граничного сканирования (IEEE 1149.1 Boundary-Scan Standard) вполне удовлетворяет перечисленным требованиям (рис.3), за исключением ее размера.

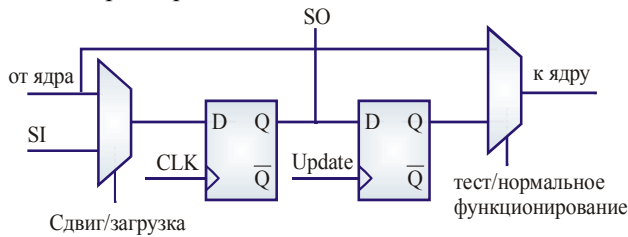


Рис. 3. Ячейка регистра граничного сканирования

Для уменьшения аппаратных затрат и обеспечения адекватной проверки ячейки предлагается использовать ячейку, изображенную на рис. 4

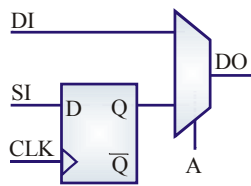


Рис. 4. Ячейка сканирования для комбинационной схемы

Ячейка состоит из двухступенчатого синхронного D-триггера и мультиплексора: DI – вход данных, DO – выход данных, SI – вход сканирования, CLK – вход синхронизации, A – адресный вход мультиплексора. DI – DO – путь прохождения данных, которым заменяется выбранная линия. Схема подключения ячеек изображена на рис. 5.

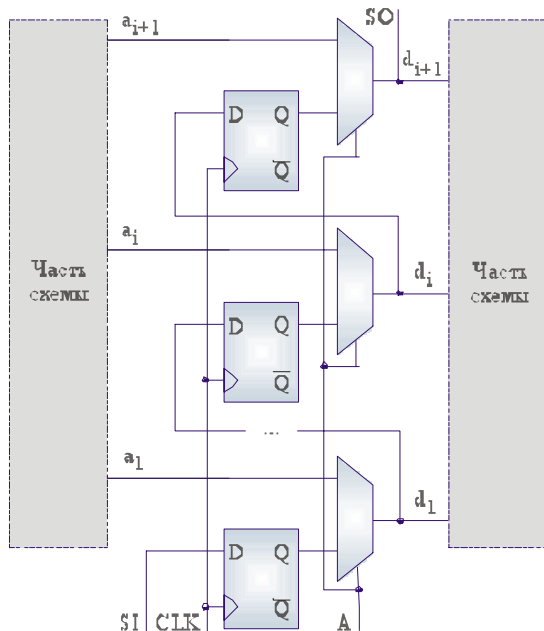


Рис. 5. Схема подключения ячейки

Здесь a_1, \dots, a_i, a_{i+1} – выбранные для модификации линии, a_i заменяется путем $a_i - d_i$, проходящим через мультиплексор. SO – выход сканирования, который является внешним. Тестирование такой схемы сводится к тестированию схемы с реализованным методом сканирования пути. Для проверки сдвигового

регистра (пути сканирования) используются стандартные тесты. Затем проверяется адресная линия, после чего можно проверять исследуемую схему. Ячейка полностью проверяется отдельно от модифицируемой схемы, является совершенно прозрачной для нормальной работы схемы, поэтому тест для комбинационной части схемы строится с учетом того, что выбранные для модификации линии разрываются.

Для доказательства сказанного выше рассмотрим рис. 6.

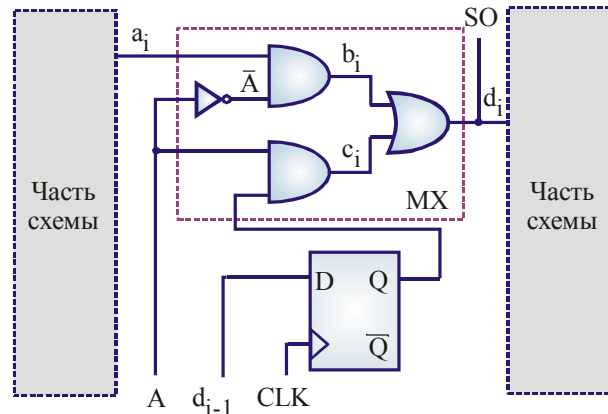


Рис. 6. Структура ячейки

Ячейка (равно как и схема) работает в двух режимах. Первый режим – нормальное функционирование (F) при $A=0$, второй режим – сканирование пути (SP) при $A=1$.

Стандартный тест для сдвигового регистра (бегущий ноль, бегущая единица, бегущие пары единиц и нулей) позволяет проверять не только триггеры, входящие в путь сканирования, но и часть мультиплексоров, активизируемую значением $A=1$ (т. е. линии c_i, d_i , неисправность b_i^1). В случае неисправности на адресной линии $A^0 (\bar{A}^1)$ это проявится при сдвиге. Для проверки $A^1 (\bar{A}^0)$ этого не достаточно. Предлагается следующий способ для проверки $A^1 (\bar{A}^0)$. Записать в сдвиговый регистр при $A=1$ все нули. Подать на входы исходной (не модифицированной) схемы любой входной набор. При фиксированных значениях на входах и $A=0$ записать в регистр реакцию на тест. Затем при $A=1$ осуществлять сдвиг в регистре с входа SI к выходу SO всех значений триггеров. Записать в сдвиговый регистр при $A=1$ все единицы. Подать на входы исходной (не модифицированной) схемы тот же самый входной набор. При фиксированных значениях на входах и $A=0$ записать в регистр реакцию на тест. Затем при $A=1$ осуществлять сдвиг в регистре с входа SI к выходу SO всех значений триггеров.

Если на выходе будет сдвигаемая последовательность (все нули, а затем все единицы), то на адресной линии проявится неисправность $A^1 (\bar{A}^0)$, т. е. если неисправности $A^1 (\bar{A}^0)$ есть, реакцию на тест в регистр записать не получится. Используются взаимно противоположные последовательности сдвигаемых значений, чтобы исключить случай совпадения сдвигаемой последовательности (все нули или все единицы) с реакцией на подаваемый входной набор.

Если сдвиговый регистр и адресная линия исправны, на линию \bar{A} можно всегда поставить значение $\bar{A} = 1$, а на линию c_i можно всегда поставить значение $c_i = 0$. Поэтому при $A = 0$ можно считать, что $CY(\bar{A}) = CY(c_i) = 1$. Далее, состояние линии d_i может устанавливаться путем записи значения с триггера TT_i сдвигового регистра при $A = 1$, поэтому можно считать, что $CY(d_i) = 1$. Поскольку состояние линии d_i может захватываться непосредственно триггером TT_{i+1} сдвигового регистра, можно считать, что $OY(d_i - SO) = 1$. Тогда верно следующее:

$$\begin{aligned} OY(d_i - SO) &= 1; \\ OY(b_i - SO) &= OY(d_i - SO) \cdot 1 = 1; \\ OY(a_i - SO) &= OY(b_i - SO) \cdot 1 = 1. \end{aligned}$$

Получается, что a_i имеет 100% наблюдаемость, а d_i имеет 100% управляемость, что эквивалентно разрыву схемы в точке a_i .

Неисправность b_i^0 будет проверяться тестом для комбинационной части, т. е. если удастся назначить $a_i = 1$, то удастся проверить и b_i^0 . Итак, ячейка проверяется полностью независимо от модифицируемой схемы, за исключением неисправности b_i^0 , которая не влияет на работу ячейки в SP режиме.

Классические способы улучшения управляемости линии схемы (ad hoc методы) представлены на рис. 7 (мультиплексор) и 8 (элементы И, ИЛИ).

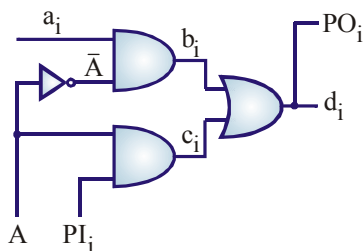


Рис. 7. Мультиплексор: PI_i – параллельный вход, PO_i – параллельный выход, A – адресный вход

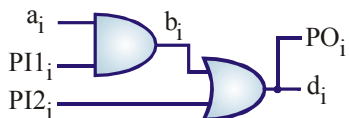


Рис. 8. Элементы И, ИЛИ: $PI1_i, PI2_i$ – параллельные входы, PO_i – параллельный выход

Такие ячейки не тестируются полностью независимо от остальной части схемы. Поэтому разрывать линии в модели исходной схемы нельзя. А полное их встраивание в структуру модели дает более низкие показатели качества теста по сравнению с предлагаемым методом.

Тестирование схемы происходит следующим образом. 1) Сначала строится тест для модифицированной схемы с входами $XD (X_1, X_2, \dots, X_k, d_1, d_2, \dots, d_m)$, где X – множество входов не модифицированной исходной схемы, а D – множество новых входов, получаемых после разрыва линий. 2) Для каждого входного набора производятся следующие действия. Часть D

тестового вектора XD в режиме сдвига или сканирования пути ($A=1$) заносится в триггеры сдвигового регистра (d_i значение в TT_i триггер). Затем производится подача части X тестового вектора на внешние входы одновременно с подачей D части тестового вектора на d_i линии с триггеров TT_i . Отклик на тест в режиме $F (A=0)$ захватывается с внешних выходов на внешний регистр, а с линий a_i – в триггеры следующих ячеек TT_{i+1} через линии d_i . Затем в $SP (A=1)$ режиме производится сдвиг откликов, записанных в триггеры, на наблюдаемый выход SO . Сдвиг откликов совмещается с занесением значений D части нового тестового вектора.

Пример. Способ модификации рассмотрим на примере комбинационной схемы, изображенной на рис. 1.

Таблица 2

CY^0	CY^1	OY	TY^0	TY^1	TY	line
1.000	1.000	0.908	0.908	0.908	0.908	u2
1.000	1.000	1.000	1.000	1.000	1.000	u47.1
1.000	1.000	0.840	0.840	0.840	0.840	u39.1
1.000	1.000	0.839	0.839	0.839	0.839	u1
1.000	1.000	0.792	0.792	0.792	0.792	u49.1
1.000	1.000	0.801	0.801	0.801	0.801	u3
1.000	1.000	0.865	0.865	0.865	0.865	u4
0.840	0.964	0.630	0.530	0.608	0.569	u43
1.000	1.000	0.876	0.876	0.876	0.876	u34
0.840	0.964	0.797	0.670	0.769	0.720	u40
1.000	1.000	0.816	0.816	0.816	0.816	u37
1.000	1.000	0.666	0.666	0.666	0.666	u36
1.000	1.000	0.909	0.909	0.909	0.909	u35
0.792	0.936	1.000	0.792	0.936	0.864	u47
0.964	0.840	0.840	0.811	0.707	0.759	u42
0.964	0.840	0.666	0.643	0.560	0.601	u50
0.936	0.792	1.000	0.936	0.792	0.864	u31
0.964	0.840	0.523	0.505	0.440	0.472	u45
0.923	0.826	0.826	0.764	0.683	0.724	u41
0.964	0.840	1.000	0.964	0.840	0.902	u49
0.923	0.826	0.653	0.603	0.540	0.572	u44
0.936	0.792	0.792	0.742	0.628	0.685	u52
0.936	0.792	0.622	0.583	0.493	0.538	u46
0.924	0.790	0.790	0.730	0.624	0.677	u51
0.885	0.701	1.000	0.885	0.701	0.793	u33
0.926	0.785	1.000	0.926	0.785	0.855	u39
0.867	0.665	1.000	0.867	0.665	0.766	u38
0.926	0.785	0.785	0.727	0.616	0.672	u48
0.923	0.784	1.000	0.923	0.784	0.853	u32

Выбирается по 3% дополнительных линий из каждого столбца $CY(0), CY(1), OY$ (см. табл. 1). Получается множество разрываемых линий $\{u47, u49, u39\}$. На эти линии ставятся ячейки сканирования для обеспечения их 100% управляемости и наблюдаемости. Далее производится пересчет показателей тестопригодности для модифицированной схемы (табл. 2, где даны результаты оценки тестопригодности после модификации, и рис. 9) с учетом того, что вместо ячеек сканирования на выбранных линиях имеют место разрывы.

Общее значение тестопригодности $TY_{схемы} = 0.482942$.

После модификации модель схемы содержит 7 входов, 7 выходов, 22 вентиля и 3 ячейки сканирования. Дополнительные аппаратные затраты составляют 100%.

Построение детерминированного теста и моделирование неисправностей осуществляется с учетом того, что вместо ячеек сканирования на выбранных линиях имеют место разрывы.

Качество детерминированного теста после внесения изменений в схему $Q = 100\%$.

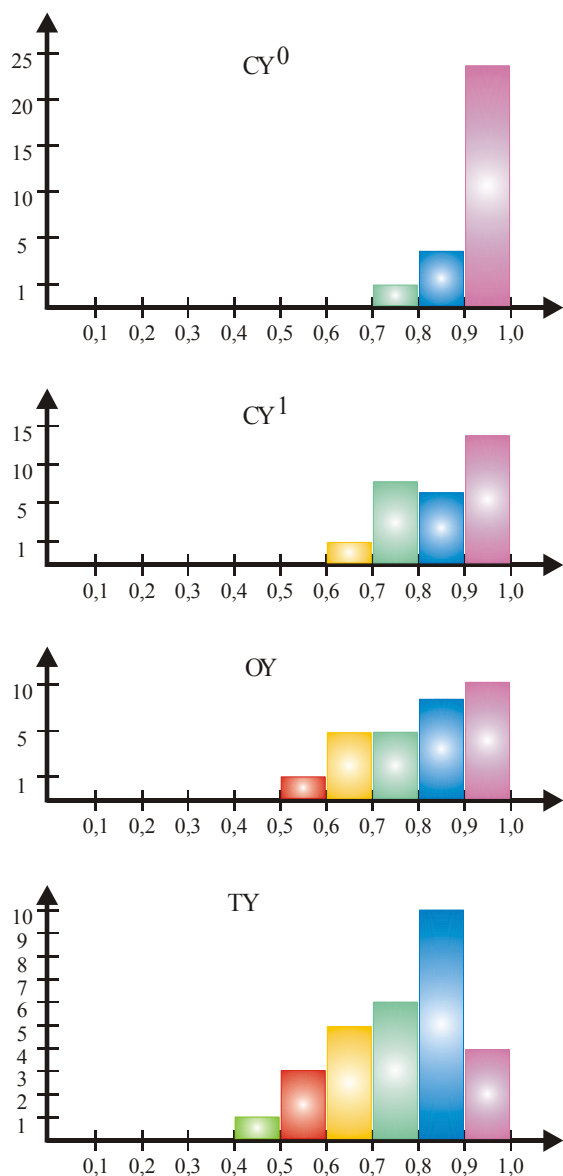


Рис. 9. Гистограммы значений показателей после модификации

Стратегия выбора точек для модификации последовательностной схемы

Стратегия модификации асинхронных последовательностных схем состоит в следующем. На каждую из линий всех локальных и глобальных обратных связей ставится ячейка сканирования для комбинационной схемы (см. рис. 4, 5, 6). Пример встраивания такой ячейки в обратную связь RS триггера представлен на рис. 10.

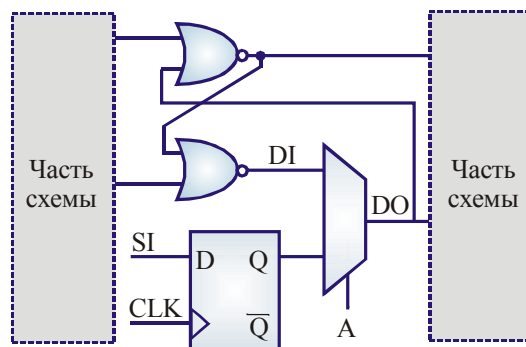


Рис. 10. Встраивание ячейки сканирования в обратную связь

При $A=0$ осуществляется нормальное функционирование триггера, при $A=1$ (режим тестирования) осуществляется разрыв обратной связи.

Таким образом, в режиме тестирования последовательностная схема превращается в комбинационную. Далее для полученной таким образом комбинационной схемы рассчитываются показатели тестопригодности. Дальнейшая модификация схемы сводится к способу модификации комбинационной схемы. Все ячейки (встраиваемые в обратную связь и рассчитанные линии) объединяются в сдвиговый регистр (см.рис.5).

Стратегия модификации асинхронных последовательностных схем состоит в следующем. Все триггеры удаляются из схемы, в результате получается комбинационная схема. Далее для полученной таким образом комбинационной схемы рассчитываются показатели тестопригодности. Дальнейшая модификация схемы сводится к способу модификации комбинационной схемы, т. е. для выбранных линий используется ячейка сканирования для комбинационной схемы (см.рис. 4, 5, 6). Организуется сдвиговый регистр первого типа (см.рис.5).

А вместо удаленных триггеров используется ячейка, представленная на рис. 11.

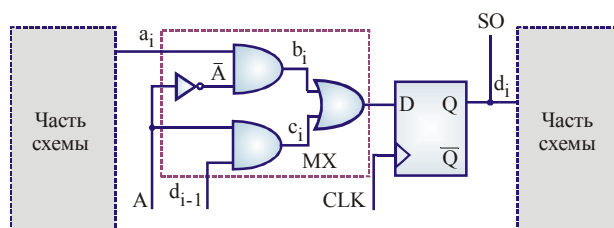


Рис.11. Ячейка сканирования для последовательностной схемы

Ячейка сканирования для последовательностной схемы отличается от ячейки сканирования для комбинационной схемы. Здесь также используется двухступенчатый D-триггер, однако мультиплексор расположен перед триггером. При $A = 0$ схема работает в нормальном режиме (режим нормального функционирования устройства - F). $A = 1$ – режим сканирования (SP). Если ячеек несколько, они объединяются в

сдвиговый регистр для сканирования тестовых данных, как показано на рис. 12.

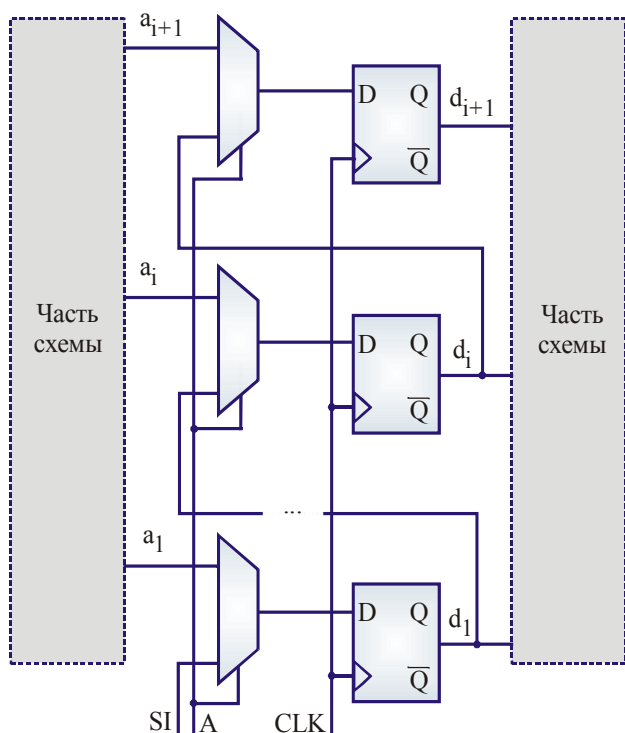


Рис. 12. Организация сдвигового регистра второго типа

Для тестирования такого регистра используются стандартные тесты (бегущий ноль, бегущая единица, бегущие пары единиц и нулей).

Таким образом, организуются два пути сканирования тестовых данных, которые при необходимости могут быть объединены в один.

Детерминированный тест как для синхронной, так и для асинхронной схемы строится с учетом того, что вместо ячеек сканирования имеют место разрывы. Тестирование модифицированной схемы организуется как для комбинационной схемы (описано выше).

Экспериментальные исследования

Исследуемые классические методы анализа тестопригодности и метод TADATPG были реализованы

программно в рамках системы SIGETEST. В качестве исходного описания схем использовалось VHDL-описание, система SIGETEST конвертировала его во внутреннюю модель представления схемы, которая использовалась реализованными методами анализа тестопригодности. Моделирование неисправностей в системе SIGETEST производилось топологическим дедуктивным методом, изложенным в [20]. Методы были апробированы на примерах схем различной сложности, в том числе на схемах из библиотеки ISCAS'85, ISCAS'89, ISCAS'99.

Экспериментальные исследования показали, что разработанный метод является более адекватным по сравнению с классическими методами в контексте проблем, описанных выше. Показатели с нулевыми значениями встречаются только в больших схемах. Например, при точности вычислений 10^{-31} в схеме с 50000 ISCAS'85 2% линий из 49996 имеют показатели с нулевыми значениями. Рассчитываемые по методу TADATPG показатели позволяют простым способом выбирать участки схемы для ее модификации в целях сведения к минимуму непроверяемых неисправностей. Однако корреляция между значениями тестопригодности и числом проверяемых неисправностей (качеством теста) не всегда имеет место, поэтому минимизация аппаратных затрат по рассчитываемым показателям не представляется возможным.

В табл. 3 приведена статистика для комбинационных схем из библиотеки ISCAS'85 с использованием предлагаемой ячейки. В табл. 4 даны аппаратные затраты для исследуемых комбинационных схем с использованием различных ячеек.

В табл. 5 приведена статистика для последовательностных схем из библиотек ISCAS'89 и ISCAS'99 с использованием предлагаемых ячеек. В табл. 6 приведены аппаратные затраты для исследуемых последовательностных схем с использованием различных ячеек.

Выводы

Научная новизна. Разработан метод расчета показателей тестопригодности, а также стратегии выбора точек для модификации схемы и способ модификации

Таблица 3

Схема ISCAS'85	Общее число линий	Число вентиляей	Оценка схемы по Квайну	Число доп. ячеек (% разрываемых линий)	Доп. аппарат. затраты	Качество теста до модификации	Качество теста после модификации	Тип теста после модификации
C432	398	362	684	29 (7%)	88,9 %	87,173%	100 %	Детерминир.
C499	599	558	1076	37 (6%)	74,6 %	99,763%	100 %	Детерминир.
C880	623	563	1064	57 (9%)	114 %	93,563%	100 %	Детерминир.
C3540	2007	1957	3490	157 (8%)	107 %	97,798%	98,53 %	Случайный
C6288	4579	4544	9056	284 (6%)	72,3 %	99,653%	99,81 %	Случайный
C20000	19999	19927	39854	2274 (11%)	132%	72,094%	99,710%	Случайный

Схема ISCAS'85	Ячейка граничного сканирования		Ячейка – 1 двухступенчатый триггер, 1 мультиплексор		Мультиплексор		Схема И-ИЛИ	
	Дополнительные аппаратные затраты, %	Число дополнительных выводов	Дополнительные аппаратные затраты	Число дополнительных выводов	Дополнительные аппаратные затраты, %	Число дополнительных выводов	Дополнительные аппаратные затраты, %	Число дополнительных выводов
C432	111	6	88,9 %	4	25,9	59	14,81	87
C499	93,3	6	74,6 %	4	21,8	75	12,4	111
C880	143	6	114 %	4	33,3	115	19,04	171
C3540	135	6	107 %	4	31,4	315	17,9	471
C6288	90,3	6	72,3 %	4	21,07	569	12,04	852
C20000	331,2	6	132%	4	77,3	4549	44,2	6822

схемы в целях увеличения ее тестопригодности, для сведения к нулю непроверяемых линий схемы.

Преимущества метода:

- 1) простота метода при анализе последовательностных схем (не нужно решать систему линейных уравнений);
- 2) простота в выборе точек для модификации схемы;
- 3) простота и регулярность способа модификации схемы, что упрощает автоматизацию процесса анализа и синтеза (модификации) схемы;
- 4) полная проверка добавляемых ячеек независимо от остальной части схемы;
- 5) возможность обеспечить высокий уровень тестируемости схемы (минимум или ноль непроверяемых линий) до генерации теста.

Недостатки метода:

- 1) увеличение времени тестирования из-за чередования SP и F режимов для продвижения части тестового вектора к внутренним точкам схемы, и сдвига откликов на тест к наблюдаемому выходу;
- 2) снижение быстродействия схемы в результате введения дополнительных аппаратных средств.

Практическая значимость. Метод реализован в рамках системы SIGETEST и может быть использован при построении детерминированных тестов для комбинационных и последовательностных схем, не ограниченных решениями методов DFT, а также в DFT-системах для комбинационных схем или их частей, плохо поддающихся псевдослучайному тестированию. Может использоваться также для нужд SoC, описанных в [21] и [22].

Литература: 1. Zaychenko S., Melnikova O., Shahab S.K., Albitar Z.S. High-performance Compiler of Gate-level HDL Net Lists for Testing Faults in Digital Circuits Proceedings of the Work in Progress Session. Rennes (France) Sept. 2004. 2.

Таблица 5

Схема ISCAS'99	Общее число линий	Число вентилей	Оценка схемы по Квайну	Число доп. ячеек (% разрываемых линий)		Дополнительные аппаратные затраты	Качество теста до модификации, % (без триггеров)	Тип теста после удаления триггера	Качество теста после модификации	Тип теста после модификации
				Триггер + мультиплексор	Мультиплексор					
sb01	48	39	80	10%	10%	253	96,667	исчерп.	100%	случ.
sb02	26	22	46	8,8%	11%	245	92,308	исчерп.	100%	случ.
sb03	178	144	248	6,7%	16%	294	98,077	случ.	100%	случ.
sb04	709	632	1028	8,3%	9,3%	234	91,969	случ.	100%	случ.
Схема ISCAS'89										
s208	133	104	192	8%	6%	201	99,537%	исчерп.	100%	случ.
s298	136	119	240	8%	10%	199,5	98,750%	исчерп.	100%	случ.
s344	185	161	264	11%	8%	274,9	99,123%	исчерп.	100%	случ.

Rutman R. A., Fault Detection Test Generation for Sequential Logic Heuristic Tree Search // IEEE Computer Repository Paper. No. R-72-187, 1972. **3.** Grason J. TMEAS - A Testability Measurement Program // Proc. 16th Design Automation Conf. June, 1979. P. 156-161. **4.** Grason J. and Nagel A. W. Digital Test Generation and Design for Testability. Journal Digital Systems. 1981. Vol. 5, No. 4. P. 319-359. **5.** Breuer M. A. New Concepts in Automated Testing of Digital Circuits // Proc. EEC Symp. on CAD of Digital Electronic Circuits and Systems, Brussels. P. 69-92, 1978. **6.** Goldstein L. H. Controllability/Observability Analysis of Digital Circuits // IEEE Trans. on Circuits and Systems, Vol. CAS-26, No. 9. P. 685-693, September, 1979. **7.** Goldstein L. M. and Thigen E. L. SCOAP: Sandia Controllability/Observability Analysis Program. Proc. 17th Design Automation Conf. June, 1980. P. 190-196. **8.** Kovijanac P. G. Computer Aided Testability Analysis. Proc. IEEE Automatic Test Conf. 1979. P. 292-294. **9.** Kovijanac P. G. Single Testability Figure of Merit. // Proc. Intn'l. Test Conf., October, 1981. P. 521-529. **10.** Bennetts R. G., Maunder C. M., and Robinson G. D. CAMELOT: A Computer-Aided Measure for Logic Testability // IEEE Proc., 1981. Vol. 128, Part E, No. 5. P. 177-189. **11.** Ratiu I. M., Sangiovanni-Vincentelli A. and Peterson D. O. VICTOR: A Fast VLSI Testability Analysis Program // Proc. Intn'l Test Conf. November, 1982. P. 397-401. **12.** Chen T-H. and Breuer M.A. Automatic Design for Testability Via Testability Measures. IEEE Trans. on Computer-Aided Design, Vol. CAD-4. January, 1985. P. 3-11. **13.** Spillman R., Glaser N., Peterson D. Development of a general testability figure-of-merit // IEEE International conference of Computer-Aided Design. 1983. P. 34-35. **14.** Breuer M.A. The Automatic Design of Testable Circuits // Automation Test Program Generation Proceedings of The San Francisco, USA. 1983. March. P. 3-6. **15.** Abramovichi M., Breuer M.A., Friedman A. D. Digital systems testing and testable design // IEEE Inc. New York. 1998. 760 p. **16.** Stroud C. E., Designer's A. Guide to Built-in Self-Test. Kluwer Academic Publishers, 2002. 320 p. **17.** Kulak E. Kaminskaya M., Parfentiy A., Guz O. Analysis of the Testability of the High Complexity Digital Devices // CADSM'2005, February 23-26, 2005, Lviv-Poliana. P. 331-333. **18.** Quantitative Estimation Of The Testability For Complexity Digital Devices Before Test Generation / M.A.

Kaminska, V.I. Hahanov, Wade Ghribi, E.A. Kamenuka, Proceedings of the MIXDES'05 Conference (Lodz, Poland). P. 451-456. **19.** Беннеттс Р. Дж. Проектирование тестопригодных логических схем: Пер. англ. М.: Радио и связь, 1990. 176 с. **20.** Hahanov V.I., Melnikova O.V., Hahanova I.V., Chamyran H.L. Topological method of fault simulation Proceedings of the 9th Biennial Baltic Electronics Conference, Tallinn University of Technology, October 3-6, 2004, Estonia, P. 221-224. **21.** Jervan G., Peng Z., Ubar R., Kruus H. A Hybrid BIST Architecture and its Optimization for SoC Testing // IEEE 3rd International Symposium on Quality Electronic Design (ISQED'02). 2002. P. 273-279. **22.** R. Ubar, G. Jervan, Z. Peng, E. Orasson, R. Raidma. Fast Test Cost Calculation for Hybrid BIST in Digital Systems // Euromicro Symposium on Digital Systems Design. 2001. P. 318-325.

Поступила в редколлегию 21.11.2005

Рецензент: д-р техн. наук, проф. Хаханов В.И.

Кулак Эльвира Николаевна, доцент кафедры АПВТ ХНУРЭ. Научные интересы: тестопригодное проектирование. Увлечения: аквариум, фортепиано, классическая и джазовая музыка, настольный теннис. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 702-13-26.

Каминская Марина Александровна, аспирантка кафедры АПВТ ХНУРЭ. Научные интересы: техническая и медицинская диагностика, тестопригодное проектирование. Увлечения: история, литература, музыка, психология, педагогика. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 702-13-26. E-mail: maryna4329@kture.kharkov.ua

Wade Ghribi (Ваде Гриби), аспирант ХНУРЭ. Научные интересы: техническая диагностика. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 702-13-26.

Hassan Ktiaman (Хасан Ктейман), аспирант ХНУРЭ. Научные интересы: техническая диагностика. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 702-13-26.

Гузь Олеся Алексеевна, аспирантка ХНУРЭ. Научные интересы: техническая диагностика. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 702-13-26.

Таблица 6

Схема ISCAS'99	Ячейка граничного сканирования		Ячейка – 1 двухступенчатый триггер, 1 мультиплексор		Мультиплексор		Схема И-ИЛИ	
	Дополнительные аппаратурные затраты, %	Число дополнительных выводов	Дополнительные аппаратурные затраты	Число дополнительных выводов	Дополнительные аппаратурные затраты, %	Число дополнительных выводов	Дополнительные аппаратурные затраты, %	Число дополнительных выводов
sb01	351	6	253	4	173	63	159	67
sb02	352	6	245	4	182	37	169	39
sb03	410	6	294	4	239	207	234	218
sb04	315	6	234	4	151	832	149	890
Схема ISCAS'89								
s208	269	6	201	4	122	160	108	170
s298	272	6	199,5	4	140	163	131	173
s344	366	6	274,9	4	175	234	158	255