

## СТВОРЕННЯ МОДУЛЯ VHDL-ОПISУ ПРИ ПРОЕКТУВАННІ ЦИФРОВИХ СИСТЕМ НА ПЛІС В XILINX ISE DESIGN SUITE

**В. Чумак, І. Свид**

*Харківський національний університет радіоелектроніки*

*valeriia.chumak@nure.ua*

VHDL - це спеціалізована комп'ютерна мова, яка використовується для опису структур і поведінки цифрових логічних схем. VHDL є основною мовою в розробці апаратних засобів сучасних обчислювальних систем. Одним із сучасних САД-систем для проектування пристроїв на FPGA є ISE Design Suite фірми Xilinx.

Xilinx рекомендує Vivado Design Suite для нових розробок починаючи з сьомої серії FPGA. За словами представників компанії Xilinx в FPGA, 7-а серія втілює в собі всі світові досягнення в області розробки архітектури FPGA [1]. Використання System Generator, включеного в Vivado System Edition для DSP, дозволяє розробникам з невеликим досвідом проектування швидко створювати високоякісні проекти DSP при менших витратах в порівнянні з традиційним дизайном RTL [2]. Однак, для реалізації деяких задач все так же існує необхідність використання мікросхем 6-ї серії. Пакет розробки ISE DS підтримує пристрої Spartan-6, Virtex-6 і CoolRunner, а також їх сімейства попередніх поколінь. До складу пакетів сучасних САПР, зокрема ISE Design Suite, входить редактор HDL-коду, який, крім найпростіших операцій редагування, підтримує механізм шаблонів. Застосування шаблонів, які підтримуються вбудованим HDL-редактором САПР серії Xilinx ISE Design Suite, надає розробникам цілий ряд переваг, серед яких найбільш істотними є:

- скорочення часу створення вихідних описів проектованого пристрою;
- виключення синтаксичних помилок, поява яких можлива при наборі тексту опису вручну, за допомогою клавіатури;
- можливість використання готових налагоджених конструкцій для подання елементів які найбільш часто зустрічаються і функціональних блоків розроблюваних пристроїв;
- можливість створення і використання в подальшій роботі власних відпрацьованих конструкцій;
- підтримка формування описів спеціалізованих апаратних модулів, що входять до складу архітектури кристалів програмованої логіки перспективних серій Virtex і Spartan.

Створення VHDL-опису розроблюваного устрою або його функціональних блоків починається з виконання процедури підготовки основи нового вихідного модуля проекту. При цьому здійснюється запуск майстра формування основи нового вихідного модуля опису, де перш за все потрібно вказати тип створюваного вихідного модуля. Після чого редагувати назву створюваного модуля і вказати його місце розташування.

Після введення назви створюваного файлу VHDL-опису та натискання кнопки «Далі», відкривається наступна діалогова панель майстра формування основи нового вихідного модуля опису, іменована Define Module - надає можливість визначення в наочній формі вихідних даних для створюваного VHDL-опису. Містить два поля редагування - Entity Name і Architecture Name, а також таблицю, в якій повинна бути представлена вся необхідна інформація про інтерфейсні порти описуваного об'єкта. У першому полі редагування необхідно вказати ім'я об'єкта. За замовчуванням пропонується ідентифікатор, що співпадає з назвою створюваного модуля. Ім'я

архітектурного тіла VHDL-опису вказується в полі редагування Architecture Name. За умовчанням як ім'я архітектурного тіла пропонується ідентифікатор Behavioral. Він передбачає, що в описі буде використаний поведінковий стиль. При необхідності за допомогою клавіатури можна змінити даний ідентифікатор.

Далі слід заповнити таблицю опису портів: ввести ідентифікатор порту, вказати тип порту для передачі даних, вказати інформацію про структуру сигналу, який асоціюється з описуваним портом. Решта заповнюється в разі використання портів, представлених у вигляді шин і описуваних за допомогою векторів.

Далі відкривається заключна інформаційна панель, де відображається вся інформація, на базі якої виконується автоматичне формування основи нового модуля VHDL-опису. По закінченню роботи в навігаторі проекту відкривається нове робоче вікно вбудованого HDL-редактора, в якому відображається автоматично сформований код. Згенерований код основи нового VHDL-опису проектного пристрою включає декларацію використовуваних бібліотек і пакетів, інтерфейсу описуваного об'єкта entity і основу архітектурного тіла VHDL-опису.

Для отримання закінченого опису на мові VHDL потрібно вказати довідкову інформацію про створюваний вихідному модулі, в тому числі відомості про розробника, часу створення і версії опису, активувати посилання на застосовувані бібліотеки, помістити вираження декларації всіх використовуваних внутрішніх сигналів, констант, змінних і компонентів, а також визначення функцій і процедур, які будуть викликатися при описі архітектури об'єкта, додати визначення функціонування або структури об'єкта, який представляє розроблювальний пристрій.

## **CREATING A VHDL-DESCRIPTION MODULE FOR DESIGNING DIGITAL SYSTEMS ON FPGA IN XILINX ISE DESIGN SUITE**

**V. Chumak, I. Svyd**

*Kharkiv National University of Radio Electronics  
valeriia.chumak@nure.ua*

When implementing large projects based on modern FPGAs, there are limitations to the circuitry method for describing digital devices, which are removed using high-level languages VHDL and Verilog. These limitations are most noticeable when using FPGA chips. Currently, the main means of representing digital devices in their design are HDL (Hardware Description Language). The use of high-level hardware description languages also increases the mobility of projects under development, since most design systems of various manufacturers support VHDL and Verilog standards.

- [1] Iryna Svyd, Oleksandr Maltsev, Liliia Saikivska, Oleg Zubkov. Review of Seventh Series FPGA Xilinx. // First International Scientific and Practical Conference «Theoretical and Applied Aspects of Device Development on Microcontrollers and FPGAs» MC&FPGA-2019, Kharkiv, Ukraine, July 26-27, 2019. – Kharkiv: 2019. – P. 25-26.
- [2] Oleg Zubkov, Iryna Svyd, Oleksandr Maltsev, Liliia Saikivska. In-circuit Signal Analysis in the Development of Digital Devices in Vivado 2018. // First International Scientific and Practical Conference «Theoretical and Applied Aspects of Device Development on Microcontrollers and FPGAs» MC&FPGA-2019, Kharkiv, Ukraine, July 26-27, 2019. – Kharkiv: 2019. – P. 12-13.