

СИСТЕМА МОДЕЛЮВАННЯ НЕСПРАВНОСТЕЙ НА ОСНОВІ ТАБЛИЦІ ІСТИННОСТІ

Шемигон Б. Р.

e-mail: bohdan.shemyhon@nure.ua

Науковий керівник – д.т.н., проф. Чумаченко С.В.

Харківський національний університет радіоелектроніки, каф. АПОТ
м. Харків, Україна

A system for modeling stuck-at and multiple input faults is being developed using a truth table that is based on combinatorial properties and includes mechanisms based on simple operations, fault detecting procedures, an algorithm and software implementation.

З метою моделювання одиночних та кратних вхідних несправностей будь-якої функціональності на заданому вхідному двійковому тестовому наборі пропонується використовувати таблицю істинності як структуру великих даних, що складається з впорядкованих за зростанням двійкових адрес комірок логічного вектора [1-3].

Механізм моделювання несправностей логічної функціональності на основі таблиці істинності полягає у використанні її комбінаторних властивостей. Таблицю істинності можна розглядати як логічний вектор для дедуктивного моделювання константних несправностей, як адрес, на вхідному тестовому наборі з урахуванням чотирьох операцій: 1) визначення справної поведінки елемента; 2) векторно-матрична операція XOR для отримання таблиці активності; 3) упорядкування координат вектора за стандартом вхідних двійкових наборів таблиці істинності для отримання дедуктивного вектора та подальшої обробки елементів у цифровій структурі; 4) формування вхідних несправностей логічного елемента, що перевіряються, інверсними значеннями сигналів двох вхідних змінних на одиничних координатах стовпців таблиці істинності.

Структурна карта моделювання несправностей логічного елемента на основі таблиці істинності подана чотирма макрокомандами, які формують повний список комбінацій вхідних несправностей, що перевіряються на двійковому вхідному тестовому наборі x . Вхідні дані представлені логічним вектором елемента Y та двійковим набором x .

Для обробки цифрових автоматів як логічного елемента проводиться попередній синтез моделі автомата з метою приведення його до векторної форми з псевдозмінними. Рандомізація використовується як спосіб уникнути повного перебору при вирішенні завдань покриття несправностей або функціонального покриття при побудові мінімізованого тесту для

testbench. Генерація тесту закінчується, якщо він перевіряє 100% одиночних константних несправностей.

Розглядаються розумні структури даних для виконання процедур пошуку несправностей, виявлених на тестових наборах. Визначається список вхідних несправностей, що перевіряються, логічного елемента шляхом генерації дедуктивного вектора (таблиці істинності) для двійкового вхідного набору.

Механізм моделювання з використанням таблиці істинності є найпростішою технологією моделювання цифрових систем на основі логічних векторів. Усупереч складності дедуктивного методу моделювання несправностей, заснованого на розв'язанні аналітичних булевих рівнянь, прості табличні операції легко реалізуються за допомогою мови Python для вивчення основ верифікації цифрових систем та пристроїв.

Список використаних джерел:

1. Hahanov V. Vector-Logical In-Memory Simulation of Faults as Truth Table Addresses / V. Hahanov, E. Litvinova, H. Hahanova, S. Chumachenko, Z. Davitadze, I. Hahanova, H. Kulak, V. Ponomarova, V. H. Abdullayev // 2024 IEEE East-West Design & Test Symposium (EWDTS), Yerevan, Armenia, 2024, pp. 1-6, doi: [10.1109/EWDTS63723.2024.10873615](https://doi.org/10.1109/EWDTS63723.2024.10873615).
2. Hahanov V. Faults-as-address simulation / V. Hahanov, S. Chumachenko, E. Litvinova, I. Hahanov, V. Ponomarova, H. Khakhanova, G. Kulak // IAES International Journal of Robotics and Automation. December 2024. Vol 13, No 4. P. 452-468. doi: [10.11591/ijra.v13i4.pp452-468](https://doi.org/10.11591/ijra.v13i4.pp452-468).
3. Hahanov V. Vector Logic Modeling Self-Tested Circuits / V. Hahanov, S. Chumachenko, E. Litvinova, I. Hahanov, V. Ponomarova, H. Khakhanova, G. Kulak // IAES International Journal of Robotics and Automation. December 2024. Vol 13, No 4. P. 452-468. doi: [10.11591/ijra.v13i4.pp452-468](https://doi.org/10.11591/ijra.v13i4.pp452-468).