МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ

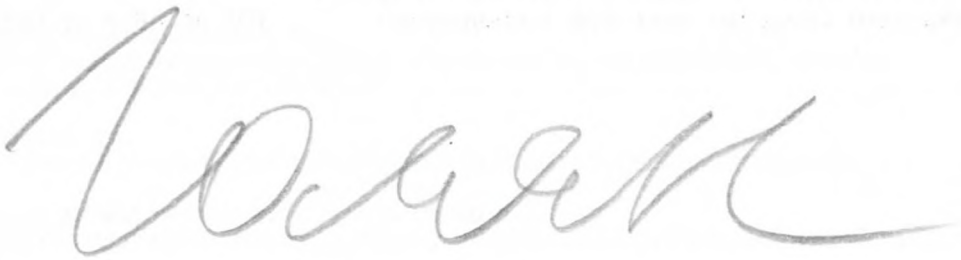
ХАРЬКОВСКИЙ НАЦИОНАЛЬНЫЙ
УНИВЕРСИТЕТ РАДИОЭЛЕКТРОНИКИ

АВТОМАТИЗИРОВАННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ И ПРИБОРЫ АВТОМАТИКИ

Всеукраинский межведомственный научно-технический сборник

Основан в 1965 г.

Выпуск 124



Харьков
2003

УДК 62-50

В сборнике представлены результаты исследований, касающихся компьютерной инженерии, управления, технической диагностики, автоматизации проектирования, оптимизированного использования компьютерных сетей и создания интеллектуальных экспертных систем. Предложены новые подходы, алгоритмы и их программная реализация в области автоматического управления сложными системами, оригинальные информационные технологии в науке, образовании, медицине.

Для преподавателей университетов, научных работников, специалистов, аспирантов.

У збірнику наведено результати досліджень, що стосуються комп'ютерної інженерії, управління, технічної діагностики, автоматизації проектування, оптимізованого використання комп'ютерних мереж і створення інтелектуальних експертних систем. Запропоновано нові підходи, алгоритми та їх програмна реалізація в області автоматичного управління складними системами, оригінальні інформаційні технології в науці, освіті, медицині.

Для викладачів університетів, науковців, фахівців, аспірантів.

Редакционная коллегия:

В.В. Семенец, д-р техн. наук, проф. (гл. ред.), *М.Ф. Бондаренко,* д-р техн. наук, проф., *И.Д. Горбенко,* д-р техн. наук, проф., *Е.П. Путятин,* д-р техн. наук, проф., *В.П. Тарасенко,* д-р техн. наук, проф., *Г.И. Загарий,* д-р техн. наук, проф., *А.Штефан,* доктор-инженер, *Г.Ф. Кривуля,* д-р техн. наук, проф., *О.Г. Руденко,* д-р техн. наук, проф., *Н.В. Алипов,* д-р техн. наук, проф., *Е.В. Бодянский,* д-р техн. наук, проф., *Э.Г. Петров,* д-р техн. наук, проф., *В.Ф. Шостак,* д-р техн. наук, проф., *В.М. Левыкин,* д-р техн. наук, проф., *В.И. Хаханов,* д-р техн. наук, проф. (отв. ред.).

Свидетельство о государственной регистрации
печатного средства массовой информации КВ № 4619 от 18.10.2000г.

Адрес редакционной коллегии: Украина, 61166, Харьков, просп. Ленина, 14, Харьковский национальный университет радиоэлектроники, комн. 321, тел. 70-21-326

© Харківський національний університет
радіоелектроніки, 2003

УДК 681.325

В.В. ГОЛЯН

VHDL – МОДЕЛЬ ПРОЕКТИРОВАНИЯ ПРЕОБРАЗОВАТЕЛЕЙ КОДОВ

Предлагается синтез VHDL- модели преобразователей кодов, эффективно распределяющий RTL-схемы в целях создания нового списка соединений с минимальным количеством использованных схемных компонентов.

1. Постановка задачи

Проектирование больших интегральных систем невозможно без наличия мощных САПР. Важной задачей является разработка средств автоматизированного проектирования преобразователей, входящих в состав мультиплексорных и селекторных каналов ЭВМ и обеспечивающих наряду с другими блоками выполнение необходимых преобразований кодов (ПК) при их передаче из периферийного устройства в канал и обратно. ПК с высокой степенью интеграции обладают большим быстродействием и имеют меньшую стоимость в сравнении с ПК меньшей степени интеграции. Преобразователи кодов могут быть представлены так: по методу досчета и по методу накопления эквивалентов, которые в свою очередь подразделяются на одношаговые, двухшаговые, трехшаговые [1].

Целью данной работы является:

– определение возможности моделирования ПК на кристалле Spartan-II;

– определение возможностей примерных характеристик ПК, размещаемых на кристалле Spartan-II.

Современные САПР имеют функционально-блочную структуру, согласно которой различные этапы цикла проектирования выполняются соответствующими подсистемами. Это привело к появлению отдельных систем (зачастую разработанных различными производителями), специализирующихся на выполнении только одного из этапов (например, этапа синтеза).

Кроме того, САПР становится сквозным: все этапы проектирования – моделирование, синтез, реализация и программирование микросхем – проходят в единой среде. Это дает возможность верификации устройства на всех этапах проектирования, что позволяет снизить вероятность возникновения ошибок. Поэтому на определенном этапе развития САПР возникла необходимость в создании стандартизированных языков описания аппаратуры, одним из которых является VHDL [2].

Суть данной работы заключается в создании универсальной модели ПК, которая могла бы быть описана на языке VHDL.

Актуальность проектирования состоит в подготовке формализованного задания для проектирования ПК на ПЛИС с созданием модели на языке VHDL.

VHDL – это мощный язык, который позволяет описывать поведение цифровых схем, а также проводить иерархическое функционально-структурное описание больших интегральных систем. В то же время он имеет все признаки языка программирования высокого уровня – позволяет создавать свои типы данных, имеет широкий набор арифметических и логических операций [3].

2. Проектирование аппаратной части ПК

При проектировании аппаратной части ПК должны быть предусмотрены следующие параметры:

1) Основание системы счисления на входе (base = K). Должна существовать возможность задавать значение K в пределах 3...15. Этот параметр будет определять диапазон представления чисел $0 \le A \le K^n - 1$ (числа целые) и коли-

чество двоичных разрядов на выходе ПК (оно должно быть достаточным для размещения в накапливающем сумматоре наибольшего числа $A_{max} = K^n - 1$).

2) Количество блоков, преобразующих по два К-ичных разряда (blocks = n). Этот параметр должен изменяться в пределах 1...6, что позволяет определить число отдельных однотипных блоков преобразователя (ОА, ФЭ) и разрядность входной шины данных.

3) Значение второго шага преобразователя (step = a). От значения данного параметра зависит число тактов преобразования и величина формируемого на каждом такте эквивалента. Значение шага изменяется в пределах

$$2 < a < K-1.$$

Структура преобразователя должна изменяться в зависимости от значений указанных параметров.

Рассмотрим обобщенную структуру ПК. Проектируемый преобразователь должен работать как двухшаговый преобразователь цифровых кодов целых чисел на счетчиках по методу накопления эквивалентов без трансляции младшего разряда с параллельным использованием шагов преобразования. Преобразование производится из двоично-k-ичной системы счисления в двоичную.

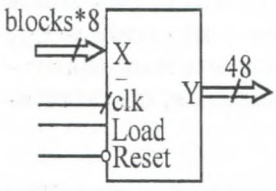


Рис. 1

Интерфейс устройства представлен на рис. 1.

Описание портов: X((blocks*8-1):0) - blocks*8-разрядная шина данных (загрузка входного двоично-k-ичного кода), Reset - сигнал с активным низким уровнем, обеспечивающий сброс разрядных счетчиков, накапливающего сумматора и выходного буферного регистра, Clk – синхронизирующий сигнал (активный передний фронт), Load - сигнал, обеспечивающий выбор источника входных в блоке ОА, а также сброс накапливающего сумматора в '0' в начале каждого нового цикла преобразования, Y (47:0) - 48-разрядная шина данных (выгрузка преобразованного кода).

3. Назначение и возможности синтеза VHDL-модели ПК

Задачей системы синтеза на данном этапе является эффективное распределение RTL-схемы в целях создания нового списка соединений с минимальным количеством использованных схемных компонентов. Каждый компонент нового списка будет соответствовать физическому аппаратному блоку в используемой микросхеме FPGA (элементы конфигурируемых логических блоков, логика ускоренного переноса).

Иерархические проекты синтезируются в восходящем режиме, когда компоненты нижнего уровня синтезируются до компонентов верхнего уровня.

Модель устройства, написанная на языке описания аппаратуры VHDL, должна быть адаптирована для синтеза и реализации на кристалле FPGA фирмы Xilinx.

Задача выбора аппаратной платформы чрезвычайно важна для проектировщика. Правильный выбор позволит:

- снизить материальные затраты при реализации устройства;
- добиться оптимального функционирования и быстродействия.

Согласно техническому заданию, модель ПК должна быть адаптирована для синтеза и реализации на FPGA фирмы Xilinx. При выборе серии ПЛИС основное внимание уделяется соотношению ее стоимости и производительности. Также необходимо учитывать площадь кристалла, которая будет занята синтезированным устройством.

Программируемые пользователем вентильные матрицы (Field Programmable Gate Arrays - FPGA) впервые были разработаны фирмой Xilinx в 1985 г. Настройка FPGA на заданное функционирование выполняется каждый раз перед началом ее работы. Необходимая для этого программа настройки предварительно записывается в ПЗУ (ОЗУ). Сразу после включения питания

производится загрузка информации из ПЗУ и осуществляется автоматическая инициализация FPGA (для этого FPGA содержит необходимые логические схемы). Возможно также выполнение настройки FPGA под управлением микропроцессора или микроконтроллера. FPGA имеет типичную структуру вентильной матрицы.

ПЛИС типа FPGA фирмы Xilinx выполнены по SRAM к МОП технологии. Характеризуются высокой гибкостью структуры и изобилием на кристалле триггеров. При этом логика реализуется посредством матрицы так называемых LUT - таблиц (Look Up Table), а внутренние межсоединения - посредством разветвлённой иерархии металлических линий, коммутируемых специальными быстродействующими транзисторами.

Большая стоимость микросхем FPGA с встроенной RAM по сравнению со стоимостью заказных микросхем ограничивает использование FPGA для изготовления опытных образцов или мелкосерийной продукции. Этот недостаток FPGA устранен фирмой Xilinx выпуском новой серии микросхем FPGA - серий Spartan и Spartan-II. Параметры микросхемы Spartan-II (модель XC2S30) (логические ячейки, число системных вентилей, размерность массива CLB, количество CLB и др.): Logic Cells – 972, System Gates (Logic and RAM) – 30000, CLB Array (CxR) -12x18, Total CLBs -216, Maximum Available User I/O – 132, Total Distributed RAM Bits – 13824 Total Block RAM Bits - 24K.

Семейство FPGA Spartan-II имеет рекордно низкую стоимость в расчете на один вентиль при плотности упаковки до 200 тысяч вентилей. В кристалле имеется четыре блока ОЗУ, каждый по 4 Кбита, также возможна реализация 16 битов памяти на каждом 4-входовом функциональном генераторе.

Устройства Spartan-II сочетают черты гибкой, регулярной архитектуры, которая охватывает матрицу конфигурируемых логических блоков (CLB), окруженную программируемыми блоками ввода/вывода, связанных между собой иерархией быстрых, многосторонних ресурсов межсоединений.

Устройства Spartan-II имеют более высокую производительность по сравнению с предыдущими семействами FPGA. Проекты могут работать с системной частотой синхронизации до 200 МГц, включая блоки ввода/вывода (Input/Output-I/O).

Кроме этого, чипы Spartan-II отличает целый ряд достоинств:

- относительно низкая стоимость кристалла;
- большая размерность чипа (до 200 000 системных вентилей);
- высокое быстродействие.

Программируемая пользователем вентильная матрица Spartan-II охватывает: конфигурируемые логические блоки (configurable logic blocks - CLBs) и блоки ввода/вывода (IOBs). CLB-блоки служат для создания функциональных логических элементов, а блоки I/O создают интерфейс между контактами микросхемы и CLB-блоками.

Настраиваемый логический блок (рис. 2). Базовым строительным элементом CLB-блока является логическая ячейка (Logic Cell - LC). Она включает 4-входовой функциональный генератор, логику ускоренного переноса и запоминающий элемент. Выход каждого функционального генератора в каждой логической ячейке подсоединен к выходной линии CLB-блока и к D-входу триггера.

Каждый CLB-блок в серии Spartan-II содержит четыре логические ячейки, организованные в виде двух одинаковых секторов (Slice). В дополнение к ним CLB-блок серии Spartan-II содержит логику, которая позволяет комбинировать ресурсы функциональных генераторов для реализации функций от пяти или шести входов.

Look-Up Tables (LUT). Функциональные генераторы реализованы в виде 4-входовых функциональных таблиц (LUT). Кроме применения в качестве функциональных генераторов, каждый LUT-элемент может быть также использован как синхронная память типа RAM размерностью 16x1 бит. Более того,

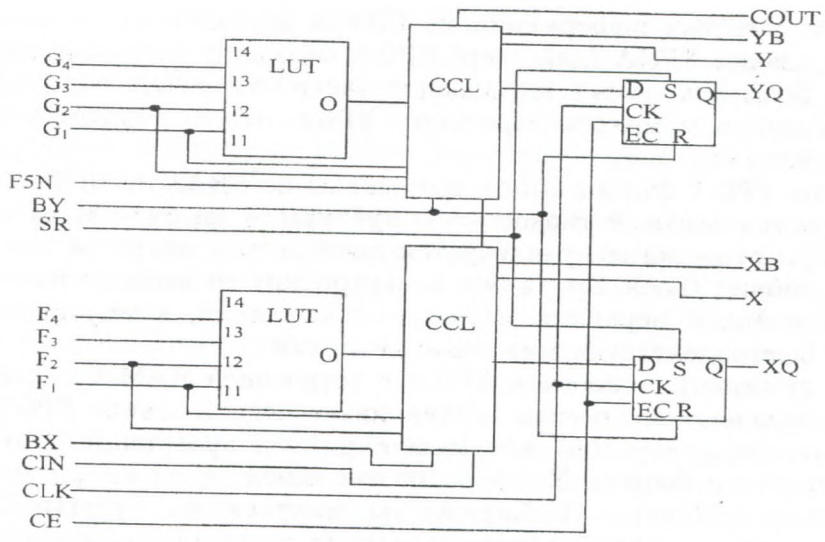


Рис. 2

из двух LUT-элементов в рамках одного сектора (Slice) можно реализовать синхронную RAM-память размерностью 16x2 бита или 32x1 бит, либо двухпортовую синхронную RAM-память размерностью 16x1 бит.

На LUT-элементе микросхемы Spartan-II может быть реализован 16-битный сдвиговый регистр, который идеально подходит для захвата высокоскоростных или пакетных потоков данных. Этот режим может также использоваться для запоминания данных в таких приложениях, как цифровая обработка сигналов (Digital Signal Processing - DSP).

Запоминающие элементы. Запоминающие элементы в каждом секторе CLB-блока Spartan-II могут конфигурироваться как динамические триггеры (чувствительные к фронту сигнала) D-типа, либо как защелки, чувствительные к уровню сигнала. D-вход триггера может управляться либо от функционального генератора в рамках того же сектора CLB-блока, либо непосредственно от входов данного сектора.

Дополнительная логика в CLB. Мультиплексор F5 в каждом секторе объединяет выходы преобразователя. Эта комбинация позволяет реализовать любую функцию 5-ти переменных или некоторые функции до 9-ти переменных. Точно так же мультиплексор F6 объединяет выходы изо всех четырех LUT в CLB. Это позволяет реализацию любой функции 6-ти переменных или некоторые функции до 19-ти переменных. У каждого CLB имеется четыре прямых пути. Эти пути обеспечивают дополнительные линии ввода данных или дополнительную маршрутизацию, которая позволяет сэкономить логические ресурсы.

Арифметическая логика. Специальная логика переноса обеспечивает возможность быстрого переноса при реализации арифметических функций. CLB-блок Spartan-II поддерживает две отдельные цепочки переноса, одна на каждый сектор (Slice) CLB. Размерность цепочек переноса - два бита на CLB-блок.

Блок оперативной памяти (RAM). В FPGA Spartan-II встроена особая блочная память. Она создана в дополнение к распределенной памяти небольшой емкости (Select RAM), реализованной на функциональных таблицах (Look Up Table RAM - LUTRAM).

Выбор инструментальных средств. Для синтеза проекта выбран программный продукт фирмы Synplicity Synplify 7,0, так как он имеет следующие преимущества по сравнению с программами синтеза других производителей:

- высокая скорость синтеза;
- визуальное представление результатов синтеза (нетлиста);

– наличие библиотек под современную элементную базу крупнейших мировых производителей.

Проанализированный проект синтезируется в библиотечный набор примитивов. Список соединений после этапа логического вывода составлен, в основном, из абстрактных логических элементов, таких как сумматоры, счетчики, умножители, а также из вентилей и синхронных триггеров. Эти схемные элементы далее необходимо разместить в структурных компонентах используемой технологии ПЛИС. Данный процесс и называется технологическим распределением.

Анализ результатов показал возможность моделирования структур ПК на компьютере, работоспособность модели, возможность наращивания и распределения ПК с разрядностью 2, 4, 8.

Список литературы: 1. *Голян В.В., Какурин Н.Я.* Программные средства автоматизированного проектирования преобразователей кодов целых чисел // АСУ и приборы автоматики. 2002. Вып. 118. С. 41. 2. *Айзекс С.* Dynamic HTML: Пер. с англ. СПб.: BHV Санкт-Петербург, 1999. 496с. 3. *Стешенко В.Б.* Практика автоматизированного проектирования радиоэлектронных устройств. М., 2002. 125 с.

Поступила в редколлегию 02.04.2003

Голян Вера Владимировна, инженер 1к., ХНУРЭ. Научные интересы: информатика, автоматизация проектирования цифровых устройств. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 30-28-14.

УДК 658.52.011.56

С.А. КАНЦЕДАЛ, М.В. КОСТИКОВА

О ДВУХ АЛГОРИТМАХ ДЛЯ РЕШЕНИЯ ОБЩЕЙ ЗАДАЧИ ТЕОРИИ РАСПИСАНИЙ

Для решения общей задачи составления расписаний предлагается две модификации приближенного алгоритма, описанного в [1]. Приводятся обоснования возможности модификаций, теоретические характеристики временной сложности алгоритмов, а также статистические их характеристики, полученные экспериментальным путем.

1. Модификации приближенного алгоритма

Следуя [1], в сжатой форме изложим постановку и суть решения общей задачи теории расписаний.

Пусть заданы конечные множества предметов $I = \{1, 2, \ldots, n\}$ и обрабатывающих их машин $Q = \{1, 2, \ldots, m\}$. Обработка любого предмета $i \in I$ состоит в выполнении машинами из множества Q предписаний технологической последовательности операций $I_i = (iq_1, \ldots, iq_j, \ldots, iq_{j_i})$, любая из которых $iq_j \in I_i$ выполняется машиной $q \in Q$ за время $t_{iq_j} > 0$ без прерываний и может начаться после полного завершения непосредственно ей предшествующей операции $iq_{j-1} \in I_i$. Каждая машина $q \in Q$ одновременно может выполнять только одну операцию. Задача составления расписания состоит в том, чтобы для всех машин из множества Q найти такие порядки выполнения операций предметов (перестановки их номеров) и указать такие моменты начала этих операций, которые бы обеспечили обработку всех предметов за наименьшее время.

Удобной математической структурой, облегчающей конструирование и истолкование алгоритмов, решающих сформулированную задачу, является орграф $G = (I_I, i_S, i_F, V_T \cup V_m, W_T)$ с множеством вершин $I_I \cup i_S \cup i_F$, дуг $V_T \cup V_m$ и функцией $W_T : V_T \cup V_m \to R^+ \cup \{\varnothing\}$, где i_S, i_F – фиктивные вершины, а R^+ – множество неотрицательных чисел. Каждая вершина $iq \in I_I$ этого графа соответствует одной и только одной технологической операции $iq \in I_i$ пред-

СОДЕРЖАНИЕ

НАТАЛУХА Ю.В., АФАНАСЬЕВ В.А., КЛИМОВА Н.П.
ОБ ОДНОМ КРИТЕРИИ ПРОВЕРКИ ЛИНЕЙНОЙ НЕЗАВИСИМОСТИ ФУНКЦИЙ 4

ЛЕЩИНСКАЯ Е.Л.
ИДЕНТИФИКАЦИЯ СЕМАНТИЧЕСКИХ ОШИБОК ПРИ СИНТАКСИЧЕСКОМ АНАЛИЗЕ 8

ТИХОНОВ В.А., ЗУБКОВ О.В., СИДОРОВ Г.И.
ГЕНЕРИРОВАНИЕ КВАДРАТУРНЫХ СОСТАВЛЯЮЩИХ СЛУЧАЙНОГО УЗКОПОЛОСНОГО АНАЛИТИЧЕСКОГО СИГНАЛА НА НЕСУЩЕЙ ЧАСТОТЕ ПО ЗАДАННЫМ ПАРАМЕТРАМ СПЕКТРАЛЬНОЙ ПЛОТНОСТИ МОЩНОСТИ 18

ДОРОВСКОЙ В.А.
ЭНТРОПИЙНАЯ МОДЕЛЬ ДИАЛОГОВОГО ПОВЕДЕНИЯ ПАРТНЕРОВ 23

ГОЛЯН В.В.
VHDL-МОДЕЛЬ ПРОЕКТИРОВАНИЯ ПРЕОБРАЗОВАТЕЛЕЙ КОДОВ 27

КАНЦЕДАЛ С.А., КОСТИКОВА М.В.
О ДВУХ АЛГОРИТМАХ ДЛЯ РЕШЕНИЯ ОБЩЕЙ ЗАДАЧИ ТЕОРИИ РАСПИСАНИЙ 31

СОРОЧАН М.В.
МОДЕЛИРОВАНИЕ ПРЕДМЕТНОЙ ОБЛАСТИ ПРИ ПОСТРОЕНИИ ТРЕБОВАНИЙ К ПРОГРАММНОМУ ОБЕСПЕЧЕНИЮ 37

ГВОЗДИНСКИЙ А.Н., ЯКИМОВА Н.А.
ЛОГИКО-АЛГЕБРАИЧЕСКИЕ МОДЕЛИ СИСТЕМ ПРЕДСТАВЛЕНИЯ ЗНАНИЙ 43

АЛИПОВ Н.В., АЛИПОВ И.Н., ХИЛЬ М.И., РЕБЕЗЮК Л.Н.
ПРИМЕРЫ ПОСТРОЕНИЯ ПОСЛЕДОВАТЕЛЬНЫХ АЛГОРИТМОВ ПОИСКА ТОЧКИ С ХАРАКТЕРНЫМ ПРИЗНАКОМ, ПОМЕХОУСТОЙЧИВЫХ К СИММЕТРИЧНЫМ НЕРЕГУЛЯРНЫМ ВИРТУАЛЬНЫМ ПОСЛЕДОВАТЕЛЬНОСТЯМ 47

ДЮБКО Г.Ф., ХАРЧЕНКО С.Л.
КОМПОНЕНТНАЯ ТЕХНОЛОГИЯ ПРОГРАММИРОВАНИЯ ДЛЯ ОПИСАНИЯ МОДЕЛЕЙ ЦИФРОВЫХ УСТРОЙСТВ 55

СИНОТИН А.М.
ИССЛЕДОВАНИЕ ВЛИЯНИЯ ЭЛЕМЕНТОВ РАДИОЭЛЕКТРОННОГО АППАРАТА НА ЭФФЕКТИВНУЮ ТЕПЛОПРОВОДНОСТЬ В ОСНОВНЫХ НАПРАВЛЕНИЯХ 61

СИТНИКОВ Д.Э., ВИЛЬЧИНСКАЯ О.С., КРАВЕЦ Н.С.
АЛГЕБРАИЧЕСКИЙ МЕТОД НАХОЖДЕНИЯ АППРОКСИМАЦИЙ ПРИБЛИЖЕННЫХ МНОЖЕСТВ И ФОРМИРОВАНИЕ НА ИХ ОСНОВЕ ЛОГИЧЕСКИХ ПРАВИЛ 66

ДЮБКО Г.Ф., ПОЛУНИН Р.А.
РАЗРАБОТКА БАЗ ЗНАНИЙ ДЛЯ ПРОВЕДЕНИЯ ЛОГИЧЕСКОГО КОНТРОЛЯ В КОМПЬЮТЕРНЫХ ОБУЧАЮЩИХ СИСТЕМАХ 72

КЛИМУШЕВ В.Б., БУКОЛОВА М.А.
МОДЕЛИРОВАНИЕ КОРРЕЛЯЦИОННОГО АЛГОРИТМА РАСПОЗНАВАНИЯ ОБРАЗОВ С ПОМОЩЬЮ КОНЕЧНОГО АВТОМАТА 80

КУПРЕЙЧИК И.В.
ПРОГРАММНАЯ РЕАЛИЗАЦИЯ НАХОЖДЕНИЯ ОРТОГОНАЛЬНЫХ БАЗИСОВ В СОК 87

БОЖИНСКИЙ И.А., РОМАНИЙ П.Г., ТКАЧЕНКО В.Ф.
К ВОПРОСУ ГИДРАВЛИЧЕСКОГО РАСЧЕТА ГАЗОРАСПРЕДЕЛИТЕЛЬНЫХ СЕТЕЙ 91

ПОЛОНСКИЙ А.Д.
ИНВАРИАНТНАЯ АЛГЕБРА РАНГОВЫХ ПРЕДИКАТОВ ДЛЯ СИНТЕЗА КЛАССИФИКАТОРОВ АНАЛОГОВЫХ СИГНАЛОВ 99

ГОЛОВАШИЧ С.А., ПОНОМАРЕВ Д.В.
ПОТОЧНЫЙ ШИФР BMGL И ОСОБЕННОСТИ ЕГО ПРОГРАММНОЙ РЕАЛИЗАЦИИ 107

АНПИЛОГОВ Е.М., ДЗЮНДЗЮК Б.В., СТЫЦЕНКО Т.Е.
ИНТЕРПРЕТАЦИЯ И АНАЛИЗ НАСЛЕДУЕМЫХ РАЗЛИЧНЫХ ФАКТОРОВ НА ОПЕРАЦИЯХ ИЗГОТОВЛЕНИЯ СИСТЕМЫ 113

РЕФЕРАТИ 116