

ВИКОРИСТАННЯ MATLAB ПРИ ПРОЕКТУВАННІ ЦИФРОВИХ СИСТЕМ НА ПЛІС У САПР XILINX VIVADO

Кузнецов М. В., студент

Харківський національний університет радіоелектроніки, м. Харків.

Науковий керівник: Свид І. В., к.т.н., доцент, завідувач кафедри

Matlab – це високорівнева мова й інтерактивне середовище для програмування, чисельних розрахунків, візуалізації результатів, технічних обчислень. Має велике число пакетів прикладних програм-розширень. За допомогою Matlab можна аналізувати дані, розробляти алгоритми, створювати моделі та додатки.

Matlab широко використовується в таких областях, як:

- обробка сигналів і зв'язок;
- обробка зображень і відео;
- системи управління;
- автоматизація тестування і вимірювань та інше.

Система Matlab складається з таких основних частин:

- мова MATLAB (мова матриць і масивів);
- середовище MATLAB;
- управляема графіка (команди високого рівня для візуалізації дво- і тривимірних даних та інше);
- вбудовані бібліотеки і численні пакети розширень (у т.ч. Simulink);
- програмний інтерфейс (бібліотека, яка дозволяє використовувати програми на мовах C і Фортран, які взаємодіють з MATLAB).

Для Matlab існує безліч розширень (Toolboxes і Blocksets) для різних галузей промисловості. Одним з таких розширень є пакет System Generator for DSP фірми Xilinx – це ключовий компонент спеціалізованих платформ для цифрової обробки сигналів (ЦОС) фірми Xilinx.

System Generator for DSP – це провідний в галузі інструмент для розробки високопродуктивних систем цифрової обробки сигналів, побудованих на FPGA і SoC компанії Xilinx. System Generator for DSP дозволяє реалізовувати алгоритми ЦОС з меншими часовими витратами, в порівнянні з традиційним RTL проектуванням. System Generator for DSP забезпечує: розробку високопродуктивних паралельних систем на самих передових FPGA; системне моделювання і автоматичну генерацію коду з Simulink і MATLAB; інтеграцію RTL коду, IP модулів, MATLAB кодів і апаратних компонентів в систему ЦОС.

System Generator for DSP включений до складу Vivado System Edition. Використання System Generator for DSP розробниками з малим досвідом проектування дозволяє швидко створювати якісні проекти ЦОС з меншими затратами, в порівнянні з традиційним RTL проектуванням. System Generator for DSP в Simulink, дозволяє розробнику отримати доступ до набору апаратних компонентів ПЛІС типу FPGA фірми Xilinx і разом з тим можуть використовувати стандартні блоки Simulink, такі як джерела й приймачі сигналів, логічні й математичні операції, блоки підсистем та інше. А бібліотеки System Generator містять блоки, що представляють елементи зв'язку, логіку управління, обробку сигналів, роботу з пам'яттю і вбудованими мікропроцесорними пристроями та інше.

Ключові особливості та переваги System Generator for DSP:

- DSP-моделювання;
- бітова та циклічна реалізація з плаваючою і фіксованою комою;
- автоматична генерація коду VHDL або Verilog, або Packaged IP від Simulink;
- апаратне спільне моделювання;
- строки та аналіз ресурсів.

1. DSP-моделювання. Створення та налагодження високопродуктивних систем DSP з використанням оптимізованих RTL IP-адрес Xilinx як блоків в Simulink для обробки

сигналів (наприклад, фільтри FIR, FFT), виправлення помилок (наприклад, декодер Вітербі, кодер / декодер Reed-Solomon), арифметики, пам'яті (наприклад, FIFO, RAM, ROM) та цифрової логіки. Дозволяє отримати доступ до примітивів DSP48 у Simulink для високих частот.

2. Бітова та циклічна реалізація з плаваючою і фіксованою комою. Системний генератор підтримує бітову і циклічну точність з фіксованою точкою і бітову і тактову точність з одинарному, подвійному і призначеної для користувача точністю з плаваючою точкою.

3. Автоматична генерація коду VHDL або Verilog, або Packaged IP від Simulink. Реалізація поведінкової (RTL) генерації і націлювання на конкретні IP-ядра Xilinx з Xilinx Blockset. Упакуйте проект в якості IP-ядра, яке можна додати в каталог Vivado IP для використання в іншому проекті, що дозволить повторно використовувати дизайн і спільно використовувати розроблену модель.

4. Апаратне спільне моделювання. Опція генерації коду, яка дозволяє виконувати валідацію і прискорення моделювання шляхом компіляції проектів в апаратні засоби ПЛІС, які можна використовувати в циклі з симуляціями Simulink для перевірки працюючого обладнання і прискорення симуляції в Simulink. System Generator підтримує зв'язок Ethernet (10/100/Gigabit) і JTAG між апаратною платформою і Simulink для підтримуваних плат і платформ.

5. Строки та аналіз ресурсів. Перевірка закриття синхронізації і використання ресурсів ваших проектів (після синтезу або після реалізації) і зіставлення результату з моделлю System Generator в Simulink за допомогою перехресного зондування прискорює процес доопрацювання проекту, що забезпечує підвищення продуктивності або виявлення збоїв синхронізації.

Комплексно підтримується у Kintex®-7, Virtex®-7, Zynq®-7000, Artix®-7, Kintex UltraScale™, Kintex UltraScale+, Virtex UltraScale, Virtex UltraScale+, Zynq UltraScale+ RFSoc.

Список використаних джерел:

1. Аврунін О. Г. Основи мови VHDL для проектування цифрових пристроїв на ПЛІС : навч. посіб. / О. Г. Аврунін, Т. В. Носова, В. В. Семенец; М-во освіти і науки України, Харків. нац. ун-т радіоелектроніки. – Харків : ХНУРЕ, 2018. – 196 с.

2. Семенец В. В. Проектирование цифровых систем с использованием языка VHDL : учеб. пособие / В. В. Семенец, И. В. Хаханова, В. И. Хаханов ; МОН Украины, ХНУРЭ. – Харьков : ХНУРЭ, 2003. – 492 с.

3. Семенец В. В. VHDL для проектирования компьютерных систем. / В. В. Семенец, Г. Ф. Кривуля, А. Ф. Горбатюк и др. ; МОН Украины, НМЦВО, ХНУРЕ. – Харьков : ХНУРЭ, 2002. – 156 с.

4. Малиновский М. Л. Проектирование цифровых устройств на ПЛИС: учебник для вузов / М. Л. Малиновский, И. А. Фурман, С. Я. Бовчалюк ; под общ. ред. И. А. Фурмана. – Харьков : Факт, 2006. – 164 с.

5. Максфилд К. Проектирование на ПЛИС. Архитектура, средства и методы : Курс молодого бойца : пер. с англ. / К. Максфилд. – Москва: ДМК Пресс; Додэка-XXI, 2015. – 408 с.

6. Соловьев В. В. Архитектуры ПЛИС фирмы XILINX: CPLD и FPGA 7-й серии / В. В. Соловьев. – Москва: Горячая линия - Телеком, 2016. – 392 с.

7. Свид І. В., Литвиненко О. В., Білоцерківець О. Г. Особливості проектування цифрових пристроїв на базі FPGA Xilinx в САПР Vivado Hx Design Suite. // Спеціалізована виставка «KharkivProm Days. Виробництво і ефективність». Збірник матеріалів форуму секції «Автоматизація, електроніка та робототехніка. Стратегії розвитку та інноваційні технології». – Харків, ХНУРЕ, Виставкова компанія АДТ, 2019. – С. 43-44.

8. Бибило П. Н. Синтез логических схем с использованием языка VHDL / П. Н.

Библо. – Москва: СОЛОН-Р, 2009. – 384 с.

9. Потехин Д. С. Разработка систем цифровой обработки сигналов на базе ПЛИС / Д. С. Потехин, И. Е. Тарасов. – Москва: Горячая линия - Телеком, 2007. – 248 с.

10. Семенец В. В. Технология межсоединений электронной аппаратуры: учеб. для вузов / В. В. Семенец, Джон Кратц, И. Ш. Невлюдов, В. А. Палагин. – Х. : изд. «СМИТ», 2005. – 432 с.

11. Vivado Design Suite User Guide. Release Notes, Installation and Licensing. UG973 (v2018.3) December 14, 2018. – Xilinx, 2018. – 75 p.

12. 7 Series DSP48E1 Slice. User Guide. UG479 (v1.10) March 27, 2018. – Xilinx, 2018. – 58 p.

АЛГОРИТМЫ ОБНАРУЖЕНИЯ ГРАНИЦ ОБЪЕКТОВ

Мочалова А. А., студентка

Харьковский национальный университет радиозлектроники, г. Харьков.

Научный руководитель: Заворотная М. Г., ассистент

Когда есть необходимость в нахождении границ объектов на изображениях, которые наблюдаются в присутствии шумов, многократно используются методы обхода контура. В таком случае проблема нахождения объектов сводится к алгоритму решения последовательности локальных задач о наличии фрагмента границы в рамках небольшого по размерам окна (элементарного кадра), у которого происходит скольжение по изображению.

Практически в рамках каждого окна происходит решение задачи нахождения точек с переходом фона в объект — участков с перепадами яркости, которыми чаще всего и выражаются границы объектов на изображениях. Для этого могут использоваться различные подходы.

Нахождение неизвестных параметров контура осуществляется посредством минимизации введенного функционала качества.

Установление этих параметров контура может быть произведено как при помощи классических методов нахождения минимума функционала качества, так и при помощи заранее обученной нейронной сети. Помимо того было предложено подход, который использует метод динамического программирования для того, чтобы определить максимум функционала правдоподобия при рассмотрении возможных вариантов положения границы.

Следует признать, что после того как обнаружены локальные участки границы в каждом элементарном окне, часто возникает задача объединения их в единый непрерывный контур. Данную задачу можно решить отдельно от задачи обнаружения перепада яркости после того, как все локальные перепады яркости обнаружены.

Существуют следующие алгоритмы обнаружения локальных участков границы на изображениях, зашумленных белым гауссовским шумом с различной интенсивностью:

— статистического алгоритма обнаружения и оценивания параметров перепада яркости, предложенного А.И. Перовым ;

— нейросетевого алгоритма обнаружения идеального перепада яркости;

— алгоритма выделения границы, использующего метод динамического программирования при нахождении минимума функционала качества;

Формальная постановка задачи обнаружения перепада яркости.

В вычислении перепада яркости можно допустить возможность, что имеется квадратное окно размером $N \times N$ пикселей. В пределах окна есть граница — аппроксимируемая прямой линией, которая разделяет участок, который рассматривается на две части: фон и объект с постоянными в пределах этого окна неизвестными интенсивностями. Наблюдения ведутся в присутствии аддитивного шума, который