

Рассматривается двухкритериальный системный синтез преобразователей кодов по методу накопления эквивалентов. В качестве критериев используются число тактов преобразования и аппаратные затраты. Предлагается алгоритм оптимального выбора указанных параметров в двух-, трёх-, четырехшаговом преобразователях кодов.

До настоящего времени проектирование преобразователей кодов по методу накопления эквивалентов осуществлялось в основном с использованием одного критерия — максимального быстродействия [1,2,5]. Вторым важным критерием являются аппаратные затраты на реализацию схемы преобразователя. Они определяют размер схемы, её энергопотребление и надёжность, а также возможность реализации в виде БИС. Предлагаемый двухкритериальный системный синтез позволяет выбрать оптимальные значения как быстродействия, так и аппаратных затрат. Состав узлов, их назначение, а также функционирование многошаговых преобразователей кодов (ПК) подробно рассмотрены в [3,4]. Фрагмент структуры двухшагового преобразователя кодов по методу накопления эквивалентов для двухразрядного блока показан на рисунке.

Проанализируем аппаратные затраты на построение ряда нестандартных узлов ПК (кодирового шифратора 12, дешифратора нуля 10 и дешифратора превышения 11) в функции от значения a в двухшаговом ПК, от значений a, b в трехшаговом и a, b, c в четырехшаговом ПК.

Для расчета значений шагов двух-, трех-, четырехшагового ПК воспользуемся следующими формулами:

$$N_2^{\text{др}} = [(K-1)/a] + a - 1; \quad (1)$$

$$N_3^{\text{DP}} =](K-1)/b[+](b-1)/a[+ a-1; \quad (2)$$

$$N_4^{\text{dp}} = [(K-1)/c + 1](c-1)/b + 1(b-1)/a + 1, \quad (3)$$

где K – основание системы счисления на входе; a, b, c – соответственно второй, третий и четвертый шаги преобразования.

Из всех возможных значений а целесообразно выби-

ОДНО ПО									
ВОЗМОЖ-	а	2	3	4	5	6	7	8	9
НОСТИ	N ₂ ^{др}	5	5	5	5	6	7	8	9

и равное степени двойки. Для двухшагового ПК a принимает четыре значения: $a = \{2, 3, 4, 5\}$, при которых $N_2^{dp} = 5$ и имеет наименьшее значение (табл. 1).

В табл. 2 приведены булевы функции Y_8^2 , Y_4^2 , Y_2^2 , Y_1^2 , описывающие функционирование кодовых шифраторов двухшагового ПК для $a=4$ в функции от состояний разрядных счетчиков, представленных переменными Z_8, Z_4, Z_2, Z_1 , а также булевы функции D_i :

$$D_i^3 = \begin{cases} 1, & Z_i \geq 3, \\ 0, & Z_i < 3, \end{cases} \quad (4)$$

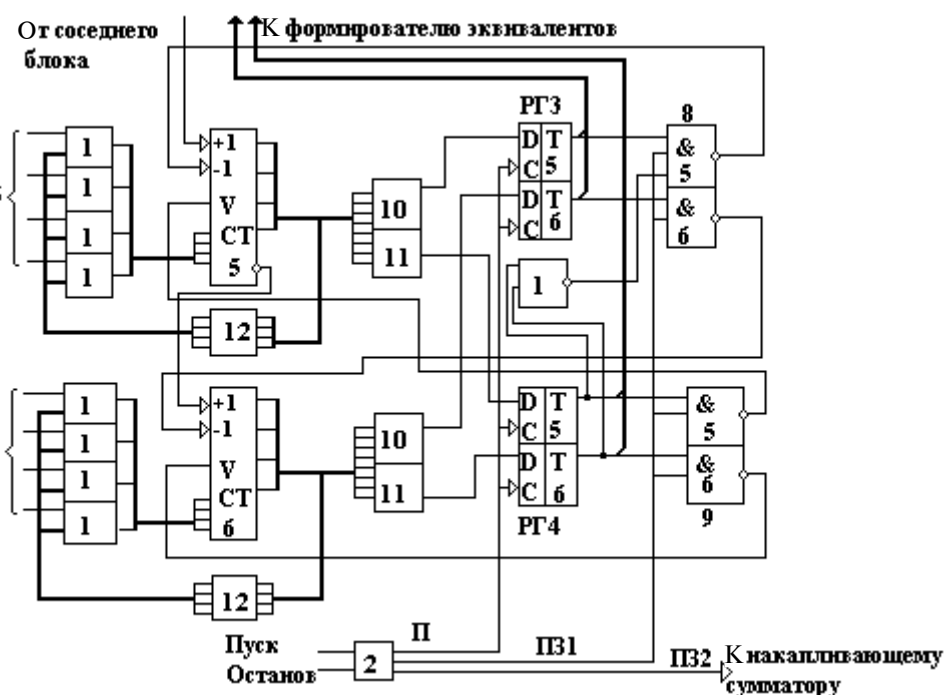
$$D_i^4 = \begin{cases} 1, & Z_i \geq 4, \\ 0, & Z_i < 4, \end{cases} \quad (5)$$

где Z_i – состояние i -го входного счетчика, отображаемого значениями переменных Z_8, Z_4, Z_2, Z_1 .

В правой половине табл. 2 представлены выходные функции кодового шифратора $Y_8^3, Y_4^3, Y_2^3, Y_1^3$ для трехшагового ПК с $a=2, b=4$, а также выходные функции $Y_8^4, Y_4^4, Y_2^4, Y_1^4$ четырехшагового ПК с $a=2, b=4, c=8$. Для всех рассматриваемых случаев основание $K=10$.

Выбор значений второго шага а равным наибольшей степени 2 предпочтителен, так как приводит к более простой реализации дешифраторов превышения. Так, для двоично-десятичного кода 8421 булевы функции выхода $C_1^I = Z_8 \vee Z_4 \vee Z_2 \vee Z_1$, $D_1^3 = Z_8 \vee Z_4 \vee Z_2 \wedge Z_1$, а функция $D_1^4 = Z_8 \vee Z_4$.

В расширенном функциональном базисе, кроме двух, трех-, четырех- и восьмивходовых элементов Шеф-



фера, используются счетверенные двухвходовые элементы И и элементы ИЛИ. Тогда для реализации функции D_i^3 требуется два двухвходовых элемента ИЛИ (0,5 корпуса ИС) и один двухвходовой элемент И (1/4 корпуса).

Суммарные затраты на реализацию D_i^3 составят 3/4 корпуса ИС, а затраты на реализацию D_i^4 1/4 корпуса. Аналогичные затраты на реализацию дешифратора нуля $C_i^1 = Z_8 \vee Z_4 \vee Z_2 \vee Z_1$ (функцию легко найти с помощью карты Карно) составят 3/4 корпуса. При совместной реализации в двухшаговом ПК функций C_i^1 и D_i^4 их можно представить в виде

$D_i^4 = Z_8 \vee Z_4$; $C_i^1 = D_i^4 \vee (Z_2 \vee Z_1)$. В результате общие затраты на совместную реализацию этих функций снизятся с одного корпуса ИС до 3/4 корпуса.

Аналогично с помощью карт Карно легко находятся минимальные ДНФ функций выхода Y_8^2 , Y_4^2 , Y_2^2 , Y_1^2 двухшагового ПК для $K=10$ и $a=4$ (левая треть табл. 2) В результате получим, что $Y_8^2=0$; $Y_4^2=Z_8$; $Y_2^2=Z_2$; $Y_1^2=Z_1$. Система этих функций реализуется без аппаратных затрат путем перекоммутации шин.

Необходимость введения кодового шифратора 12 в структуру двухшагового ПК объясняется тем, что реверсивный счетчик для изменения своего состояния имеет входы инкремента и декремента, т.е. сложения (+1) и вычитания (-1).

Для уменьшения за один такт состояния разрядного счетчика сразу на величину второго шага a используются входы параллельного занесения V и кодовый шифратор 12, функционирующий в соответствии с выражением:

$$Y_i = \begin{cases} Z_i - a, & Z_i \geq a, \\ Z_i, & Z_i < a, \end{cases} \quad (6)$$

где $Z_i = Z_8 Z_4 Z_2 Z_1$ – входная тетрада кодового шифратора; $Y_i = Y_8 Y_4 Y_2 Y_1$ – выходная тетрада кодового шифратора.

Функционирование кодового шифратора 12 трехшагового ПК в общем случае описывается формулой:

$$Y_i = \begin{cases} Z_i - b, & Z_i \geq b, \\ Z_i - a, & a \leq Z_i < b, \\ Z_i, & Z_i \geq b. \end{cases} \quad (7)$$

Для $a=2$; $b=4$; $K=10$ булевы функции $Y_8^3 Y_4^3 Y_2^3 Y_1^3$, описывающие функционирование кодового шифратора трехшагового ПК последовательного типа, представлены во второй трети слева табл. 2.

Минимальные ДНФ $Y_8^3 Y_4^3 Y_2^3 Y_1^3$ с использованием карт Карно найдены в виде выражения $Y_8^3 = 0$;

$Y_4^3 = Z_8$; $Y_2^3 = Z_4 Z_2 \vee Z_8 Z_2 = Z_2 (Z_8 \vee Z_4)$; $Y_1^3 = Z_1$, реализация которых требует 1/2 корпуса ИС.

Функции для выходов дешифратора нуля, дешифратора превышения второго шага $a=2$ и дешифратора превышения третьего шага $b=4$ описываются соответственно следующими выражениями для трехшагового ПК:

$$\begin{aligned} C_i^1 &= Z_8 \vee Z_4 \vee Z_2 \vee Z_1; \\ D_i^2 &= Z_8 \vee Z_4 \vee Z_2; \\ E_i^4 &= Z_8 \vee Z_4. \end{aligned} \quad (8)$$

Их совместную реализацию целесообразно осуществить в виде $E_i^4 = Z_8 \vee Z_4$; $D_i^2 = E_i^4 \vee Z_2$; $C_i^1 = D_i^2 \vee Z_1$, что потребует всего 3/4 корпуса ИС.

Общие аппаратные затраты на построение всех дешифраторов и кодового шифратора трехшагового ПК составляют 1,25 корпуса, что на 1/2 корпуса больше, чем в двухшаговом ПК.

Закон функционирования кодового шифратора для четырехшагового ПК для общего случая определяется формулой:

Таблица 2

Z_i	$Z_8 Z_4 Z_2 Z_1$	$Y_8^2 Y_4^2 Y_2^2 Y_1^2$	C_i^1	D_i^3	D_i^4	$Y_8^3 Y_4^3 Y_2^3 Y_1^3$	$Y_8^4 Y_4^4 Y_2^4 Y_1^4$
0	0 0 0 0	0 0 0 0	0	0	0	0 0 0 0	0 0 0 0
1	0 0 0 1	0 0 0 1	1	0	0	0 0 0 1	0 0 0 1
2	0 0 1 0	0 0 1 0	1	0	0	0 0 0 0	0 0 0 0
3	0 0 1 1	0 0 1 1	1	1	0	0 0 0 1	0 0 0 1
4	0 1 0 0	0 1 0 0	1	1	1	0 0 0 0	0 0 0 0
5	0 1 0 1	0 1 0 1	1	1	1	0 0 0 1	0 0 0 1
6	0 1 1 0	0 1 1 0	1	1	1	0 0 1 0	0 0 1 0
7	0 1 1 1	0 1 1 1	1	1	1	0 0 1 1	0 0 1 1
8	1 0 0 0	0 1 0 0	1	1	1	0 1 0 0	0 0 0 0
9	1 0 0 1	0 1 0 1	1	1	1	0 1 0 1	0 0 0 1
10	1 0 1 0	x x x x	x	x	x	x x x x	x x x x
11	1 0 1 1	x x x x	x	x	x	x x x x	x x x x
12	1 1 0 0	x x x x	x	x	x	x x x x	x x x x
13	1 1 0 1	x x x x	x	x	x	x x x x	x x x x
14	1 1 1 0	x x x x	x	x	x	x x x x	x x x x
15	1 1 1 1	x x x x	x	x	x	x x x x	x x x x

$$Y_i = \begin{cases} Z_i - c, & Z_i \geq c, \\ Z_i - b, & b \leq Z_i < c, \\ Z_i - a, & a \leq Z_i < b, \\ Z_i, & Z_i < a \end{cases} \quad (9)$$

где c — четвертый шаг преобразования.

Система функций выхода кодового шифратора $Y_8^4, Y_4^4, Y_2^4, Y_1^4$ четырехшагового ПК, построенная по выражению (9) при $a=2, b=4, c=8, K=10$, приведена в правой части табл. 2. Методом карт Карно найдём, что $Y_8^4 = Y_4^4 = 0; Y_2^4 = Z_8 Z_2 \vee Z_4 Z_2 = (Z_8 \vee Z_4) Z_2; Y_1^4 = Z_1$.

Таким образом, на построение кодового шифратора в четырехшаговом ПК, как и в трехшаговом, требуется 1/2 корпуса ИС.

Система функций выхода дешифратора нуля и трех дешифраторов превышения в четырехшаговом ПК описывается выражениями:

$$\begin{aligned} C_1^1 &= Z_8 \vee Z_4 \vee Z_2 \vee Z_1, \\ D_1^2 &= Z_8 \vee Z_4 \vee Z_2, \\ E_1^4 &= Z_8 \vee Z_4, \\ F_1^8 &= Z_8. \end{aligned} \quad (10)$$

Представление этой системы функций в виде $F_1^8 = Z_8; E_1^4 = Z_8 \vee Z_4; D_1^2 = E_1^4 \vee Z_2; C_1^1 = D_1^2 \vee Z_1$ позволяет выполнить более экономное построение с использованием всего 3/4 корпуса ИС.

Общие затраты на шифратор и дешифраторы в четырехшаговом ПК составят 1,25 корпуса ИС, т.е. идентичны затратам в трехшаговом ПК.

На основании проведенного исследования можно сформулировать следующий двухкритериальный алгоритм выбора оптимальных значений величин шагов в ПК как последовательного, так и параллельного типов:

1) В ПК последовательного типа по формуле для максимального числа шагов преобразования следует выполнить расчет числа тактов преобразования для всех значений шагов преобразования (всех возможных вариантов значений шагов, количество которых определяется числами треугольника Паскаля). В ПК параллельного типа аналогичные расчеты выполнить методом моделирования.

2) Из всех полученных значений числа тактов преобразования по минимальному значению найти соответствующие им сочетания значений шагов в наборах.

3) Составить систему булевых функций, описывающих функционирование схем кодового шифратора и дешифраторов превышения, для сочетаний значений шагов в наборах.

4) Синтезировать схемы всех основных нестандартных узлов ПК (кодового шифратора и дешифраторов превышения) и определить суммарные аппаратные затраты на их реализацию.

5) По минимуму суммарных аппаратных затрат на реализацию схем кодового шифратора и дешифраторов превышения выбрать оптимальные наборы значений шагов.

Литература: 1. *Какурин Н.Я.* Выбор величин шага преобразования в преобразователях код-код // АСУ и приборы автоматики. 1991. Вып.97. С.14-17. 2. *А.с. 1647908Н03М7/12.* Преобразователь двоично-К-ичного кода в двоичный код / Н.Я.Какурин, Ю.К.Кирияков, А.Н.Макаренко // Открыт., изобрет. 1991. №17. С.262-263. 3. *А.с. 1783618Н03М 7112.* Преобразователь двоично-К-ичного кода в двоичный код / Н.Я.Какурин, А.Н.Макаренко, Д.Ю.Исхаков, В.А.Толмацкий // Открыт., изобрет. 1992. №47. С.218. 4. *Макаренко А.Н.* Быстродействующий преобразователь двоично-К-ичного кода в двоичный код // АСУ и приборы автоматики. 1993. Вып.99. С. 47-55. 5. *Какурин Н.Я., Макаренко А.Н.* Сравнительная оценка последовательной и параллельной стратегии использования шагов преобразования дробных чисел // Радиотехника и информатика. 1999. №1(06). С.72-74.

Поступила в редколлегия 16.12.99

Рецензент: д-р техн. наук Кривуля Г.Ф.

Какурин Николай Яковлевич, канд. техн. наук, профессор кафедры автоматизации проектирования вычислительной техники ХТУРЭ. Научные интересы: прикладная теория цифровых автоматов, автоматизация проектирования цифровых устройств. Адрес: Украина, 61204, Харьков, пр.Победы, 72а, кв. 62, тел. 38-37-96.

Макаренко Анна Николаевна, канд. техн. наук, ассистент кафедры автоматизации проектирования вычислительной техники ХТУРЭ. Научные интересы: дискретная математика, анализ и синтез преобразователей код-код. Адрес: Украина, 61204, Харьков, пр.Победы, 72а, кв. 62, тел. 38-37-96.

Замалеев Юрий Салихович, канд. техн. наук, доцент кафедры прикладной математики и вычислительной техники ХГАГХ. Научные интересы: вычислительная техника, программирование. Адрес: Украина, 61204, Харьков, пр.Победы, 68а, кв. 17, тел. 45-50-86.