

МЕТОДИКА ОПТИМИЗАЦИИ ЦИФРОВЫХ СХЕМ БИМЕДИЦИНСКИХ УСТРОЙСТВ

И.В. ПРАСОЛ, А.В. КОБЫЛИНСКИЙ

Рассматриваются проблемы оптимального проектирования цифровых схем, в частности схем биомедицинских устройств. Для повышения эффективности процесса проектирования схем предложено представлять логические функции, реализуемые ими, в виде матрицы импликант. При осуществлении структурной оптимизации логических схем предложено учитывать задержки межсоединений логических элементов.

The problems of the optimum design of digital circuits, in particular circuits of biomedical devices, are discussed. For the increase of efficiency of process of circuits design offered to represent the logical functions as the implicant matrix. During realization of structural optimization of logical circuits offered to take into account the delays of wiring track of logical elements.

1. Введение

В настоящее время большинство устройств биомедицинского назначения являются аналого-цифровыми. Для них характерно наличие разнородных частей: аналоговых датчиков, аналого-цифровых и цифро-аналоговых преобразователей, различных блоков цифровой обработки сигналов и пр. При решении задач оптимального проектирования схем таких устройств необходимо использовать многокритериальный подход. При этом следует учитывать не только оптимальность работы отдельных частей устройства (аналоговых и цифровых), но и взаимное влияние между ними. В [1] предлагается методика проектирования аналого-цифровых схем с использованием обобщенного критерия. Она предусматривает оптимизацию схем проектируемых устройств с учетом взаимного влияния между их различными частями. Этот процесс осуществляется на основании начальных оптимальных решений, найденных отдельно для аналоговых и цифровых частей устройства.

Алгоритмы и методы оптимизации аналоговых схем в целом широко известны и нахождение начальных оптимальных решений для них не представляет особых проблем. Как правило, исходя из назначения и технических характеристик устройства, разрабатывается структура аналоговой схемы и далее осуществляется ее параметрическая оптимизация. В случае же логических схем ситуация обстоит значительно сложнее. Дело в том, что имеющиеся на данный момент методы, как правило, направлены на оптимизацию лишь одного критерия оптимальности функционирования устройства (быстродействие, отсутствие рисков сбоя в работе, потребляемая мощность, площадь печатной платы и т.д.). При этом часто не учитывается тот факт, что улучшение одного из этих показателей неизменно приводит к ухудшению других, а, следовательно, не всегда возможно обеспечить эффективную работу схемы. Поэтому вопросы, связанные с оптимальным проектированием цифровых устройств в настоящее время являются *актуальными*.

Таким образом, *целью* данной работы является разработка методики оптимального проектирования цифровых схем, в частности схем биомедицинских устройств.

2. Постановка задачи оптимизации цифровых схем биомедицинских устройств

К современным устройствам биомедицинского назначения обычно предъявляют следующие требования:

- высокое быстродействие (данное требование обусловлено тем, что устройства должны не только снимать биосигналы, но и сразу же обрабатывать их, отображать в удобной форме и т.д.);
- малая потребляемая мощность;
- компактность исполнения;
- стабильная работа в различных условиях (изменение величины напряжения питания, присутствие электромагнитных помех, влияние внешних факторов и пр.).

Кроме этих требований при осуществлении оптимизации цифровых схем необходимо учитывать и то, что при технологии изготовления интегральных схем (ИС) 0,13 мкм возникает ряд новых физических явлений, существенно воздействующих на функционирование схем [2]. Эти явления ввиду их незначительной роли при технологиях 0,25, 0,35 мкм пренебрегались. Отсюда возникает необходимость создания новых методов и алгоритмов оптимального проектирования логических схем. В известных алгоритмах воздействием паразитных параметров межсоединений на работу схемы или пренебрегают, или же их рассчитывают приближенно. В случае, когда технологический процесс обеспечивает получение элементов размером 0,13 мкм и меньше, то очевидно, что существующие алгоритмы не могут удовлетворительно обеспечить точность результатов. Если при технологиях 0,25, 0,35, 0,5 мкм можно пренебречь воздействием задержки межсоединений, то при более новых технологиях эти задержки являются одним из основных компонентов общей инерционности схемы. Кроме того, временная задержка межсоединения в указанных условиях может иметь большее значение, чем собственно логический элемент.

Исходя из вышеизложенного, задачу оптимизации цифровых схем предлагается разбить на две подзадачи:

1. Устранение рисков сбоя и критических состязаний сигналов в проектируемой схеме.
2. Структурная оптимизация проектируемой схемы.

Для решения первой подзадачи разработано много методов, для каждого из которых существуют свои ограничения, определяющие специфику его применения.

При решении задачи структурной оптимизации проектируемой схемы необходимо руководствоваться рядом требований [2]:

- учет топологических параметров и особенностей схемы;
- учет паразитных параметров и временных задержек межсоединений;

- учет потребляемой мощности схемы при оптимизации временных параметров;
- минимальное количество итераций при расчетах.

Таким образом, постановкой задачи структурной оптимизации цифровой схемы является минимизация:

- задержки критического пути (пути, имеющем наибольшую временную задержку схемы) до требуемого значения на посттопологическом этапе проектирования цифровых схем;
- потребляемой схемой мощности при оптимизации временной задержки критического пути.

3. Решение задачи устранения рисков сбоя в цифровых схемах

Все разработанные на данный момент методы устранения рисков сбоя можно объединить в три группы: структурные, функциональные и конструктивно-технологические.

Структурные методы направлены на получение необходимых свойств реализации устройства при неизменном алгоритме его работы (метод учета импликант, метод введения дополнительных задержек, построение противоночных схем, методы тактирования и стробирования). Функциональные связаны с изменением алгоритма работы (изменение кодирования состояний входов, метод самосинхронизирующихся схем). Конструктивно-технологические методы ориентированы на получение требуемых ограничений на уровне используемых математических моделей (метод борьбы с влиянием входных гонок на уровне одного логического элемента) [3].

Самым простым в реализации является метод учета импликант. Сущность его заключается в отыскании таких минимальных покрытий единичных клеток функции алгебры логики (ФАЛ) в карте Карно импликантами (контурами на карте Карно), в которых любые соседние единичные клетки покрыты по меньшей мере одной импликантой. Если же допускаются несоседние изменения входных наборов, то в общем случае невозможно синтезировать комбинационные схемы, свободные от рисков сбоя.

Наиболее универсальными являются методы тактирования или стробирования. Достоинством данных методов является то, что разработчику не требуется вникать в специфику протекания переходных процессов, в характер возникающих гоночных ситуаций, не нужно знать минимального значения задержки и т.д. К недостаткам этих методов следует отнести то, что стробирование осуществляется комбинационной схемой и деформирует длительность информационного сигнала, а тактирование осуществляется последовательностной схемой и сдвигает во времени информационный сигнал.

В настоящее время растет интерес к еще одному методу борьбы с гонками – построению самосинхронизирующихся схем. Рабочие узлы в этом случае строятся непротогонными, но они дополняются специальными схемами, которые обнаруживают факт окончания переходных процессов и вырабатывают разрешающий сигнал для следующих схем, играющий роль «асинхронного синхросигнала». Это направление рассматривается

как весьма перспективное для построения больших и особенно сверхбольших ИС, где применение обычной синхронизации встречает ряд трудностей. Однако в схемах и микросхемах малой степени интеграции и традиционной технологии это направление пока не находит применения как ввиду сложности построения такого рода схем, так и удвоения аппаратных затрат.

Таким образом, для любого метода устранения рисков сбоя в цифровых схемах существуют свои ограничения, определяющие специфику его применения. Следовательно, целесообразность использования того или иного метода в каждом конкретном случае определяется разработчиком, исходя из назначения, характеристик и особенностей создаваемого устройства.

Для решения задач оптимального проектирования логических схем предлагается представлять функции, реализуемые ими, в виде матрицы импликант MI . Число столбцов данной матрицы соответствует числу входов схемы, а число строк – количеству импликант в логической функции:

$$MI = \begin{pmatrix} m_{11} & m_{12} & \dots & m_{1n} \\ m_{21} & m_{22} & \dots & m_{2n} \\ \dots & \dots & \dots & \dots \\ m_{k1} & m_{k2} & \dots & m_{kn} \end{pmatrix},$$

где n – число входных переменных; k – число импликант. Каждая строка матрицы соответствует определенной импликанте, столбец – определенному входу x_j ($j = 1, 2, \dots, n$) логической схемы.

Элементы MI задаются в зависимости от исходных данных по дизъюнктивной нормальной форме (ДНФ), по карте Карно или по таблице истинности функции. Для логической функции (ЛФ), представленной в ДНФ, элемент $m_{ij} = 1$ если входная переменная x_j входит в i -тую импликанту без инверсии, $m_{ij} = -1$ когда x_j входит в i -тую импликанту с инверсией и $m_{ij} = 0$ когда x_j не входит в i -тую импликанту. По карте Карно или по таблице истинности логической функции элементы MI задаются аналогичным образом.

На рис.1 показана карта Карно некоторой логической функции. Она включает 4 импликанты. При этом между 1 и 3 импликантой присутствует логический риск сбоя (риск сбоя, возникающий при соседней смене входных наборов). Его можно устранить введением дополнительной импликанты (показана штриховой линией).

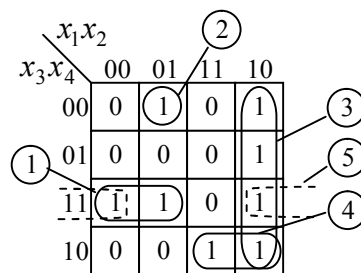


Рис.1 – Карта Карно логической функции

Матрица импликант данной функции имеет следующий вид:

$$MI = \begin{matrix} & x_4 & x_3 & x_2 & x_1 \\ 1 & 1 & 1 & 0 & -1 \\ 2 & -1 & -1 & 1 & -1 \\ 3 & 0 & 0 & -1 & 1 \\ 4 & -1 & 1 & 0 & 1 \end{matrix}$$

Логический риск сбоя возникает вследствие некорректного построения ЛФ и присутствует между смежными импликантами. Две импликанты $A(a_1, a_2, \dots, a_n)$ и $B(b_1, b_2, \dots, b_n)$ являются смежными (1 и 3 импликанта на рис.1) если в них только один $a_i = -b_i, i = 1, 2, \dots, n$. Если подобных элементов нет, то импликанты пересекаются (3 и 4 импликанты на рис.1). Если же подобных элементов два и более, то импликанты не пересекаются и не смежные (1 и 2 импликанты на рис.1).

Для устранения логического риска сбоя, присутствующего между смежными импликантами $A(a_1, a_2, \dots, a_n)$ и $B(b_1, b_2, \dots, b_n)$, необходимо ввести импликанту $C(c_1, c_2, \dots, c_n)$, элементы которой определяются по следующей формуле:

$$c_i = \begin{cases} a_i, & a_i = b_i; \\ a_i + b_i, & a_i \neq b_i, i = 1, 2, \dots, n. \end{cases} \quad (1)$$

Очевидно, что введение дополнительных импликант может приводить к избыточности ЛФ. В этом случае необходимо осуществлять минимизацию ЛФ (объединение импликант). Импликанты $A(a_1, a_2, \dots, a_n)$ и $B(b_1, b_2, \dots, b_n)$ можно объединить в импликанту $C(c_1, c_2, \dots, c_n)$ в том случае, когда только один $a_i = -b_i$, а все остальные $a_i = b_i, i = 1, 2, \dots, n$. При этом элементы c_i определяются по формуле:

$$c_i = \begin{cases} 0, & a_i \neq b_i; \\ a_i, & a_i = b_i, i = 1, 2, \dots, n. \end{cases} \quad (2)$$

Частный случай объединения импликант: импликанта $B(b_1, b_2, \dots, b_n)$ входит в $A(a_1, a_2, \dots, a_n)$. Признаки: для всех $a_i \neq 0, b_i = a_i, i = 1, 2, \dots, n$. Тогда элементы $c_i = a_i$.

Рассмотрим следующую логическую функцию:

$$y = \bar{x}_3 x_2 x_1 + x_3 \bar{x}_2 x_1 + x_3 x_2 x_1 \quad (3)$$

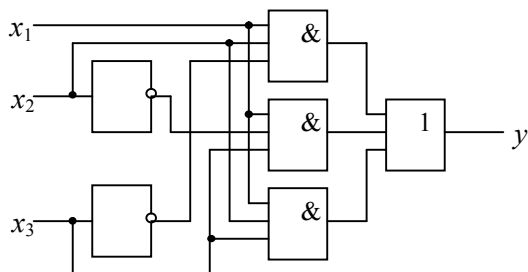


Рис.2 – Схема, реализующая функцию (3)

На рис.2 показана схема, реализующая функцию (3). Соответствующая ей матрица импликант имеет следующий вид:

$$MI = \begin{matrix} & -1 & 1 & 1 \\ 1 & 1 & -1 & 1 \\ 1 & 1 & 1 & 1 \end{matrix}$$

Для устранения логических рисков сбоя в данной функции воспользуемся методом учета импликант. Карта Карно функции (3) приведена на рис.3.

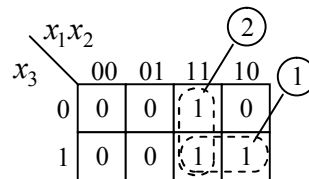


Рис.3 – Карта Карно для функции (3)

Чтобы устранить логические риски сбоя в нее необходимо ввести два дополнительных контура (показаны штриховой линией). Матрица импликант в данном случае получится следующая:

$$MI = \begin{matrix} & -1 & 1 & 1 \\ 1 & 1 & -1 & 1 \\ 1 & 1 & 1 & 1 \\ 0 & 1 & 1 & 1 \\ 1 & 0 & 1 & 1 \end{matrix}$$

Осуществив минимизацию данной MI по формуле (2), получим:

$$MI = \begin{matrix} & 0 & 1 & 1 \\ 1 & 1 & 0 & 1 \end{matrix}$$

Схема, реализующая данную функцию, показана на рис.4.

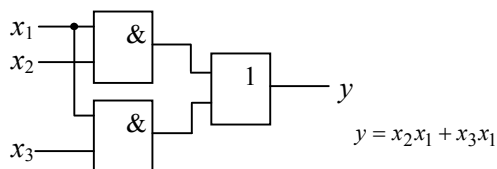


Рис.4 – Логическая схема после оптимизации

Таким образом, представление ЛФ в виде матрицы импликант позволяет эффективно решать задачи оптимального проектирования цифровых схем, в частности задачи по устранению рисков сбоя и по минимизации логических функций.

К достоинствам данной методики следует отнести простоту реализации; возможность применения как для ручного анализа, так и для машинного (для автоматизации процесса проектирования); возможность решения задач большой размерности; возможность применения в задачах синтеза логических схем. Недостатком данной методики является то, что она не позволяет устранить функциональные риски сбоя в цифровых схемах.

Была осуществлена программная реализация данной методики, подтвердившая ее эффективность.

4. Решение задачи структурной оптимизации цифровых схем

При этом необходимо одновременно осуществить минимизацию задержки критического пути (на посттопологическом этапе проектирования логических схем) и потребляемой схемой мощности.

Для минимизации задержки критического пути элементы пути делятся на логические группы, и посредством соответственного топологического распределения этих групп получают оптимальные решения, что, в свою очередь, приводит к уменьшению задержки критического пути [2].

Пусть M – множество элементов m_i схемы ($i = 1, 2, \dots, P$, где P – мощность множества M).

Логической группой $G_j, j = 1, 2, \dots, n$ (n – число логических групп) является набор элементов $m_i \in M$, состоящий по меньшей мере из одного элемента m'_i , находящегося на критическом пути, и из элементов, непосредственно присоединенных к входам этого элемента.

Сначала инициализируются предварительные логические группы. При этом в каждую инициализируемую логическую группу включается корневой элемент группы m'_i , входящий в состав критического пути. Далее выполняется расширение логической группы входными элементами, если только эти элементы уже не включены в другие логические группы. В случае, когда существует общий входной элемент между двумя логическими группами, этот элемент включается в группу с большей задержкой $\tau_j, j = 1, 2, \dots, n$. Чем больше логических элементов будут включены в логические группы с “плохими” параметрами, тем больше увеличится возможность оптимизации этой группы. Затем осуществляется слияние логических групп с одним выходом с последующими логическими группами, что создает возможность увеличения размеров логической группы без усложнения алгоритма. Таким образом, группы G_j представляют собой непересекающиеся подмножества элементов $m_i \in M$.

После образования логических групп выполняются начальное размещение и трассировка оптимизируемой схемы, цель которых состоит в обеспечении минимального расстояния $L_j, j = 1, 2, \dots, n$ между элементами логических групп (рис.5). В результате этих изменений уменьшается длина межсоединений элементов логических групп, следовательно, и воздействие межсоединений на работу схемы. В частности, уменьшается задержка межсоединений:

$$L_j \rightarrow \min \Rightarrow \tau_j \rightarrow \min, j = 1, 2, \dots, n.$$

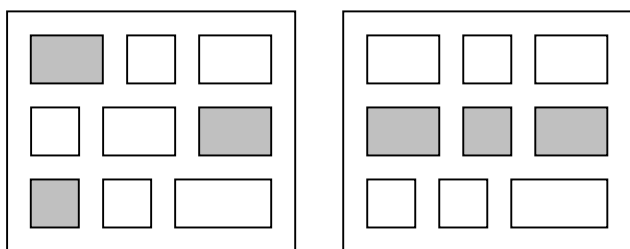


Рис.5 – Изменения на этапе начального размещения логических элементов

После окончательной трассировки производится временной анализ схемы, проверяется наличие новых

критических путей. Если новых критических путей не появилось, то найденное решение является оптимальным. Следует отметить, что, осуществляя данные преобразования в схемах, необходимо учитывать правила по электромагнитной совместимости (ЭМС) [4].

Далее необходимо осуществить минимизацию потребляемой схемой мощности. При этом следует отметить, что площади функционально одинаковых, но имеющих разную нагрузочную способность цифровых элементов могут быть одинаковыми. При этом потребляемые этими элементами мощности имеют разные значения. Поэтому для достижения второй цели осуществляется анализ элементов схемы – поиск в цифровой библиотеке элементов с наилучшими характеристиками с соответствующей заменой элементов в схеме. Благодаря этому становится возможным достижение минимума потребляемой схемой мощности с соблюдением исходных требований.

Таким образом, удовлетворение двух рассмотренных условий (минимизация задержки критического пути и потребляемой мощности) обеспечит компромисс между двумя взаимоисключающими требованиями, которые предъявляются к проектированию цифровых ИС.

5. Выводы

Задачу оптимизации цифровых схем предложено решать в два этапа. На первом устраняются риски сбоя в работе проектируемой схемы. На втором осуществляется ее структурная оптимизация. Разработана методика решения данных задач.

Научная новизна полученных результатов состоит в том, что при решении задач оптимального проектирования цифровых схем предложено представлять логические функции, реализуемые данными схемами, в виде матрицы импликант. Это позволит эффективно решать задачи по устранению рисков сбоя, минимизации логических функций и синтезу цифровых схем. Кроме того, при осуществлении структурной оптимизации логических схем предложено учитывать задержки межсоединений элементов.

Практическая значимость результатов исследования заключается в том, что использование разработанной методики позволит значительно повысить эффективность процесса проектирования схем цифровых устройств, в частности устройств биомедицинского назначения.

Литература: 1. *Прасол И.В., Кобылинский А.В.* Алгоритм оптимизации аналого-цифровых схем с использованием обобщенного критерия // МРФ-2005. Сборник трудов. Том I. – Харьков: АН ПРЭ, ХНУРЭ, 2005. – с. 63-66. 2. *Оганесян Д.Д.* Разработка способов структурной оптимизации цифровых схем: Автореф. дис. канд. тех. наук. – Ереван: ГИУА, 2004. 3. *Воробьев Н.В.* Рекомендации по устранению рисков сбоя в комбинационных схемах // Chip News. – 1998. №4. – с. 39-42. 4. *Dr. Todd Hubing, Dr. Tom Van Doren.* Designing for EMC: The Top 4 Guidelines. Printed Circuit Design & Manufacture. – June 2003. P. 27-32.

Доц. каф. БМЭ

И.В. Прасол

Асп. каф. БМЭ

А.В. Кобылинский

СВЕДЕНИЯ ОБ АВТОРАХ



Прасол Игорь Викторович, канд. техн. наук, доцент кафедры биомедицинской электроники ХНУРЭ. Научные интересы: автоматизация проектирования схем биомедицинских устройств. Адрес: 61166, Харьков, пр. Ленина, 14, тел.: (057) 702-13-64, e-mail: ivp@kharkov.ukrtel.net.

Кобылинский Алексей Валериевич, аспирант кафедры биомедицинской электроники ХНУРЭ. Научные интересы: оптимальное проектирование аналого-цифровых схем биомедицинских устройств. Адрес: 61166, Харьков, пр. Ленина, 14, тел.: (057) 702-13-64, e-mail: kobav@mail.ru.

РЕФЕРАТЫ

УДК 681.3:621.3.013

Методика оптимизации цифровых схем биомедицинских устройств / И.В. Прасол, А.В.Кобылинский // Прикладная радиоэлектроника. 2006. № 1. С. 00–00.

Рассматриваются проблемы оптимального проектирования цифровых схем, в частности схем биомедицинских устройств. Задачу оптимизации цифровых схем предложено решать в два этапа. На первом устраняются риски сбоя в работе проектируемой схемы. При этом предложено представлять логические функции, реализуемые разрабатываемыми схемами, в виде матрицы импликант. Это позволит эффективно решать задачи по устранению рисков сбоя, минимизации логических функций и синтезу цифровых схем. На втором осуществляется ее структурная оптимизация. При этом предложено учитывать задержки межсоединений элементов схемы.

Ил. 5. Библиогр.: 4 назв.

UDC 681.3:621.3.013

The method of the optimization of digital circuits of biomedical devices / I.V. Prasol, A.V. Kobylinskiy // Applied Radio Electronics. 2006. # 00. P. 000-000.

The problems of the optimum design of digital circuits, in particular circuits of biomedical devices, are discussed. It is offered to decide the problem of optimization of digital circuits in two stages. On the first stage the risks of failure in work of the designed circuit are removed. It is offered to represent the logical functions as the implicant matrix. It will allow efficiently deciding problems of the removal of risks of failure, minimization of logical functions and synthesis of digital circuits. On the second stage the structural optimization of circuits is realized. It is offered to take into account the delays of wiring track of elements of circuit.

Fig. 5. Ref.: 4 items.