

**ДОСЛІДЖЕННЯ ВПЛИВУ ЗАХОДІВ
ЩОДО ЗАБЕЗПЕЧЕННЯ ТЕСТОПРИДАТНОСТІ
ЦИФРОВИХ КЕРУЮЧИХ АВТОМАТІВ
НА АПАРАТУРНІ ВИТРАТИ**

Трегуб Р.Р.

Науковий керівник – доц. Кулак Е.М.

Харківський національний університет радіоелектроніки
(61166, Харків, просп. Науки, 14, каф. АПОТ, тел. (057) 702-13- 26)
e-mail: rostyslav.trehub@nure.ua, +380501322107

Problems of minimal additional hardware costs during design automation of easy-testable digital finite state machines (FSM) are considered. The reasonable way of the FSM setting into an arbitrary state is to expand the state table, which improves the controllability of FSM' states and leads to the transformation of their HDL-models. Hardware costs for different methods of hardware redundancy introduction to HDL-models of finite state machines are estimated.

Тестопридатність - це один з найбільш важливих показників, який повинен враховуватися при проектуванні цифрових пристроїв поряд з такими показниками, як швидкодія і вартість пристрою. Низький рівень тестопридатності пристрою призводить до збільшення часу і погіршення якості його тестування. Методи підвищення тестопридатності цифрових пристроїв (ЦП) шляхом внесення в схемну реалізацію апаратурної надлишковості досить розвинені та широко використовуються при проектуванні [1]. Функціональні методи тестопридатного проектування ЦП детально розглянуті в [2], де для цифрових автоматів, представлених у формі таблиць переходів-виходів (ТПВ), введені поняття діагностованих і визначно-діагностованих класів автоматів та запропоновані способи приведення ТПВ автоматів до зазначених класів. Розглянуто процедури проведення діагностичного експерименту з автоматами з використанням установчих, синхронізуючих, діагностичних та характеристичних послідовностей. Крім того, обґрунтована ідея підвищення тестопридатності автомата за рахунок внесення апаратурною надмірності шляхом розширення вхідного алфавіту, вихідного алфавіту та алфавіту станів. В [3] запропонований спосіб кодування станів дозволяє знизити споживану потужність схемних реалізацій кінцевих автоматів. У роботі [4] з метою підвищення тестопридатності керуючого кінцевого автомату авторами викладена концепція введення апаратурної надлишковості в модель абстрактного автомату, яка полягає у в доданні стовпця Sh у таблицю переходів-виходів (ТПВ) (додаткова дуга Sh у графі переходів автомата), що дає змогу встановити автомат в будь який стан не більше, ніж за $n-1$ тактів. Зазначено, що додаткові апаратурні витрати при цьому не перевищують 25-30% в залежності від типу автомата та способу кодування його станів, але при цьому використовувався природний порядок обходу

станів автомата, що безумовно впливає на додаткові апаратурні витрати. Таким чином, актуальною є задача мінімізації додаткових апаратурних витрат за рахунок організації оптимального обходу станів автомата.

Об'єкт дослідження: HDL-моделі цифрових керуючих автоматів. Предмет дослідження: аналіз впливу заходів щодо забезпечення тестопридатності цифрових керуючих автоматів на апаратурні витрати. Мета дослідження: знайти найменш витратний спосіб обходу всіх станів автомата при введенні дуги Sh. Задача – дослідити всі можливі способи додавання дуги Sh графа переходів автомата, і вибрати найбільш підходящий.

Проаналізовані апаратурні витрати при різних варіантах організації додаткового переходу між станами автомата Sh в залежності від наявності безумовного переходу, умовного переходу та відсутності переходів між станами автомата. При обранні додаткового переходу обирається той стан-наступник, для якого сумарна оцінка апаратурних витрат для функцій збудження мінімальна з урахуванням кодів станів автомата.

Зазначений підхід підвищує керованість станів автомата, що значно покращує його тестопридатність. Моделювання та синтез розширених моделей засобами САПР XILINX ISE підтвердили отримання тестопридатності автоматів та мінімальних апаратурних витрат. Наукова новизна полягає в подальшому розвитку методу оптимізації апаратурних витрат при підвищенні тестопридатності кінцевих автоматів за рахунок розширення вхідного алфавіту в HDL-моделях в формі автоматного шаблону, що дає можливість автоматизувати процес проектування тестопридатних автоматів з мінімальними апаратурними витратами.

Список використаних джерел:

1. Gorodetsky A. Introduction to JTAG and DFT technology. Testing in edge scanning technologies and testable design. Palmarium Academic Publishing, Germany, 2012, 308 p.
2. Solov'ev V.V. Minimization of mealy finite-state machines by using the values of the output variables for state assignment [Text] / V.V. Solov'ev // Journal of Computer and Systems Sciences International. – January 2017. – Volume 56, Issue 1. – P. 96–104.
3. Solov'ev V.V. Minimization of Power Consumption of Finite State Machines by Splitting Their Internal States [Text] / T.N.Grzes, V.V. Solov'ev // Journal of Computer and Systems Sciences International.– 2015. – Vol. 54, No. 3. – P. 367–374.
4. Shkil A. Design Automation of Testable Finite State Machines [Text] / M.Miroschnyk, Y. Pakhomov, E. German, A. Shkil, E. Kulak, D. Kucherenko // Proceedings of the International Sympos. EWDT'S2017, September 29-October 2, 2017 – Novi Sad, Serbia, 2017. – P.203–208.