

*А.Б. БИНЬКОВСКАЯ, канд. техн. наук, В.Г. КОТУХ, канд. техн. наук,
М.А. МИРОШНИК, канд. техн. наук, С.Н. СЕЛЕВКО, канд. техн. наук*

ИСПОЛЬЗОВАНИЕ ГРАНИЧНОГО СКАНИРОВАНИЯ ПРИ ТЕСТОПРИГОДНОМ ПРОЕКТИРОВАНИИ ЦИФРОВЫХ УСТРОЙСТВ

Введение

Непосредственной предшественницей технологии граничного сканирования (ГС) является технология внутрисхемного тестирования (In-Circuit Testing, ICT) [1]. Цифровая технология ГС (или Boundary-Scan), определяемая стандартом IEEE 1149.1 [2], предназначенным для подключения сложных цифровых микросхем или устройств уровня печатной платы к стандартной аппаратуре тестирования и отладки, и используется как инструмент при тестировании устройств с ограниченным доступом к выводам интегральных микросхем (ИС) [3]. Повсеместное применение многослойных печатных плат (ПП) с ИС в корпусах, изготовленных по технологиям BGA, COB и QFP, дало импульс развитию и применениям этой технологии. Граничное сканирование используется также как средство доступа к разнообразным внутренним регистрам ИС для наблюдения за их состоянием в процессе отладки ПП. Также широко технология ГС применяется для внутрисхемного программирования ИС (In-System Programming, ISP) и внутрисистемного конфигурирования (In-System Configuration, ISC) установленных на ПП интегральных микросхем ПЛИС, FPGA, а также «прожиг» смонтированных на ПП ИС и флэш-памяти [4].

Технологии ГС-тестирования (JTAG) представляют собой совокупность правил проектирования ИС, результат применения которых позволяет при помощи специальных программ генерации тестов упростить проверку правильности монтажа сложных цифровых, аналоговых и гибридных ПП, узлов и систем [1]. Основное преимущество заключается в том, что эти стандарты позволяют преобразовать сложные задачи тестирования современных ПП и модулей в методически структурированные задачи, легко решаемые при помощи доступного аппаратного и программного обеспечения.

Широкое применение технологий ГС (JTAG) возобновило интерес к методикам тестопригодного проектирования (Design-for-Testability, DFT), который снизился за годы применения методов внутрисхемного тестирования (In-Circuit Test, ICT) в электронике в 80-90-е годы прошлого века. Этот интерес обусловлен многократно доказанной невозможностью эффективной реализации технологий ГС без предварительных усилий и затрат в рамках методов тестопригодного проектирования (ТПП). Без учета и реального воплощения в схемотехнике методов и правил ТПП, многие из которых являются эмпирическими, невозможно построить работающий тест ГС с достаточным уровнем покрытия дефектов и обеспечить эффективный процесс внутрисхемного программирования (конфигурирования) и/или «прожига» программируемых компонентов. Нетестопригодные ПП приводят к значительным экономическим потерям при их производстве, отладке, обслуживании в функциональном режиме или «горячем резерве».

Встроенные инструменты тестирования

Для отладки схем, подтверждения правильности их функционирования, поиска и диагностики неисправностей в современной электронике применяется традиционная контрольно-измерительная аппаратура (КИА) – осциллографы и логические анализаторы. Зондирование щупами аппаратуры электронных устройств любого уровня – от ИС до систем – на протяжении длительного времени давало приемлемые результаты. Возрастание сложности схем и частот, на которых они работают, в геометрической прогрессии, с сокращением размеров ИС и уплотнением монтажа с обеих сторон многослойных ПП вызывают сложности при физическом зондировании щупами КИА. Хорошим решением для новых поколений КИА могла бы

стать возможность наблюдения сигналов непосредственно в самом функциональном ядре ИС, когда средства тестирования встраиваются в это ядро или размещаются между ним и контактами ввода/вывода на самом кристалле ИС. Такое встраивание инструментов тестирования в сложные СБИС является сегодня новой и востребованной тенденцией электронной промышленности [5].

Методы бесконтактного и внутрисхемного тестирования в электронике хорошо известны и популярны со времен появления технологий граничного сканирования (ГС) в начале 1990-х годов. За это время произошло значительное расширение и углубление разработок встроенных средств тестирования в ИС, ПП и системы, поскольку современные подходы к подтверждению правильности функционирования (design validation), тестированию и отладке отличаются от тех, которые применялись ранее. Это связано с высокими скоростями передачи данных, многоядерными ИС, новыми способами упаковки СБИС типа СпК, многослойными ПП с ограниченным доступом и др.

Встраивание инструментов тестирования как новое направление в электронике базируется на множестве предшествующих методов. Повсеместное применение ГС наряду с функциональным тестированием путем эмуляции микропроцессоров доказало эффективность самой идеи встроенного тестирования. Встроенные инструменты тестирования предназначены для выполнения функций, в принципе невозможных для традиционной КИА (Agilent, Tektronix и т. д.), и при этом являются более экономичными, высокоскоростными лучше приспособленными для современных электронных и компьютерных технологий.

Стратегия тестирования: необходимость применения JTAG

При выборе средств и методов тестирования плат и узлов инженер обладает широким диапазоном возможностей: от применения осциллографов и логических анализаторов, эмуляторов, анализаторов протоколов и анализаторов дефектов производства (MDA) до внутрисхемных тестеров (ICT), автоматического визуального (AOI) и рентген-контроля (AXI), а также тестеров с «летающими» щупами (FPT) и разнообразных конфигураций применения технологии граничного сканирования (ГС-тестирование, JTAG). Платы и узлы требуют применения функциональных тестов для подтверждения правильности функционирования [6].

Каждое новое изделие требует применения стратегии тестирования, специфичной именно для него. Эффективную стратегию тестирования получают разложением задачи на небольшие части, с которыми легко справиться, а сам процесс тестирования разделяется на два основных этапа – структурное тестирование (или тестирование по результатам монтажа) и функциональное (или системное) тестирование. Задачи у этих двух этапов тестирования совершенно различные.

Цель структурного тестирования – обнаружение дефектов монтажа. Применяемые при этом средства – MDA, ICT, AOI, AXI, FPT, JTAG и другие. Цель функционального тестирования – проверка работоспособности и ожидаемой функциональности смонтированной платы, а также ее отладка. Применяемые при этом средства – разного рода КИА и специально разрабатываемые стенды.

Любая стратегия тестирования совмещает оба этих этапа в тех или иных сочетаниях. Функциональный тест может обнаружить неисправность платы, но его разработка и проведение требуют длительного времени, а диагностические возможности такого теста малы. Диагностика при структурном тестировании более детальна, но его успешное прохождение не означает, что плата работоспособна: она только лишь правильно смонтирована. При этом основным параметром структурного теста, наряду с его диагностическими сообщениями оператору, является обеспечиваемая этим тестом полнота покрытия неисправностей. Стремление разработчиков теста к почти 100 %-му покрытию не является нереальным, хотя практически достижимая полнота теста вынужденно является компромиссом между различными факторами, основные из которых – затраты на тестопригодное проектирование платы, время и стоимость разработки теста, а также время и затраты на его прогон.

Ни одна из технологий структурного тестирования не обеспечивает 100 %-й полноты покрытия неисправностей, на линиях монтажа плат используются комбинации различных технологий, каждая из которых обеспечивает тестовое покрытие в тех схемных сегментах и для тех типов неисправностей, в которых она наиболее эффективна. ГС-тестирование незаменимо для обнаружения коротких замыканий на контактах ИС, поддерживающих ГС, на связанных с ними компонентах, тестируемых в рамках кластерного теста, и на внутренних цепях платы. Этот класс неисправностей, актуальных в любом процессе монтажа плат, ГС-тестирование покрывает несравнимо лучше других методов, а точное процентное соотношение ожидаемой полноты покрытия коротких замыканий можно получить еще до начала разводки платы.

Еще более незаменимо ГС-тестирование для обнаружения обрывов или «холодной пайки», прежде всего в тех сложных случаях, когда места этих дефектов не локализуемы ни визуально (АОИ), ни рентген-контролем (АХИ), поскольку находятся под корпусами ВГА, располагаются на скрытых переходных отверстиях или прикрыты теплоотводами или экранами.

Совмещение недорогой системы ГС-тестирования с функциональным тестером и управление такой платформой из одного и того же интерфейса тест-оператора может, при правильной организации этого интерфейса и его баз данных, представляться оператору как единый тест под единым управлением. Процесс тестирования на подобной платформе начинается ГС-тестом по обнаружению структурных неисправностей, затем продолжается внутрисхемным конфигурированием ПЛИС и FPGA, необходимым для проведения функционального тестирования. Процедура может содержать также прожиг флэш-памяти в том же ГС-протоколе, завершаясь выполнением программы функционального тестирования.

Такое совмещение оказывается эффективным и для проведения функционального теста, если он заключается в подаче на тестируемую плату входных тестовых векторов и считывания ее реакций, особенно если плата преимущественно цифровая. В определенных случаях на одних входах платы следует удерживать константные сигналы, одновременно выполняя переключения цифровых сигналов на других входах по алгоритму. Тест заключается в контроле неизменности цифровых сигналов на выходах платы. Во подобных случаях, ГС-тест наиболее удобен и экономичен для совмещения его с функциональным тестом плат и узлов.

Встраивание ГС-тестеров в стенды функционального тестирования эффективно при тестировании систем, содержащих несколько плат, объединяемых кросс-платой или кабелями. Определение правильности сборки плат в системе и отсутствия неисправностей на разъемах соединяемых плат до начала функционального теста системы может сэкономить много часов поиска дефектов, вносимых неверными соединениями.

Покрывание неисправностей и полнота JTAG-тестирования

Физическим дефектом печатной платы будем называть любое нарушение электрических связей в цепях ПП. При тестировании дефект может проявлять себя в виде неисправности, то есть отклонения полученного результата тестирования от ожидаемого. Определенные дефекты никак себя не проявляют при тестировании, но мы ограничимся рассмотрением лишь таких результатов тестирования, которые фиксируют наличие некоторой неисправности. Например, если контакт ИС не припаян к проводнику на плате или в самом проводнике имеется обрыв, то такой дефект монтажа может проявляться в виде константной неисправности «лог. 1» или «лог. 0» в том или ином месте схемы. Другим примером дефекта монтажа является короткое замыкание между двумя или более цепями схемы, возникающее в результате неверной пайки или по другим причинам. Такой дефект монтажа может проявляться в виде последовательности сигналов, которая отличается от ожидаемой в данной цепи и совпадает с последовательностью сигналов, обнаруживаемой в других цепях [7].

Обнаружение неисправностей при тестировании в виде отклонения ожидаемых сигналов от фиксируемых указывает на наличие физических дефектов в ПП. Полнотой покрытия

неисправностей, достигаемой при тестировании данной схемы, будем называть процентное выражение отношения числа неисправностей, обнаружимых тестом, к общему числу возможных неисправностей схемы.

Особенности построения JTAG-тестов обуславливают зависимость между структурой схемных фрагментов ПП и ожидаемой полнотой покрытия неисправностей для ПП. При этом схемные не-JTAG элементы играют в оценке полноты JTAG-теста не меньшую роль, чем ИС JTAG. Основные типы схемных фрагментов, определяющие четыре разных уровня покрытия неисправностей при выполнении JTAG-теста, приведены на рис. 1.

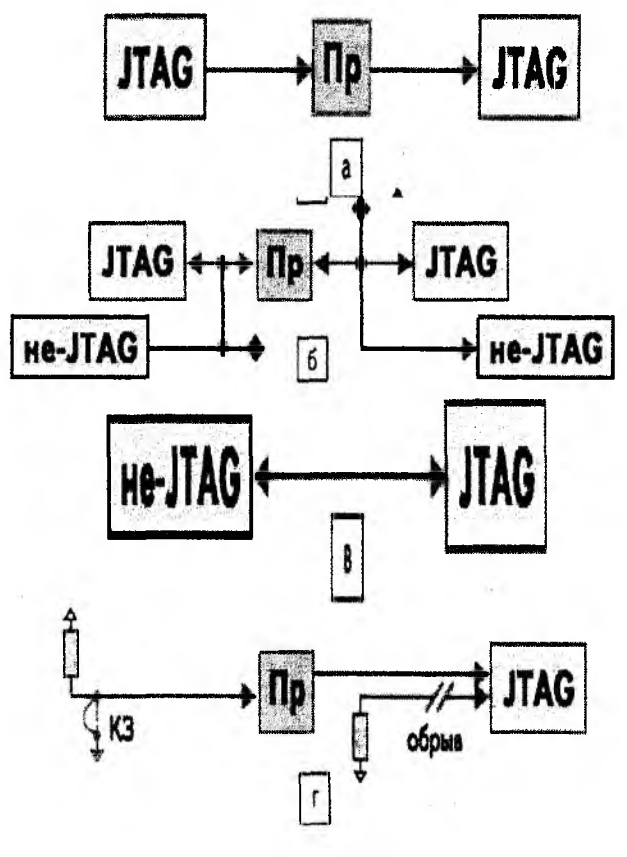


Рис. 1. Типы схемных фрагментов при выполнении JTAG-теста

В качестве прозрачных элементов (Пр) при JTAG-тестировании принято рассматривать неинвертирующие буферы, небольшие последовательные резисторы и мультиплексоры. Ромбы на рисунке обозначают подключение цепей схемы к контактам разъемов, а стрелки указывают на входные и выходные контакты схемных компонентов, голубые стрелки обозначают входы и выходы ИС JTAG, описанные в файлах BSDL соответствующих ИС. Прозрачность схемных компонентов описывается при помощи моделей прозрачности, определяющих передачу тестового сигнала с входа компонента на его выход, и условия передачи.

Схемный фрагмент, приведенный на рис. 1,а, называется чистой JTAG-цепью, или цепью с полным JTAG-покрытием; прозрачные элементы могут при этом и отсутствовать. Направление передачи тестовых сигналов (голубые стрелки) на рисунке указано слева направо, может быть справа налево и двунаправленной, а количество подключенных к цепи ИС JTAG может быть любым. Голубые стрелки показывают, что цепь подключена к одной или нескольким ячейкам JTAG-передатчика или/и к одной или нескольким ячейкам JTAG-приемника через соответствующие контакты ИС JTAG. При этом сочетания типа «Х ячеек JTAG-передатчика и Y ячеек JTAG-приемника», подключенных к одной цепи, могут быть произвольными.

Для чистых JTAG-цепей достигается максимальный уровень покрытия неисправностей: 100 % обнаружения обрывов для всех контактов ИС, подключенных к такой цепи, а также 100 % обнаружения коротких замыканий (КЗ) с точностью до контакта ИС JTAG как между чистыми JTAG-цепями, так и между ними и цепями, показанными на рис. 1, б, г. В отчетах по тестопригодности схем и ожидаемому уровню тестового покрытия чистые JTAG-цепи фигурируют в разделе «*Полное покрытие JTAG-тестом*».

Схемный фрагмент, показанный на рис. 1, б, называется цепью с частичным JTAG-покрытием, так как не позволяет обнаружить обрывы контактов не-JTAG компонентов, подключенных к JTAG-цепям, если это не ИС ЗУ. Однако все КЗ между выводами ИС JTAG, относящимися к цепям этого типа и любого другого из показанных на рис. 1, можно обнаружить с полнотой 100 %. При соответствующем построении кластерного теста для цепей этого типа можно получить весьма высокий уровень покрытия КЗ между контактами разъемов, а также покрытие КЗ между контактами не-JTAG ИС.

В схемной конфигурации, приведенной на рис. 1, в, можно обнаружить КЗ между контактами ИС JTAG этого же фрагмента и фрагментов на рис. 1, а, б, если контакты ИС JTAG входные. Кроме того, в ряде случаев можно построить кластерный тест для обнаружения обрывов входных контактов ИС JTAG, если, например, тест заключается в чтении заведомо известного сигнала из не-JTAG ИС. Если не-JTAG ИС это, к примеру, ИС I2C, то можно получить 100 %-е косвенное покрытие обрывов в цепях SCL и SDA в рамках кластерного теста этих цепей.

Шины адреса и данных разнообразных ЗУ (ПЗУ, SRAM, SDRAM, флэш и т. д.), управляемые ИС JTAG, относятся к схемным фрагментам на рис. 1, б, в. Тестирование микросхем ЗУ при помощи окружающих их ИС JTAG заключается в выборочной записи в ячейки памяти ЗУ и чтении из них с привязкой к синхросигналам ЗУ, генерируемым в той же JTAG-цепочке. Такие тесты позволяют получить 100 %-е покрытие неисправностей монтажа контактов ЗУ типа обрыв и КЗ, то есть всех структурных дефектов монтажа ИС.

Широко применяют JTAG-тесты цепей, фрагмент которых показан на рис. 1, г. Его можно рассматривать и как вариант фрагмента рис. 1, в. Если к входным JTAG-контактам присоединены подтягивающие или подключенные «на массу» резисторы, то могут быть обнаружены любые неисправности, логика проявления которых обратна ожидаемой функции резисторов. Такие тесты любой системой генерации JTAG-тестов строятся автоматически. Например, JTAG-тест всегда обнаруживает КЗ на «землю» в цепи подтягивающего резистора или же обрыв в этой цепи. Аналогично, в цепи резистора, подключенного «на массу», JTAG-тест всегда обнаруживает обрыв или константную неисправность «лог. 1», вызванную тем или иным КЗ. К этой же схемной конфигурации относятся цепи, напрямую подключенные к питанию или «земле» ПП, а также цепи с постоянным напряжением, которое можно трактовать как определенный логический уровень.

JTAG-тест коротких замыканий может быть полным (100 %) при тестировании правильности монтажа неиспользуемых (то есть не подключенных ни к одной из цепей схемы) контактов ввода/ вывода (КВВ) ИС JTAG в любой из конфигураций, приведенных на рис. 1. Полнота аналогичного теста КЗ между неиспользуемыми контактами ввода или контактами вывода ИС JTAG существенно меньше, поскольку не всякая система генерации тестов вообще строит тесты КЗ для контактов, не являющихся КВВ.

Отдельной группой цепей в схемах, содержащих ИС JTAG, являются собственно JTAG-шины. Любая программа JTAG-тестирования начинается с этапа «Тест инфраструктуры», или теста целостности JTAG-цепочки. Если этот этап не проходит, существует неисправность в самой JTAG-цепочке, так что выполнение последующих этапов программы бессмысленно, и вначале следует найти и устранить неисправность цепочки. Обычно этот тест состоит из асинхронного (сигнал /TRST) и синхронного сброса всех контроллеров TAP цепочки, теста захвата РК, теста команд BYPASS, IDCODE и USERCODE и теста длины PGC каждой ИС JTAG-цепочки. Тест JTAG-цепочки покрывает обрывы в цепях JTAG-шины

(TDI, TDO, TMS, TCK), а также любые дефекты монтажа контактов этих шин, проявляющиеся как константные неисправности типа «лог. 0».

В отчетах по тестопригодности схем и ожидаемому уровню тестового покрытия цепи, относящихся к схемным фрагментам на рис. 1, б – з, а также цепи JTAG-шин, фигурируют в разделе «Частичное покрытие JTAG-тестом». Степень детализации тестового покрытия по отдельным цепям и их группам зависит от особенностей программной системы, используемой для получения такого отчета. Предварительная оценка уровня JTAG-тестового покрытия является не только параметром оценки ожидаемого качества JTAG-теста, но и позволяет сделать выводы о тестопригодности схемы на ранних этапах ее разработки, еще до того, как начата разводка ПП.

Детальное изучение (вплоть до имен цепей и контактов) предварительных отчетов по тестопригодности схем позволяет вовремя, то есть задолго до начала разводки схемы, предпринять необходимые меры для увеличения или оптимизации ожидаемого тестового покрытия ПП. Такие отчеты обычно содержат и рекомендации по оптимальному размещению контактных площадок для внутрисхемного тестирования (ИСТ) в тех цепях, ожидаемый уровень JTAG тестового покрытия в которых недостаточен или вовсе отсутствует.

JTAG-тестирование и тестопригодное проектирование цифровых устройств

Лучшим современным средством для выполнения диагностического анализа структурных (не функциональных) дефектов цифровых и частично аналоговых устройств последние 20 лет – JTAG (граничное сканирование) [8].

Задачи технической диагностики цифровых устройств, с решаемые в настоящее время при помощи JTAG-технологий, можно систематизировать следующим образом.

1) Техническая диагностика отдельных ИС при их производстве и эксплуатации:

- Верификация правильности разработки и функционирования СБИС при наличии JTAG-доступа к отдельным внутренним IP и инструментам ИС; обеспечение унифицированных средств такого доступа.

- Структурное тестирование связей между встроенными модулями ИС при помощи JTAG-оболочек совместно с другими DFT-структурами, такими как внутренние цепочки сканирования и механизмы встроенного тестирования; аппаратные и алгоритмические возможности такого тестирования.

- Эмуляция микропроцессоров для их функционального тестирования, управляемая по JTAG-каналам; такое тестирование.

2) Техническая диагностика отдельных ПП при их производстве и эксплуатации:

- Диагностика неисправностей монтажа ПП, включающая обнаружение дефектов монтажа ИС-JTAG и связей между ними.

- Диагностика неисправностей монтажа ПП, включающая обнаружение дефектов монтажа других ИС, не поддерживающих JTAG (элементы памяти, кластерные структуры), и дефектов связей между ними.

- Внутрисхемное программирование конфигурируемых элементов, таких как ПЛМ, FPGA, ЭСППЗУ, I2C, а также прожиг ИС флэш-памяти.

3) Техническая диагностика совокупностей ПП и узлов при их сборке и эксплуатации, в предположении, что отдельные или все ПП снабжены JTAG-цепочками и к каждой из них имеется либо непосредственный доступ, либо доступ с объединяющей платы посредством той или иной схемы коммутации:

- диагностика наличия или отсутствия ПП в разъеме кросс-платы с помощью адресных идентификаторов разъемов;

- диагностика неисправностей соединения ПП с разъемом кросс-платы;

- диагностика неисправностей в связях между отдельными ПП через кросс-плату;

- управление схемами самотестирования на отдельных ПП, собранных в узел, то есть запуск программ самотестирования и диагностика неисправностей по результатам прогона теста.

Проблемы диагностирования неисправностей, в решении которых JTAG-технологии малоэффективны или неприменимы, а также типы неисправностей, которые невозможно обнаружить этими методами, сводятся к функциональным неисправностям любого уровня – в ИС, ПП или узлах и систематизируются следующим образом.

1) Техническая диагностика отдельных ИС при их производстве и эксплуатации:

- диагностика функциональных неисправностей: цифровых и аналоговых, при помощи JTAG-технологий невыполнима, хотя JTAG-каналы используются для доступа к внутренним высокоскоростным цепям ИС и манипулирования ими.

2) Техническая диагностика отдельных ПП при их производстве и эксплуатации, а также совокупностей ПП и узлов при их сборке и эксплуатации:

- невозможно обнаружение никаких дефектов монтажа, связанных с элементами, не имеющими JTAG-поддержки, цифровыми или аналоговыми, а также диагностика дефектов связей между ними;

- невозможно выполнение никаких функциональных тестов или тестов, направленных на обнаружение неисправностей, являющихся функцией времени;

- невозможно выполнение никаких тестов, направленных на обнаружение таких дефектов шин данных, например шины PCI, как дрожание фазы (jitter), паразитные связи (crosstalk), интерференция и т. д.

Задачи технической диагностики, решаемые в рамках JTAG-технологий, относятся, в первую очередь, к обнаружению структурных, а не функциональных неисправностей. В результате тестопригодного проектирования имеется доступ к возможным местам возникновения этих неисправностей посредством JTAG-регистра при тестировании на уровне отдельных плат или систем, или посредством JTAG-оболочки при тестировании на уровне ядер ИС.

Выбор стратегии тестирования и диагностики дефектов является непростой задачей для контрактных производителей современных плат высокой сложности. Производство сложных современных ПП обуславливает следующие проблемы диагностики дефектов монтажа:

- значительное ограничение возможностей визуального контроля качества монтажа, в частности, в связи с широким применением BGA-корпусов;

- почти полное отсутствие возможностей физического доступа к узлам и контактам ПП из-за недостатка места с обеих сторон ПП, ограничивающее применение внутрисхемного тестирования ICT;

- недостаточная тестопригодность ПП, сужающая уровень тестового покрытия в технологиях JTAG даже при наличии соответствующих программно-аппаратных средств;

- высокая стоимость ручных работ квалифицированных инженеров при неавтоматизированном поиске дефектов монтажа и отладке ПП, а также значительные временные затраты;

- высокая стоимость производства игольчатых адаптеров для ICT;

- усложненная диагностика неисправностей при внутрисхемном (ICT) и функциональном тестировании (ФТ).

Непросто сформулировать критерии выбора тех или иных средств и стратегий технической диагностики. Статистика утверждает, что от 80 до 90 % дефектов в сложных современных ПП – это дефекты монтажа, для их диагностики необходимо проводить структурное тестирование. Тестеры AOI и AXI эффективны для обнаружения некоторых дефектов монтажа до запитывания тестируемой ПП и не требуют специальных адаптеров для их применения. Тестеры ICT эффективны для любых ПП, но при ограниченном бюджете тестирования может быть целесообразной их замена на совместное применение тестеров AOI, JTAG и ФТ.

Факторы, которые принимаются во внимание при выборе того или иного типа тестера:

- размеры капитальных вложений в связи с приобретением тестера;
- стоимость разработки и поддержки тестовых и диагностических программ;
- производительность тестера (в условиях массового производства);
- уровень покрытия неисправностей;
- диагностические возможности поиска дефектов.

Любая действующая стратегия тестирования и диагностики совмещает структурное тестирование (ICT, JTAG, AOI, AXI, FPT) с функциональным тестированием. ФТ обнаруживает неисправности платы, если они существуют, но затраты на разработку и проведение такого теста высоки, а диагностика неисправностей монтажа, обеспечиваемая ФТ, не эффективна, поэтому без предварительной сортировки на тестерах JTAG, AOI и AXI функциональное тестирование ПП не всегда оправдано. Диагностика в структурном тестировании более детальна, а полнота покрытия неисправностей выше. Желание получить почти 100 %-е покрытие дефектов реально.

Никакая из технологий структурного тестирования не обеспечивает 100%-го покрытия дефектов монтажа сама по себе и для любых схем, поэтому те или иные комбинации разных технологий призваны обеспечить приемлемый уровень диагностики дефектов для тех схем и для тех типов неисправностей, в которых они максимально эффективны. JTAG-тест, например, незаменим для обнаружения коротких замыканий во внутренних цепях ПП и покрывает эти весьма актуальные неисправности монтажа куда лучше прочих методов. Еще в большей степени JTAG-тест пригоден для обнаружения обрывов или «холодной пайки», когда места этих дефектов, особенно под корпусами BGA, не локализуемы ни визуально (AOI), ни рентген-контролем (AXI), ни на тестерах ICT или FPT.

Характер монтируемых ПП и возникающих при их монтаже неисправностей различен для разных линий сборки и разных контрактных производителей ПП. Цель оптимизации стратегии тестирования и диагностики неисправностей для каждой отдельной линии – получение максимально эффективного совокупного теста, гарантирующего высокое качество сборки ПП при условии приемлемых затрат [7].

FPGA и ПЛИС в JTAG-тестировании

Конфигурирование FPGA и ПЛИС меняет не только физическую структуру КВВ отдельных банков [3]. Разработка JTAG-тестов межэлементных связей для схем, содержащих конфигурируемые FPGA и ПЛИС, в значительной степени определяет саму стратегию тестирования ПП [9, 10]. Фирмы-производители группируют КВВ большинства таких ИС в специализированные банки, так что уровни сигналов на КВВ отдельных банков и поддерживаемая ими полупроводниковая технология могут заметно отличаться как для одного и того же банка до и после конфигурирования ИС, так и между различными банками [3]. На рис. 2 приведена структура конфигурированной ИС FPGA, содержащей четыре банка, два из которых (банки 2 и 4) предназначены для работы на уровне сигналов 3,3 В в технологии LVCMOS, банк 1 – также на уровне сигналов 3,3 В, но в технологии LVTTL, а банк 3 – на уровне сигналов 1,5 В в технологии LVCMOS.

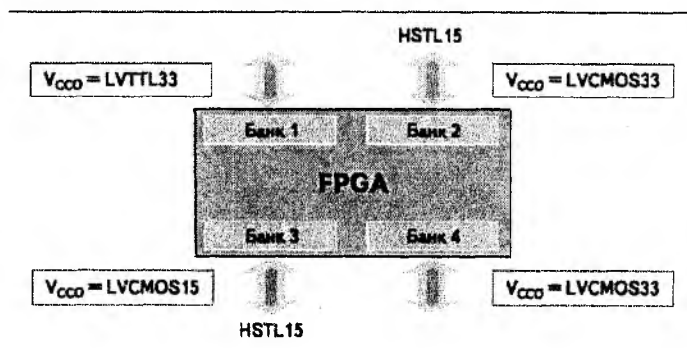


Рис. 2. Структура конфигурированной ИС FPGA

До конфигурирования, то есть после монтажа ИС на поверхность ПП, КВВ такой ИС поддерживают уровни сигналов, определяемые по умолчанию как 3,3 В в технологии LVTTL или определяемые выходным опорным напряжением V_{CCO} каждого банка. Разработчик схемы ПП подключает к КВВ цепи, предназначенные для работы ИС после ее конфигурирования, например работающие в технологии HSTL (High-Speed Transceiver Logic) на уровне сигналов 1,5 В, как показано на рисунке для банков 2 и 3. При JTAG-тестировании межэлементных связей КВВ банка 3 не возникает никаких проблем до и после конфигурирования этой ИС FPGA, а вот для КВВ банка 2 есть существенное отличие в этих двух режимах. КВВ банка 2 до конфигурирования FPGA в тесте межэлементных связей будут работать на уровне сигналов, определяемом напряжением V_{CCO} , то есть 3,3 В в нашем примере, что может повредить их нагрузку, спроектированную для уровня сигналов 1,5 В.

Описанные ограничения диктуют необходимость предварительного конфигурирования FPGA перед выполнением JTAG-теста межэлементных связей. На контактах, определяющих напряжения V_{CCO} для отдельных банков, в течение всего теста должны удерживаться соответствующие и неизменные напряжения, то есть эти контакты не должны тестироваться. Отдельно, в зависимости от логики организации теста, должен решаться вопрос о способе конфигурирования – через TAP-порт или автоматической загрузкой из ПЗУ или флэш-памяти по включению питания ПП.

Заключение

Применение технологии JTAG при производстве и тестировании сравнительно простых электротехнических изделий оказывается удобным и выгодным. Если кабели или жгуты предназначены для ответственных применений, они многожильные и достаточно длинные, таких кабелей много и они подключаются к кросс-плате, то автоматизированное тестирование качества монтажа кабелей оказывается сложным. Задача усложняется еще больше, если разъемы этих кабелей уникальные, дорогостоящие или миниатюрные, так что количество их подключений при тестировании должно быть минимальным, а лучше – только одноразовым. Кабели содержат дифференциальные цепи, применяемые для заметного увеличения помехозащищенности, и в них введены конденсаторы для гальванической развязки блоков, соединяемых этими кабелями. Разработка специализированных стендов функционального тестирования забирает много средств и времени на разработку или приобретение. Функциональный тест может обнаружить неисправности сборки кабелей и кросс-плат, но диагностика места и характера неисправности может потребовать длительного времени и/или высокой квалификации тест-инженера или техника.

Но решение находится в области средств тестирования JTAG, не связанных с функциональными тестами. Сердцевиной стенда является ПП, которая содержит ИС JTAG, назначение которых – выдача JTAG-тестов на отдельные цепи кабелей и фиксация результатов тестирования в протоколе JTAG. КВВ платы подключаются к разъемам, находящимся с обеих сторон тестируемого кабеля. Если кабели не слишком длинные (1 – 3 м), так что внутреннее сопротивление их проводов пренебрежимо мало, то никаких проблем в организации для них JTAG-теста не возникает. Время выполнения такого JTAG-теста составляет секунды, а достигаемая полнота покрытия дефектов типа обрывов и коротких замыканий в цепях кабеля может быть 100 %-й. Правильно построенный JTAG-тест выдает имя неисправной цепи и имя контакта, что предельно упрощает и значительно удешевляет процесс диагностики неисправностей в кабелях.

Список литературы: 1. *Городецкий, А., Курилан, Л.* Введение в технологию граничного сканирования // Производство электроники: технологии, оборудование, материалы. – 2007. – №2. – С.1-5. 2. *IEEE Std. 1149.1* – Standard Test Access Port and Boundary-Scan Architecture. 3. Методы логического проектирования дискретных устройств со встроенными средствами диагностирования / М.А. Березная : дис. ... канд. техн. наук. – Харьков, 2003. – 170с. 4. *Городецкий, А.* Тестирование и тестопригодное проектирование // Компоненты и технологии. – 2009. – № 2. – С.6-7, 5. *Городецкий, А.* Встроен-

ные инструменты тестирования // Компоненты и технологии. – 2009. – № 3. – С.10-11. 6. *Городецкий, А.* Стратегия тестирования: необходимость применения JTAG // Компоненты и технологии. – 2009. – № 5. – С.10-11. 7. *Городецкий, А.* Покрытие неисправностей и полнота JTAG-тестирования // Компоненты и технологии. – 2009. – № 11. – С.12-13., 8. *Городецкий, А.* Техническая диагностика проектирование цифровых устройств // Компоненты и технологии. – 2011. – № 3. – С.8-9. 9. *Городецкий, А.* FPGA и ПЛИС в JTAG-тестировании // Компоненты и технологии. – 2011. – № 4. – С.20-21. 10. *Мирошник, М.А.* Методы повышения отказоустойчивости программируемых логических интегральных схем / *М.А. Мирошник, Я.Ю. Королева, В.А.Лебедь* // Технология приборостроения. – 2011. – №2. – С. 16–21.

*Харьковский национальный
автомобильно-дорожный университет
Харьковская национальная академия
городского хозяйства
Харьковская государственная академия
железнодорожного транспорта
Харьковский национальный
университет радиоэлектроники*

Поступила в редколлегию 10.09.2012