

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ

ХАРЬКОВСКИЙ НАЦИОНАЛЬНЫЙ  
УНИВЕРСИТЕТ РАДИОЭЛЕКТРОНИКИ

ISSN 0135-1710

# **АВТОМАТИЗИРОВАННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ И ПРИБОРЫ АВТОМАТИКИ**

**Всеукраинский межведомственный  
научно-технический сборник**

**Основан в 1965 г.**

**Выпуск 172**

Харьков  
2015

В сборнике представлены результаты исследований, касающихся компьютерной инженерии, управления, технической диагностики, автоматизации проектирования, оптимизированного использования компьютерных сетей и создания интеллектуальных экспертных систем. Предложены новые подходы, алгоритмы и их программная реализация в области автоматического управления сложными системами, оригинальные информационные технологии в науке, образовании, медицине.

Для преподавателей университетов, научных работников, специалистов, аспирантов.

У збірнику наведено результати досліджень, що стосуються комп'ютерної інженерії, управління, технічної діагностики, автоматизації проектування, оптимізованого використання комп'ютерних мереж і створення інтелектуальних експертних систем. Запропоновано нові підходи, алгоритми та їх програмна реалізація в області автоматичного управління складними системами, оригінальні інформаційні технології в науці, освіті, медицині.

Для викладачів університетів, науковців, фахівців, аспірантів.

**Редакционная коллегия:**

*В.В. Семенец*, д-р техн. наук, проф. (гл. ред.); *И.Д. Горбенко*, д-р техн. наук, проф.; *Е.П. Пуятин*, д-р техн. наук, проф.; *В.П. Тарасенко*, д-р техн. наук, проф.; *Г.И. Загарий*, д-р техн. наук, проф.; *Г.Ф. Кривуля*, д-р техн. наук, проф.; *Чумаченко С.В.*, д-р техн. наук, проф.; *В.А. Филатов*, д-р техн. наук, проф.; *Е.В. Бодянский*, д-р техн. наук, проф.; *В.Ф. Шостак*, д-р техн. наук, проф.; *В.М. Левыкин*, д-р техн. наук, проф.; *Е.И. Литвинова*, д-р техн. наук, проф.; *В.И. Хаханов*, д-р техн. наук, проф. (отв. ред.).

Свидетельство о государственной регистрации  
печатного средства массовой информации

КВ № 12073-944ПР от 07.12.2006 г.

*Адрес редакционной коллегии:* Украина, 61166, Харьков, просп. Ленина, 14, Харьковский национальный университет радиоэлектроники, комн. 321, тел. 70-21-326

© Харківський національний університет  
радіоелектроніки, 2015

## СОДЕРЖАНИЕ

<b>МОСКАЛЕНКО В.В., ПИМОНЕНКО С.В.</b> МЕТОД ПРОГНОЗУВАННЯ РІВНЯ СПРИЙНЯТТЯ ЯКОСТІ ОБСЛУГОВУВАННЯ В ІНФОРМАЦІЙНО-ТЕЛЕКОМУНІКАЦІЙНИХ СИСТЕМАХ.....	4
<b>БАРАННИК В.В., КРАСНОРУЦКИЙ А.А., СТАСЕВ С.Ю.</b> КОНЦЕПЦІЯ ФОРМИРОВАНИЯ СТРАТЕГИИ НОРМИРОВАНИЯ С УЧЕТОМ СТРУКТУРНОЙ НАСЫЩЕННОСТИ АЭРОФОТОСНИМКОВ.....	13
<b>ЛЕВЫКИН В.М., ЧАЛАЯ О.В.</b> МОДЕЛЬ РЕЛЯЦИОННОГО НЕЯВНОГО ЗНАНИЯ.....	18
<b>ШКИЛЬ А.С., КУЛАК Э.Н., СЕРОКУРОВА А.С.</b> ДИАГНОСТИРОВАНИЕ HDL-МОДЕЛЕЙ МИКРОПРОГРАММНЫХ АВТОМАТОВ.....	22
<b>ГУРИНА Д.В., ГАРЯЧЕВСКАЯ И.В.</b> РАЗРАБОТКА ПРОГРАММНОГО МОДУЛЯ БЕСКОНТАКТНОГО ТЕПЛОВОГО КОНТРОЛЯ КАЧЕСТВА РАДИОЭЛЕКТРОННЫХ МОДУЛЕЙ НА ПЕЧАТНОЙ ПЛАТЕ.....	32
<b>ВИШНЯК М.Ю., КЛИМОВА И.Н.</b> УПРАВЛЕНИЕ ЗНАНИЯМИ НА АВТОМАТИЗИРОВАННОМ ПРЕДПРИЯТИИ..	38
<b>ГВОЗДИНСКИЙ А.Н., ЯКИМОВА Н.А., ГУБИН В.А.</b> О ВОЗМОЖНЫХ ПРЕДСТАВЛЕНИЯХ МАТРИЦ ЛИНЕЙНЫХ ЛОГИЧЕСКИХ ОПЕРАТОРОВ.....	44
<b>ЧАЛАЯ Л.Э., ЧИЖЕВСКИЙ А.В., ВОЛОЩУК Е.Б.</b> МЕТОД ПОИСКА РЕЛЕВАНТНЫХ СВЯЗЕЙ МЕЖДУ КОНЦЕПТАМИ ПРОЕКТИРУЕМЫХ ОНТОЛОГИЙ.....	48
<b>ХАХАНОВ И.В., ЛИТВИНОВА Е.И.</b> СИНТЕЗ И АНАЛИЗ «КВАНТОВЫХ» МОДЕЛЕЙ ЦИФРОВЫХ СИСТЕМ.....	56
<b>БАРАННИК В.В., ЮДИН А.К., ФРОЛОВ О.В.</b> МЕТОД КОСВЕННОГО СТЕГАНОГРАФИЧЕСКОГО ПРЕОБРАЗОВАНИЯ НА ОСНОВЕ ИСПОЛЬЗОВАНИЯ ФУНКЦИОНАЛА ДЛЯ АДАПТИВНОГО ПОЗИЦИОННОГО КОДИРОВАНИЯ.....	71
<b>БАРАННИК В.В., ШУЛЬГИН С.С.</b> МОДЕЛЬ ОЦЕНКИ ИНФОРМАТИВНОСТИ СЛОТА Р-КАДРОВ НА ОСНОВЕ ВЫЯВЛЕНИЯ СТРУКТУРНО-ГРАДИЕНТНЫХ МЕЖТРАНСФОРМАНТНЫХ ОГРАНИЧЕНИЙ.....	76
<b>БАРАННИК В.В., КОМОЛОВ Д.І.</b> СЕЛЕКТИВНИЙ МЕТОД ШИФРУВАННЯ ВІДЕОПОТОКУ В ТЕЛЕКОМУНІКАЦІЙНИХ СИСТЕМАХ НА ОСНОВІ ПРИХОВУВАННЯ БАЗОВОГО І-КАДРУ.....	82
<b>РЕФЕРАТИ.....</b>	88

## ДИАГНОСТИРОВАНИЕ HDL-МОДЕЛЕЙ МИКРОПРОГРАММНЫХ АВТОМАТОВ

Рассматриваются методы поиска ошибок проектирования в HDL-моделях микропрограммных автоматов. Исходное описание автомата представляется композицией операционного и управляющего автоматов, которая описывается содержательной граф-схемой алгоритма. HDL-модель управляющего автомата дана в форме двухпроцессного автоматного шаблона автомата Мура. Диагностический эксперимент проводится путем обхода всех дуг графа переходов управляющего автомата, начиная от начальной вершины, путем эмуляции функций операционного автомата в системе верификации HDL-моделей (TestBench) в среде проектирования Active-HDL.

### 1. Введение

Цифровое операционное устройство (ОУ) можно представить комбинацией операционного автомата (ОА) и управляющего автомата (УА). Операционный автомат выполняет преобразование данных, а именно, выполняет микрооперации (МО), инициируемые управляющими сигналами  $Y = \{y_i\}$ , порядок следования которых определяется УА. Управляющий автомат определяет выполнение последовательности микроопераций на основе граф-схемы алгоритмов (ГСА) и множества оповестительных сигналов  $X = \{x_j\}$ , вырабатываемых ОА. Такой автомат принято называть микропрограммным управляющим автоматом [1]. В общем случае операционный автомат по способу описания не отличается от управляющего, а распределение ролей между двумя взаимосвязанными автоматами определяется наличием входных сигналов. Если входные сигналы присутствуют в обоих структурах, установить роль ведущего и ведомого достаточно сложно, поскольку любой автомат может быть описан графом переходов. Но классификация схемных стандартов операционного автомата по их функциям (триггеры, счетчики, регистры, память, коммутаторы, декодеры, АЛУ) позволяет оперировать ими как примитивами. В этом случае управляющий автомат рассматривается как способ описания взаимодействия примитивов операционного автомата во времени. Разделение конкретного проекта на УА и ОА субъективно и является следствием практического опыта и квалификации разработчика.

При существующем многообразии исходных форм описания проектов цифровых устройств (ЦУ) можно выделить наиболее популярные в мире: аналитические – языки описания аппаратуры (HDL), графические или визуальные – иерархические цифровые структуры и схемы, граф-схемы алгоритмов операционных или управляющих устройств (flow chart). Одним из распространенных способов исходного описания конечного автомата (УА) на языке описания аппаратуры является автоматный шаблон, т.е. специальная структура HDL-кода, которая строится на основе графа переходов автомата (state diagram) или прямой структурной таблицы. Построение графа переходов конечного автомата на основе других способов описания его функционирования является искусством проектировщика и особенностями инструментальных средств систем автоматизированного проектирования радиоэлектронной аппаратуры (САПР РЭА) [2].

Наиболее сложным и затратным этапом в современном цикле проектирования ЦУ является функциональная верификация, т.е. процесс обнаружения, локализации и устранения ошибок в системной модели относительно спецификации, на что затрачивается более половины общего времени проектирования. Основной формой описания проектов ЦУ в САПР РЭА являются языки описания аппаратуры, поэтому объектом верификации есть модель ЦУ, написанная на языке описания аппаратуры, т.е. HDL-модель.

Возможные ошибки проектирования в HDL-моделях определяются стилем описания HDL-кода. Под ошибкой проектирования понимается ошибка в HDL-операторе, которая не относится к классу синтаксических и нарушает алгоритм функционирования модели устройства, заданный спецификацией. Выделение фрагментов HDL-кода, описывающих пове-

дение конечных автоматов стилем «автоматный шаблон», позволяет определить ошибку проектирования типа «неправильный переход в графе переходов автомата», что соответствует ошибке в выборе текущего состояния в операторе when, ошибке выбора следующего состояния в функции переходов ( $a_i$  вместо  $a_j$ ), ошибке в операторе if( ) при анализе входного сигнала, ошибке в назначении выходного сигнала. Для проведения диагностического эксперимента (ДЭ) по поиску ошибок проектирования реализуется стратегия обхода всех дуг графа переходов конечного автомата, начиная с начальной вершины. При этом проверяются все одиночные неисправности переходов, а также исправности функций автомата, обеспечивающих эти переходы [3].

ДЭ над HDL-моделью конечного автомата состоит в подаче на нее входных воздействий в соответствии с выбранной стратегией обхода содержательного графа переходов, получении выходных реакций на Waveform и сравнения полученных реакций с эталоном. На основании этого делается вывод о соответствии HDL-модели спецификации. ДЭ проводится с использованием системы верификации HDL-моделей (TestBench) в среде проектирования Active-HDL. При проведении ДЭ в простых HDL-моделях УА подача входных воздействий и сравнение полученных реакций с эталонами не представляет особых трудностей даже в режиме визуального сравнения по Waveform, так как тестовые данные подаются непосредственно на входы автомата, а реакции снимаются с его выходов.

При проведении ДЭ для HDL-моделей микропрограммных автоматов задача подачи входных воздействий и сравнения выходных реакций с эталонами усложняется. С одной стороны, при проведении ДЭ по обходу всех дуг графа автомата фактически проверяется УА, а входные данные (операнды микропрограммы) подаются на ОА и с него же снимаются выходные реакции (результат). С другой стороны, входные данные УА (оповестительные сигналы  $x_i$ ) и выходные (сигналы инициализации микроопераций  $y_i$ ) не определены в спецификации и непосредственно сравниваться с эталоном при проведении ДЭ не могут. Таким образом, задача разработки методики проведения ДЭ над HDL-моделью микропрограммного автомата, заданного содержательной граф-схемой алгоритма микропрограммы, является актуальной. Эталонные реакции (функции выходов ОА) при этом определяются исключительно спецификацией на операции, выполняемые операционным устройством.

## **2. Подготовка диагностического эксперимента для микропрограммного автомата**

Особенностью проведения ДЭ по диагностированию HDL-модели (как и любого программного кода) является отсутствие эталонного программного кода, поэтому в качестве эталона можно использовать только результаты выполнения алгоритма микропрограммного ОА, определенного спецификацией. Таким образом, стратегия обхода всех дуг графа переходов УА реализуется путем построения последовательностей микроопераций обработки данных операционным автоматом.

Подготовку и проведение диагностического эксперимента по локализации ошибок проектирования в HDL-моделях микропрограммных автоматов будем рассматривать на примере микропрограммы (МКП) сложения четырехразрядных двоичных знаковых чисел в дополнительном модифицированном коде. Для данной микропрограммы в качестве УА рассматривается автомат Мура. На рис. 1,а показан фрагмент содержательной граф-схемы алгоритма указанной микропрограммы с отметками состояний УА для автомата Мура. Каждой операторной вершине ГСА (состоянию автомата Мура) соответствует набор управляющих сигналов  $u_i$ , каждый из которых инициирует выполнение определенной микрооперации ОА. Для упрощения дальнейшего изложения в данном фрагменте микропрограммы не анализируется результат сложения на переполнение разрядной сетки, что в целом не меняет структуры микропрограммы. На рис. 1, б приведен содержательный граф переходов УА Мура для данной микропрограммы, в котором латинскими буквами поименованы дуги графа.

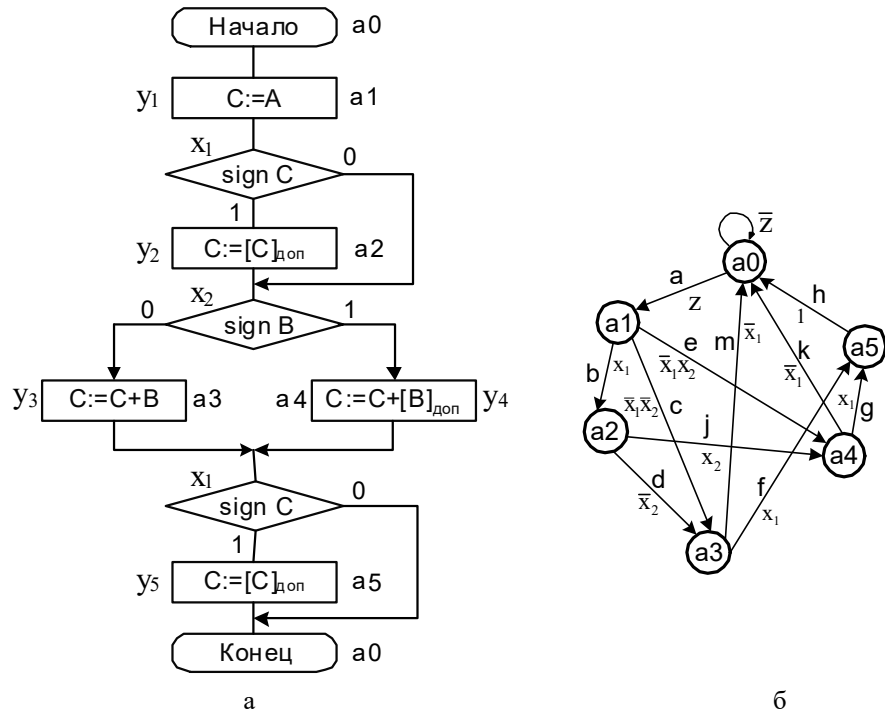


Рис. 1. Фрагмент содержательной ГСА микропрограммы сложения (а) и граф переходов управляющего автомата (б)

Для реализации стратегии обхода всех дуг графа по методике, предложенной в [3], на основании модифицированной матрицы смежности (рис.2,а) строится дерево решений для обхода путей (маршрутов) графа. В линейной ГСА, где логические условия следуют друг за другом, максимальное количество путей обхода графа автомата Мура будет  $2^n$ , где  $n$  – количество логических условий  $x_i$  с двумя альтернативами, т.е. для данного графа переходов будет 8 маршрутов обхода. При этом условие однократного покрытия всех дуг графа при его обходе на данном этапе не анализируется. Особенность данного дерева (рис.2,б) состоит в том, что терминальной вершиной во всех маршрутах обхода графа УА является состояние  $a_0$ , т.е. каждый путь в графе реализует полный цикл работы ОА.

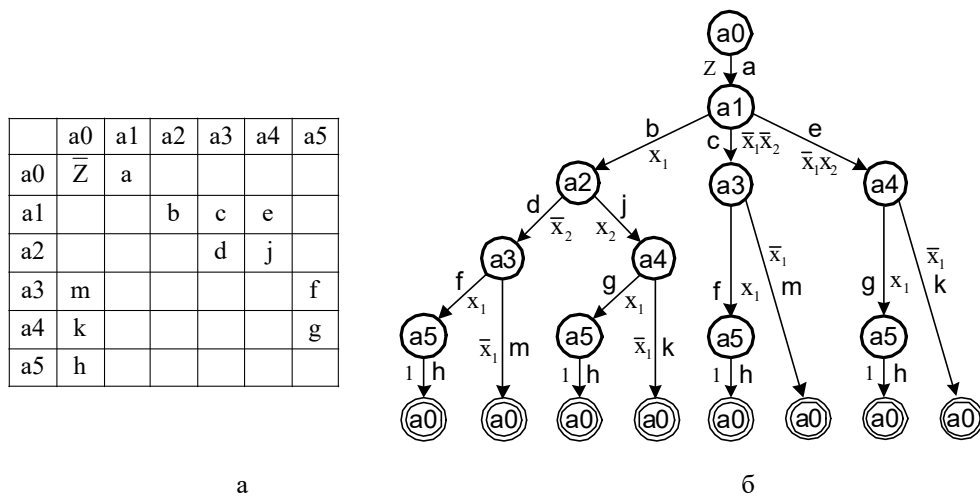


Рис. 2. Матрица смежности (а) и дерево решений для маршрутов обхода графа переходов управляющего автомата (б)

По дереву решений строится таблица проверок (маршруты обхода графа), по которым непосредственно и проводится диагностический эксперимент [4]. В таблице представлен полный перечень проверок  $P_i$  для маршрутов обхода графа. Каждая проверка характеризуется перечнем активизируемых дуг графа  $УА$ , перечнем управляющих сигналов для инициализации микроопераций  $u_i$  (вершин графа  $УА$ ) и диапазоном значений операндов (входных данных), которые данный маршрут обхода реализуют.

Полный перечень проверок при проведении ДЭ и перечень МО

М	a	b	c	d	e	f	g	h	j	k	m	Сигналы	Операнды и результат	Совместимая последовательность МО
												инициализации МО		
$P_1$	1	1		1		1		1				$u_1, u_2, u_3, u_5$	$C=(-A)+B<0$	да
$P_2$	1	1		1							1	$u_1, u_2, u_3$	$C=(-A)+B>0$	да
$P_3$	1	1					1	1	1			$u_1, u_2, u_4, u_5$	$C=(-A)+(-B)<0$	да
$P_4$	1	1							1	1		$u_1, u_2, u_4$	$C=(-A)+(-B)>0$	нет
$P_5$	1		1			1		1				$u_1, u_3, u_5$	$C=A+B<0$	нет
$P_6$	1		1								1	$u_1, u_3$	$C=A+B>0$	да
$P_7$	1				1		1	1				$u_1, u_4, u_5$	$C=A+(-B)<0$	да
$P_8$	1				1					1		$u_1, u_4$	$C=A+(-B)>0$	да

Любой маршрут обхода графа микропрограммного автомата порождает выполнение последовательности микроопераций, которые реализуют определенную часть ГСА микропрограммы (алгоритма обработки данных). Поэтому перед проведением ДЭ возникает необходимость рассмотрения возможности совместного выполнения определенных микроопераций. В теории проектирования микропрограммных автоматов используется понятие функциональной и структурной совместимости микроопераций [1]. Микрооперации называются функционально совместимыми, если в один момент времени они присваивают результаты разным операндам. Микрооперации называются структурно-совместимыми, если они одновременно не используют одни и те же аппаратные ресурсы ОА. В дальнейшем изложении управляющий сигнал инициализации микрооперации  $u_i$  и соответствующая ему микрооперация будут использоваться как синонимы.

При организации ДЭ по обходу графа микропрограммы возникает необходимость введения понятия совместимости последовательности микроопераций (во времени выполнения). Последовательность микроопераций (управляющих сигналов  $u_i$ ) называется совместимой, если существуют значения операндов ОА, которые позволяют реализовать данную последовательность. Если таких операндов не существует, то последовательность микроопераций называется несовместимой. Например, в операции сложения знаковых чисел с переполнением разнознаковые операнды никогда не дадут переполнения разрядной сетки. Таким образом, если в заданной последовательности микроопераций для сложения разнознаковых чисел присутствует  $u_i$ , реализующая выдачу сигнала переполнения разрядной сетки, данная последовательность является несовместимой. Несовместимость последовательности микроопераций бывает позитивной (в последовательности  $u_i$  присутствуют лишние микрооперации) или негативной (в последовательности  $u_i$  отсутствуют необходимые микрооперации). Это следует учитывать при формировании путей обхода графа переходов  $УА$ .

Если проанализировать таблицу, то можно сделать вывод, что последовательность микроопераций, реализующая проверку  $P_4 = \{u_1, u_2, u_4\}$ , определяет наличие положительной суммы (отсутствует МО  $u_5$ ) при отрицательных операндах (МО  $\{u_2, u_4\}$ ), что невозможно, и данная последовательность МО несовместима. Аналогично, последовательность МО, реализующая проверку  $P_5 = \{u_1, u_3, u_5\}$ , определяет наличие отрицательной суммы (присутствует МО  $u_5$ ) при положительных операндах (МО  $u_3$  при отсутствии МО  $u_2$ ) и также является несовместимой. Таким образом, проверки  $P_4$  и  $P_5$  нереализуемы и вектор экспериментальных проверок (ВЭП) будет  $V = (P_1, P_2, P_3, P_6, P_7, P_8)$ . При этом, если проанализи-

ровать оставшиеся строки табл.1, то отсутствие проверок  $P_4$  и  $P_5$  не нарушает полноту ДЭ по обходу всех дуг графа (во всех столбцах, соответствующих дугам графа  $\{a, b, c, d, e, f, g, h, j, k, m\}$ , присутствуют единицы, и условие однократного покрытия всех дуг графа соблюдается). Такая ситуация может быть не всегда, но рассмотрение условий получения однократного покрытия при обходе всех дуг графа не входит в задачи данного исследования.

В данной работе результат проведения ДЭ определяется путем визуального сравнения результатов моделирования HDL-модели на временной диаграмме (Waveform) с эталонными значениями (результатами выполнения операции сложения для разных операндов). При подборе операндов для реализации указанных проверок необходимо учитывать следующее:

- значения операндов должны быть такими, чтобы не было переполнения разрядной сетки, так как в рассматриваемом фрагменте микропрограммы отсутствует анализ переполнения;
- значения операндов для всех проверок должны быть такими, чтобы результат выполнения операции сложения для них различался.

На рис.3 приведен один из возможных вариантов значений входных данных и результатов для проверок  $\{P_1, P_2, P_3, P_6, P_7, P_8\}$ , что является эталонными значениями для проведения ДЭ. Для упрощения формирования эталонов на данном рисунке приведены обратные и дополнительные коды рассматриваемых операндов и результатов.

Десятичные числа	-2	-3	-4	-5	-8	-9
Прямой код	11 0010	11 0011	11 0100	11 0101	11 1000	11 1001
Обратный код	11 1101	11 1100	11 1011	11 1010	11 0111	11 0110
Дополнит. код (+1)	11 1110	11 1101	11 1100	11 1011	11 1000	11 0111

M	Операнды и знак результата	Десятичные данные и результат	Двоичные данные и результат выполнения сложения в дополнительном коде	Результат в прямом коде (+1)
$P_1$	$C=(-A)+B<0$	$(-9)+5 = (-4)$	$11\ 0111 + 00\ 0101 = 11\ 1100$	$11\ 0100$
$P_2$	$C=(-A)+B>0$	$(-3)+5 = 2$	$11\ 1101 + 00\ 0101 = 1\ 00\ 0010$	$00\ 0010$
$P_3$	$C=(-A)+(-B)<0$	$(-3)+(-5) = (-8)$	$11\ 1101 + 11\ 1011 = 1\ 11\ 1000$	$11\ 1000$
$P_6$	$C=A+B>0$	$9+5 = 14$	$00\ 1001 + 00\ 0101 = 00\ 1110$	$00\ 1110$
$P_7$	$C=A+(-B)<0$	$3+(-5) = (-2)$	$00\ 0011 + 11\ 1011 = 11\ 1110$	$11\ 0010$
$P_8$	$C=A+(-B)>0$	$9+(-3) = 6$	$00\ 1001 + 11\ 1101 = 1\ 00\ 0110$	$00\ 0110$

Рис. 3. Подготовка эталонов для проведения диагностического эксперимента

В заключение подготовки ДЭ приведем эталонную HDL-модель УА Мура (рис.4), построенную по графу переходов УА (см. рис.1,б). Как уже упоминалось выше, при проведении реального ДЭ эталонного кода не существует (есть только HDL-код «неизвестного происхождения» с возможными ошибками проектирования), но для наглядности изложения и иллюстрации процедур локализации ошибок в HDL-коде эталонный код и результаты его моделирования привести целесообразно.

```

library IEEE;
use IEEE.std_logic_1164.all;
entity FSM is
    port (Reset, Z, Clk, x1, x2: in STD_LOGIC;
          y1, y2, y3, y4, y5: out STD_LOGIC);
end;

architecture Moore of FSM is
    type State_type is (a0, a1, a2, a3, a4, a5);
    signal State, NextState: State_type;
begin
    Sreg0_CurrentState: process (Clk, reset)
    begin
        if Reset='1' then State <= a0;
        elsif Clk'event and Clk = '0' then State <= NextState;
        end if;
    end process;

    Sreg0_NextState: process (State, x1, x2, Z)
    begin
        case State is
            when a0=> if Z='1' then NextState <= a1;
                       else NextState <= a0;
                       end if;
            when a1=> if x1='1' then NextState <= a2;
                       elsif x2='1' then NextState <= a4;
                       else NextState <= a3;
                       end if;
            when a2=> if x2='1' then NextState <= a4;
                       else NextState <= a3;
                       end if;
            when a3=> if x1='1' then NextState <= a5;
                       else NextState <= a0;
                       end if;
            when a4=> if x1='1' then NextState <= a5;
                       else NextState <= a0;
                       end if;
            when a5=> NextState <= a0;
            when others => NextState <= a0;
        end case;
    end process;
    y1 <= '1' when State=a1 else '0';
    y2 <= '1' when State=a2 else '0';
    y3 <= '1' when State=a3 else '0';
    y4 <= '1' when State=a4 else '0';
    y5 <= '1' when State=a5 else '0';
end;

```

Рис. 4. Эталонная HDL-модель УА, построенная по графу переходов

### 3. Построение TestBench

Любая САПР на основе HDL имеет в своем составе встроенную систему верификации HDL-моделей (TestBench). Данная система позволяет подавать на верифицируемую HDL-модель (UUT) входные воздействия, моделировать их, снимать выходные реакции и выводить результат на систему визуального отображения временных диаграмм (Waveform). Также существует возможность проводить верификацию с использованием специальной тестовой программы (HDL-кода) в рамках TestBench (рис.5).

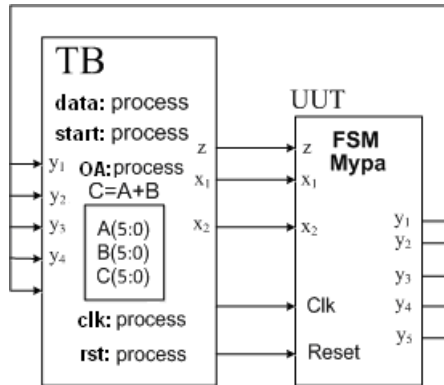


Рис. 5. Структура системы верификации (TestBench) при проведении ДЭ над УА

Тестовая программа TestBench (рис.6) состоит из ряда процессов:

**clk: process**, который формирует синхросигнал со скважностью  $2T$ , где  $T$  – полупериод синхросигнала;

**rst: process**, который формирует сигнал сброса исходя из числа проверок ДЭ;

**start: process**, который формирует сигналы запуска автомата и определяет полный цикл проведения ДЭ;

**data: process**, который обеспечивает подачу входных воздействий на HDL-модель УА и формирует цикл работы микропрограммы;

**OA: process**, который запускается сигналами инициализации микроопераций  $y_i$ , эмулирует работу ОА и вырабатывает оповестительные сигналы  $x_i$  с использованием операторов условного назначения сигналов when.

В тестовой программе также используются:

переменная **endsim** – признак конца моделирования;

константа  $T$  - 1/2 периода синхросигнала Clk;

константа  $N$  - максимальная длина пути проверки с учетом сброса и запуска;

сигналы  $A, B, C$  – операнды и результат в двоичном виде;

сигналы  $A_{dec}, B_{dec}, C_{dec}$  – операнды и результат в десятичном виде.

Сигнал сброса Reset активизируется в начале каждого цикла проверки ДЭ, для реализации неразрушаемого эксперимента, позволяющего в случае невозврата автомата в начальное состояние (по каким-либо причинам) обеспечить его гарантированную установку в начальное состояние.

ОА срабатывает по переднему фронту, а УА – по заднему. Это необходимо в случае использования УА Мура. Если ОА и УА срабатывают по одному фронту, они не укладываются в один такт, выполняя полный цикл взаимодействия – генерацию управляющих сигналов и выполнения МО, инициируемых этими управляющими сигналами. Следствием этого является неверное формирование признаков состояния ОА и неправильная генерация следующих управляющих сигналов УА.

В автомате Мили таких проблем не возникает, ОА и УА могут срабатывать по одному фронту. Эти особенности природы разных типов УА не зависят от системы моделирования HDL-моделей. Моделирование выполнялось в системах VCS 2014.12, Riviera-PRO EDU 2015.06, Active-HDL и дало идентичные результаты.

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity fsm_tb1 is
end fsm_tb1;
architecture TB_ARCHITECTURE of fsm_tb1 is
  component fsm
  port(Reset, Z, Clk, x1, x2: in std_logic;
        y1, y2, y3, y4, y5: out std_logic);
  end component;
  signal Reset, Z, Clk, x1, x2, y1, y2, y3, y4, y5: std_logic;
  signal A, B, C: STD_LOGIC_VECTOR(5 downto 0);
  signal Adec, Bdec, Cdec: integer;
  shared variable endsim: BOOLEAN:=false; — конец моделирования
  constant T: time:= 5 ns; — 1/2 периода Clk
  constant N: integer:= 7; — максимальная длина пути проверки
begin
  — Unit Under Test port map
  UUT : fsm port map (Reset => Reset, Z => Z, Clk => Clk, x1 => x1, x2 => x2, y1 => y1, y2 => y2, y3 => y3,
y4 => y4, y5 => y5);
  — Add your stimulus here ...
  clock: process — синхронизация
  begin
    if not endsim then Clk<='0'; wait for T;
    Clk<='1'; wait for T;

    else wait;
    end if;

  end process;
  rst: process — сброс
  begin
    if not endsim then Reset <='1'; wait for 2*T;
    Reset <='0'; wait for(N-1)*2*T;
    else wait;
    end if;

  end process;
  start: process — запуск
  begin
    if not endsim then Z <='0'; wait for 2*T;
    Z <='1'; wait for 2*T;
    Z <='0'; wait for(N-2)*2*T;

    else wait;
    end if;

  end process;
  data: process — входные данные
  begin
    A <="111001"; B <="000101"; wait for N*2*T; — проверка P1
    A <="110011"; B <="000101"; wait for N*2*T; — проверка P2
    A <="111001"; B <="110101"; wait for N*2*T; — проверка P3
    A <="001001"; B <="000101"; wait for N*2*T; — проверка P4
    A <="000011"; B <="110101"; wait for N*2*T; — проверка P5
    A <="001001"; B <="110011"; wait for N*2*T; — проверка P6
    endsim := true;
    wait;
  end process;
  OA: process (Clk, y1, y2, y3, y4, y5) — Эмуляция ОА
  begin
    if Clk'event and Clk = '1' then
      if (y1 = '1') then C <= A;
      elsif (y2 = '1') then C <= C(5 downto 4)&((not C(3 downto 0))+1);
      elsif (y3 = '1') then C <= C + B;
      elsif (y4 = '1') then C <= C+(B(5 downto 4)&((not B(3 downto 0))+1));
      elsif (y5 = '1') then C <= C(5 downto 4)&((not C(3 downto 0))+1);
      end if;
    end if;

    x1 <= '1' when C(5 downto 4) = "11" else '0';
    x2 <= '1' when B(5 downto 4) = "11" else '0';
    — Отображение результата в виде десятичных чисел
    Adec <= -(ieee.std_logic_signed.conv_integer('0' & A(5 downto 0))) when A(5 downto 4) = "11" else
(ieee.std_logic_signed.conv_integer('0' & A(3 downto 0)));
    Bdec <= -(ieee.std_logic_signed.conv_integer('0' & B(3 downto 0))) when B(5 downto 4) = "11" else
(ieee.std_logic_signed.conv_integer('0' & B(3 downto 0)));
    Cdec <= -(ieee.std_logic_signed.conv_integer('0' & C(3 downto 0))) when C(5 downto 4) = "11" else
(ieee.std_logic_signed.conv_integer('0' & C(3 downto 0)));
  end TB_ARCHITECTURE;

```

Рис. 6. Фрагмент тестовой программы TestBench для проведения ДЭ

Данная структура TestBench является универсальной и может использоваться в качестве шаблона для проведения верификации любых микропрограммных УА, при этом необходимо менять только ОА: process (для соответствующей МКП) и подавать соответствующие данные в data: process. Для удобства визуального наблюдения на Waveform входные данные и результат преобразуются в десятичные числа.

На рис.7 изображена временная диаграмма работы устройства сложения (ОА+УА) на основе эталонного кода УА, приведенного на рис.4.

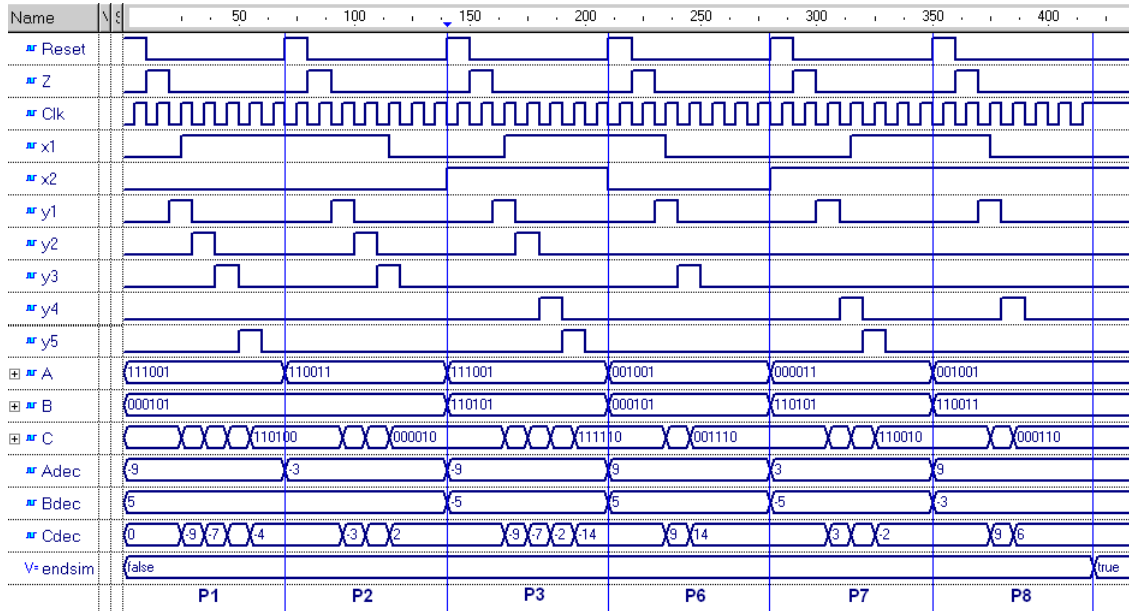


Рис. 7. Временная диаграмма моделирования работы эталонной HDL-модели устройства сложения с УА Мура

#### 4. Поиск ошибок проектирования в HDL-модели управляющего автомата

Для демонстрации методики поиска ошибок проектирования внесем ошибку в эталонный HDL-код. Предположим, что вместо перехода a2 – a3 реализуется переход a2 – a5. При этом не выполняется микрооперация u3 при условии, что была выполнена u2. Фрагмент ошибочного кода приведен на рис.8.

```

when a2=> if x2='1' then nextState <= a4;
           else nextState <= a5;
           end if;

```

Рис. 8. Фрагмент ошибочного HDL-кода, реализующего переход {a2 – a5} вместо {a2 – a3}

Диагностический эксперимент проводится путем реализации системы проверок {P<sub>1</sub>, P<sub>2</sub>, P<sub>3</sub>, P<sub>6</sub>, P<sub>7</sub>, P<sub>8</sub>}. На рис.9 приведена временная диаграмма моделирования ошибочного кода. При анализе Waveform следует учитывать, что Cdec=Adec+Bdec в десятичном виде.

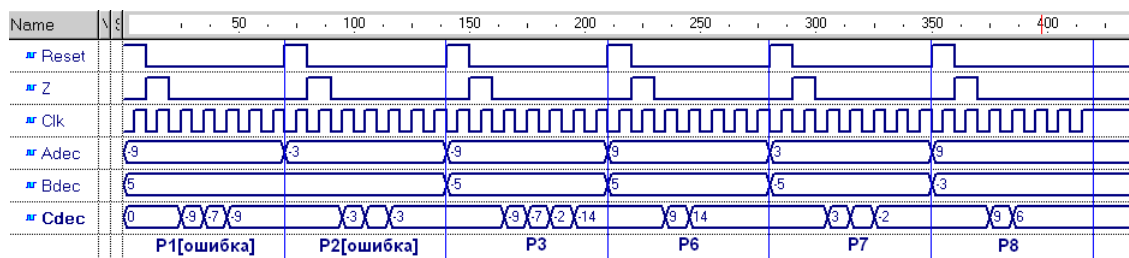


Рис. 9. Временные диаграммы проведения ДЭ для ошибочного HDL-кода УА

В результате анализа проведения ДЭ проверки  $P_1$  и  $P_2$  положительны (результат не совпал с эталоном), а остальные отрицательны, т.е. ВЭП будет  $V=(1, 1, 0, 0, 0, 0)$ .

Место возникновения ошибки в HDL-коде (перечень подозреваемых дуг графа,  $D$ ) определяется путем анализа маршрутов обхода графа переходов по формуле, где  $M_j$  –  $j$ -я строка таблицы проверок (таблица):

$$D = \bigcap_{v_j=1} M_j - \bigcup_{v_j=0} M_j, \quad (1)$$

$$D = \{a,b,d,f,h\} \cap \{a,b,d,m\} - \{a, b, g, h, j\} \cup \{a, c, m\} \cup \{a, e, g, h\} \cup \{a, e, k\} = \\ = \{a, b, d\} - \{a, b, c, e, g, h, j, k\} = \{d\}.$$

Таким образом, ошибочный оператор находится в группе операторов, связанных с состоянием  $a_2$  по ветви  $x_2=0$  (см. рис.1,б), что соответствует присутствующей ошибке проектирования.

## 5. Выводы

Предложен метод диагностирования HDL-модели микропрограммного автомата путем проведения диагностического эксперимента по обходу всех дуг графа управляющего автомата, начиная с начальной вершины. При этом осуществляется инициализация всех микроопераций операционного автомата, а операнды и результаты проверяются по спецификации реализуемой микропрограммы. Диагностический эксперимент проводится на примере микропрограмм сложения знаковых чисел в дополнительном модифицированном коде для управляющего автомата Мура. Введено понятие совместимых последовательностей микроопераций, которые обеспечивают проведение диагностического эксперимента для непротиворечивых числовых значений операндов. Локализация ошибок проектирования в HDL-модели управляющего автомата осуществляется до группы операторов HDL-кода, связанных с реализацией ошибочного перехода в графе автомата. Данные (оповестительные сигналы) на управляющий автомат подаются путем эмуляции функций операционного автомата в системе верификации HDL-моделей (Test Bench) САПР Active-HDL. Полученные результаты также проверялись в САПР VCS 2014.12 и Riviera-PRO EDU 2015.06.

Вопросы автоматизации выбора конкретных числовых значений операндов для квазиоптимального обхода всех дуг графа переходов управляющего автомата являются предметом дальнейших исследований.

**Список литературы:** 1. *Майоров С.А.* Структура электронных вычислительных машин / *С.А. Майоров, Г.И. Новиков.* Л.: Машиностроение, 1979. 384 с. 2. *Шкиль А.С.* Модель процесса перехода от содержательного графа микропрограммы к графу автомата / *А.С. Шкиль, В.И. Хаханов, Е.В. Ковалев* // АСУ и приборы автоматики. 2000. Вып. 112. С. 112-120. 3. *Шкиль А.С.* Поиск ошибок проектирования в HDL-моделях цифровых автоматов / *С. Альмадхоун, Е.Е. Сыревич, А.С. Шкиль* // Вестник Херсонского государственного технического университета. 2013. №2 (46). С. 377-383. 4. *Шкиль А.С.* Автоматизация поиска ошибок проектирования в HDL-моделях конечных автоматов / *А.С. Шкиль, Г.П. Фастовец, А.С. Серокурова* // АСУ и приборы автоматики. 2014. Вып.168. С. 43-52.

*Поступила в редколлегию 22.09.2015*

**Шкиль Александр Сергеевич**, канд. техн. наук, доцент кафедры АПВТ ХНУРЭ. Научные интересы: диагностика цифровых систем, дистанционное образование. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 702-13-26.

**Кулак Эльвира Николаевна**, канд. техн. наук, доцент кафедры АПВТ ХНУРЭ. Научные интересы: автоматизированное проектирование цифровых автоматов. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 702-13-26.

**Серокурова Анна Сергеевна**, аспирантка кафедры АПВТ ХНУРЭ. Научные интересы: техническая диагностика цифровых автоматов. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 702-13-26.

## РЕФЕРАТИ

---

УДК 681.518:004.93.1'

**Метод прогнозування рівня сприйняття якості обслуговування в інформаційно-телекомунікаційних системах** / В.В. Москаленко, С.В. Пімоненко // АСУ та прилади автоматики. 2015. Вип. 172. С. 4-12.

Запропоновано в рамках функціонально-вартісного аналізу синтез вирішальних правил для прогнозування рівня сприйняття якості обслуговування клієнтів інформаційно-телекомунікаційної системи. При цьому розглянуто застосування узагальненого критерію І.В. Кузьміна, інформаційна складова якого обчислюється в процесі інформаційно-екстремального навчання, а вартісна складова – в процесі підрахунку затрат на формування вхідного математичного опису системи та втрат внаслідок помилок прогнозування.

Лл. 4. Бібліогр.: 9 назв.

UDC 681.518:004.93.1'

**Methods of forecasting levels of perceived quality of service information and telecommunication systems/** V.V. Moskalenko, S.V. Pimonenko // Management Information System and Devices. 2015. N 172. P. 4-12.

It is proposed in the framework of activity-based costing synthesis of decision rules for predicting the level of pro-perception of service quality information and telecommunications systems. This is considered the application of the generalized criterion I.V. Kuzmina, the information component which is calculated in the process of information-extreme training, and the value component in the process of calculating costs on the formation of the mathematical description of the input systems we loss due to forecast errors.

Fig. 4. Ref.: 9 items.

---

УДК 621.39

**Концепція формування стратегії нормування з урахуванням структурної насиченості аерофотознімків** / В.В. Бараннік, А.О. Красноручий, С.Ю. Стасєв// АСУ та прилади автоматики. 2015. Вип. 172. С.13-17.

Розглянуто існуючі технології обробки зображень в сучасних інформаційно-телекомунікаційних системах. Вказано на наявність протиріччя між часовими витратами на доставлення даних зображення і підтримки відповідності відновлених фрагментів вихідному аерофотознімку. Описуються характеристики компонент трасформанти для ділянок зображення з різноманітною структурною складністю. Обґрунтовано застосування роздільної стратегії нормування з урахуванням структурної складності аерофотознімків.

Табл. 1. Лл. 2. Бібліогр.: 6 назв.

UDC 621.39

**The concept of forming valuation strategy based on the structural saturation of aerial photographs /** V. Barannik, A.Krasnoruckiy, S. Stasev // Management Information System and Devices. 2015. N 172. P. 13-17.

We consider the existing imaging technologies in modern information and telecommunication systems. It indicates the presence of contradictions between the time spent on the delivery of image data and maintain compliance with the recovered fragments of the original aerial photographs. It describes the characteristics trasformanty component parts of the image with different structural complexity. Separation of rationing strategy based on the structural complexity of aerial photographs has been demonstrated.

Tab. 1. Fig. 2. Ref.: 6 items.

---

УДК 519.7

**Модель реляційного неявного знання** / В.М. Левикін, О.В. Чала // АСУ та прилади автоматики. 2015. Вип. 172. С. 18-21.

Розглянута проблема моделювання неявного знання. Описані особливості реляційного неявного знання і виконана його структуризація на приховані й очевидні неформалізовані залежності між сутностями; приховані залежності між різними моделями предметної області; приховані правила використання реляційних знань. Запропонована модель реляційних неявних знань, яка включає допустимий набір станів для сутностей заданої предметної області, неявні відносини переходів між цими станами, інтерпретацію взаємозв'язків між станами, а також обмеження на використання неявних знань.

Лл. 1. Бібліогр.: 10 назв.

UDC 519.7

**The relational model of tacit knowledge** / V.M. Levykin, O.V. Chala // Management Information System and Devices. All-Ukr.Sci.Inerdep.Mag. 2015. N 172. P. 18-21.

The problem of modeling of explicit knowledge is considered. The features of relational tacit knowledge are formulated. Main elements of the relational tacit knowledge are defined: the hidden and obvious formalized relationship between the entities; hidden dependencies between the domain model; hidden rules of using relational knowledge. A relational model of tacit knowledge, which includes a valid set of states for a given domain of entities, the implicit transition relationships between these states, the interpretation of the relationship between states, as well as restrictions on the use of tacit knowledge.

Fig. 1. Ref.: 10 items.

---

УДК 681.518.5

**Діагностування HDL-моделей мікропрограмних автоматів** / О.С. Шкіль, Е.М.Кулак, А.С.Сірокурова // АСУ та прилади автоматики. 2015. Вип. 172. С. 22-31.

Розглянуті методи пошуку помилок проектування в HDL-моделях мікропрограмних автоматів. Вихідний опис автомата представлений композицією операційного і керуючого автоматів, яка описується змістовною граф-схемою алгоритму. HDL-модель керуючого автомата представлена у формі двопроцесного автоматного шаблону автомата Мура. Діагностичний експеримент проведено шляхом обходу усіх дуг графа переходів керуючого автомата, починаючи від початкової вершини, шляхом емуляції функцій операційного автомата в системі верифікації HDL-моделей (TestBench) в середовищі автоматизованого проектування Active-HDL.

Табл. 1. Іл. 9. Бібліогр.: 4 назви.

UDC 681.518.5

**Diagnosis the HDL-models of microprogrammed finite state machines** / A.S. Shkil, E.N. Kulak, A.S.Sirokurova // Management Information System and Devices. 2015. N 172. P. 22-31.

Methods for searching design errors in HDL-models of microprogrammed finite state machines were considered. The initial description of the finite state machine is represented by a composition of operational and control state machines, which is described by the pithy flow chart of an algorithm. HDL-model of the control state machine is represented in the form of two-process automata template of the Moore state machine. Diagnostic experiment is conducted by means of the arcs of the transition graph of the control automatic state machine, from the initial node, by emulating functions of the operational finite state machine in the verification system of HDL-models (TestBench) in the design environment Active-HDL.

Tab. 1. Fig. 9. Ref.: 4 items.

---

УДК 681.518

**Розробка програмного модуля безконтактного теплового контролю якості радіоелектронних модулів на друкованій платі** / Д.В. Гуріна, І.В. Гарячевська // АСУ та прилади автоматики. 2015. Вип. 172. С. 32-37.

Розглянуті методи перевірки якості друкованих плат. Поліпшено метод теплового неруйнівного контролю якості друкованих плат. На підставі методу теплового неруйнівного контролю якості друкованих плат розроблено програмний продукт, що дозволяє автоматизувати процес контролю 4 і більше друкованих плат на конвеєрі.

Іл. 3. Бібліогр.: 3 назви.

UDC 681.518

**Development of a software module contactless heat control of the quality of electronic modules on the circuit** / D.V. Gurina, I.V. Garyachevska // Management Information System and Devices. 2015. N 172. P. 32-37.

The article describes the methods for testing the quality of printed circuit boards. Examined and improved method of thermal non-destructive inspection. Based on the method of thermal non-destructive quality control of printed circuit boards designed software that allows you to automate the process of monitoring of 4 or more printed circuit boards on the conveyor.

Fig. 3. Ref.: 3 items.

---

УДК 004.89

**Управління знаннями на автоматизованому підприємстві** / М.Ю. Вишняк, І.М. Климова // АСУ та прилади автоматики. 2015. Вип. 172. С. 38-43.

Впровадження управління знаннями на автоматизованому підприємстві далеко не завжди забезпечує очікуваний результат. Основна причина - різні тлумачення базових понять, наслідком чого є підміна управління знаннями іншими видами управлінь. Викладена точка зору, що виявляє концептуальні обмеження сучасних систем управління знаннями

Табл. 1. Іл. 3. Бібліогр.: 9 назв.

UDC 004.89

**Knowledge management at automotive company** / M.Yu. Vishnyak, I.N. Klimova // Management Information System and Devices. All-Ukr. Sci. Interdep. Mag. 2016. N 172. P.38-43.

The implementation of knowledge management for the automated enterprise does not always lead to the expected result. The main reason is that different interpretations of basic concepts, resulting in a substitution of knowledge management in other types of management. We present a point of view to identify the conceptual limitations of modern knowledge management systems.

Tab. 1. Fig. 3. Ref.: 9 items.

---

УДК 519.7

**Про можливі подання матриць лінійних логічних операторів** / А.М. Гвоздинський, Н.А. Якімова, В.О. Губін // АСУ та прилади автоматики. 2015. Вип.172. С.44 – 47.

Розглянуто процес побудови матриць лінійних логічних операторів у різних випадках подання логічних просторів. Показано, що для булевих просторів будь-яка матриця є матрицею оператора. Для предикатних просторів для арності матриць є певні вимоги. Для порядкових просторів таких обмежень немає, бо матриця подається у бінарнопредикатному вигляді.

Табл.2. Бібліогр.: 8 назв.

---

UDC 519.7

**The possible representation of matrices linear Boolean operators** / A.N. Gvozdinsky, N.A. Yakimova, V.A. Gubin // Management Information System and Devices. 2015. N.172. P.44 – 47.

In this article is shown the process of constructing of the matrices of linear Boolean operators in different cases representation of logical spaces. It's shown that for Boolean spaces any matrix is an operator's matrix. To the dimensions of the matrices have certain requirements for predicative spaces. It is not such restrictions for the sequence spaces, because the matrix is represented as a binary predicate.

Tab.2. Ref.: 8 items.

---

УДК 004.912

**Метод пошуку релевантних зв'язків між концептами онтологій, що проектуються** / Л.Е.Чала, А.В.Чижевський, О.Б.Волощук // АСУ та прилади інформатики. 2015. Вип. 172. С. 48–55.

Запропоновано метод визначення найбільш релевантних зв'язків між концептами онтологічних моделей, що формуються. Обчислювальна схема методу, яка ґрунтується на модифікованому алгоритмі Гінзбурга, дозволяє поліпшити якість автоматично створюваних онтологій. Метод може бути ефективно використано для задач семантичного пошуку в системах інтелектуального аналізу електронних текстів та формування онтологічних моделей предметної області.

Лл. 1. Бібліогр.: 6 назв.

---

UDC 004.912

**Method of search of relevant connections between concepts of the designed ontologies** / L.E.Chala, A.V. Chyzhevskiy, O.B.Voloshchuk // Management Information System and Devices. N.172. P.48 – 55.

In the article the method of determination most of relevant connections between concepts of the designed ontological models is proposed. The calculus procedure of method, based on modification of Ginsburg's algorithm, allows improving quality automatically created ontologies. A method can be effectively used for the tasks of semantic search in the intellectual analysis systems of e-texts and forming of ontological models of subject domain.

Fig. 1. Ref.: 6 items.

---

УДК 519.613:681.326

**Синтез та аналіз «квантових» моделей цифрових систем** / І.В. Хаханов, Є.І. Литвинова // АСУ та прилади інформатики. 2015. Вип. 172. С. 56–70.

Запропоновано «квантовий» процесор для моделювання і верифікації цифрових систем, заснований на транзакціях між адресованими компонентами пам'яті для реалізації будь-якої функціональності. Описано новий підхід до синтезу та аналізу цифрових систем, що використовує векторну форму (квант) завдання комбінаційних і послідовних структур для їх імплементації в елементи пам'яті, що істотно відрізняється від загальноприйнятої теорії проектування дискретних пристроїв на основі таблиць істинності компонентів.

Лл. 9. Бібліогр.: 14 назв.

UDC 519.613:681.326

**Synthesis and analysis of "quantum" models for digital systems** / I.V. Hahanov, Ye.I. Litvinova// Management Information System and Devices. N.172. P.56 – 70.

A "quantum" processor for simulation and verification of digital systems, based on transactions between the addressed memory components to implement any functionality, is proposed. A new approach to the synthesis and analysis of digital systems is described; it is based on the use of the vector form (quantum) of the representation of combinational and sequential structures for their implementation in the memory cells that is significantly different from the conventional theory of designing discrete devices based on the truth table components.

Fig. 9. Ref.: 14 items.

---

УДК 629.391

**Метод непрямого стеганографічного перетворення на основі використання функціоналу для адаптивного позиційного кодування** / В.В. Бараннік, О.К. Юдін, О.В. Фролов // АСУ та прилади інформатики. 2015. Вип. 172. С. 71–75.

Розроблено метод непрямого стеганографічного вбудовування на основі використання функціоналу для адаптивного позиційного кодування. На основі розробленого методу спроектована система непрямого стеганографічного вбудовування, яка дозволяє вбудовувати інформацію шляхом модифікації основ елементів зображення-контейнера. Проведено аналіз зображень, отриманих в результаті зворотнього стеганографічного перетворення.

Бібліогр.: 3 назви.

UDC 629.391

**Method of indirect steganography transformation based on functional adaptive coding position** / V.V. Barannik, O.K. Yudin, O.V. Frolov // Management Information System and Devices. N.172. P.71 – 75.

Method of indirect steganographic embedding based on functionality for adaptive positional coding is developed. The system of indirect steganographic embedding which allows embed information by modification of the image container elements bases is designed. The analysis of the images received as a result of inverse steganographic transformation is carried out.

Ref.: 3 items.

---

УДК 621.39

**Модель оцінки інформативності слоту Р-кадрів на основі виявлення структурно-градієнтних міжтрансформантних обмежень** / В.В. Бараннік, С.С. Шульгін // АСУ та прилади інформатики. 2015. Вип. 172. С. 76–81.

Обґрунтовано напрям обробки динамічного відеоінформаційного ресурсу для підвищення інформаційної безпеки з використанням міжтрансформантної обробки. Розроблено модель оцінки бітової інтенсивності слотів Р-кадрів на основі ефективного синтаксичного представлення інформативних диференційно описаних спектрограм з урахуванням узагальненої характеристики градієнтного простору локально-структурних (градієнтних) обмежень. Показано, що такий тип структурних закономірностей обумовлений цілою низкою причин, а саме: наявність корельованості між відеокадрами; незначні зміни освітленості об'єктів відеосцен; залежно між компонентами ДКП сусідніх трансформант; попереднє зниження динамічного діапазону елементів спектрограм в результаті їх диференційного опису. Обґрунтовано потенційні характеристики створюваного підходу щодо додаткового зниження бітової інтенсивності динамічного інформаційного ресурсу.

Бібліогр.: 5 назв.

UDC 621.39

**Model for estimating informative slot P-frames, based on identifying structurally graded inter-transformation limitations** / V. V. Barannik, S. S. Shulgin // Management Information System and Devices. N.172. P.76 – 81.

Model for evaluating bit intensity slots of P-frame is developed based on efficient parsing informative presentation of differential-described spectrograms by using the characteristics of the generalized gradient space locally-structural (gradient) limitations. Potential characteristics of proposed approach have been proved via additionally reduce the bit rate of dynamic information resource.

Ref.: 5 items.

---

УДК 621.327:681.5

**Селективний метод шифрування відеопотоку в телекомунікаційних системах на основі приховування базового I-кадру** / В.В. Бараннік, Д.І. Комолов // АСУ та прилади інформатики. 2015. Вип. 172. С. 82–87.

Розглянуто селективний метод шифрування відеокадрів, заснований на приховуванні базового I-кадру. Робота даного методу базується на основі обробки групи кадрів з урахуванням алгоритму MPEG, який реалізований за принципом формування послідовності відеокадрів різних типів. Представлено алгоритми і схеми кодування і декодування відеопотоку із застосуванням даного методу. Розробляється метод оцінки обсягу прихованого I-кадру і його стисненого подання без приховування щодо групи кадрів в процентному співвідношенні. Проаналізована зміна обсягу стисненого уявлення групи кадрів з прихованим базовим кадром щодо стисненого початкового об'єму групи кадрів залежно від різних значень пікового відношення сигнал / шум для різних типів кадрів. Розроблена методологічна база для визначення різниці між обсягами стисненого уявлення групи кадрів із застосуванням приховування базового I-кадру і без приховування в процентному співвідношенні

Бібліогр.: 4 назви.

UDC 621.327:681.5

**Selective video stream encryption methods in telecommunication systems based on hidden basic I-frames** / V.V. Barannik, D.I. Komolov // Management Information System and Devices. N.172. P.82 – 87.

In this article the selective encryption method of video frames based on a hidden baseline I-frame. The work of this method is based on the processing-frame, taking into account the algorithm MPEG. The article also presents algorithms, coding and decoding the video stream using this method.

Ref.: 4 items.