МОДЕЛІ ЧАСОВИХ АВТОМАТІВ В СИСТЕМАХ ЛОГІЧНОГО УПРАВЛІННЯ РЕАЛЬНОГО ЧАСУ

Малишенко Д. О.
Науковий керівник – к.т.н., доц. Шкіль А. С.
Харківський національний університет радіоелектроніки
(61166, Харків, пр. Науки, 14, каф. Автоматизації проектування обчислювальної техніки)
e-mail: dmytro.malyshenko@nure.ua, +380980972121

In this research was analyzed real-time systems which make some adjustments to the classical theory of automata, namely, they introduce delays in states and transitions of automatons, use temporal graphs of transitions, different types of delays, events as one form of input actions. The issues of construction of timed finite-state machines that take into account timing constraints, timeouts and output delays are considered. To describe these models in the language of the description of the VHDL equipment in computer aided design developed a three-process template in the style of automatic programming.

Серед усієї множини систем управління значну частину складають системи логічного управління (Logical Control System), у яких керуючі сигнали приймають значення логічного нуля або одиниці в залежності від граничних значень фізичних величин, що визначають дані параметри. Для технічної реалізації зазначених систем найбільш придатною є модель структурного автомата (Finite State Machines), а візуальним поданням алгоритму функціонування є граф переходів (State Diagram). Відмінною особливістю автоматів логічного управління є наявність серед вхідних сигналів (Input Values) не тільки оповістних сигналів операційного автомата, а й зовнішніх по відношенню до керованої системі подій зовнішнього світу (external events). Кінцеві керуючі автомати (FSM) функціонують в автоматному часу, який визначається тактами роботи автомата. Але більшість реальних систем логічного управління взаємодіють із зовнішнім світом в метричному часу, тобто є системами реального часу.

Система управління реального часу - система, в якій результуюча дія залежить не тільки від логічних значень простих керуючих дій, а й від часу, протягом якого ці дії проводяться. Головна відмінність завдань в реальному часі від завдань, не залежних від часу, полягає в тому, що в системах реального часу завдання повинні завершитися в межах заданого проміжку часу, який дозволяє коректно завершити процес обробки даних. Для їх реалізації прийнято використовувати модель часового автомата (timed FSM), яка дозволяє враховувати вплив метричного часу на переходи між технічними станами керованої системи. Будь-який локальний цифровий пристрій, що реалізує алгоритм обробки інформації або управління, може бути реалізований двома способами: апаратним або програмно-апаратним. При апаратному способі реалізації заданий

алгоритм описується на мові опису апаратури (HDL) і синтезується інструментальними засобами систем автоматизованого проектування (САПР) в ПЛІС (програмовані логічні інтегральні схеми). Перевагою такого підходу є апаратна гнучкість (можливість реалізувати будь-який алгоритм) і досить велика швидкодія.

При описі алгоритму функціонування цифрових пристроїв логічного керування в САПР цифрових пристроїв одним із стилів написання коду є стиль автоматного програмування. У автоматному програмуванні в якості базового використовується поняття «стан» Стан - це математична абстракція, яка однозначно ставиться у відповідність кожному з фізичних станів об'єкта управління, так як зазвичай функціонування технічних систем проявляється через зміну їх станів.

При описі поведінки систем управління реального часу необхідно враховувати часові аспекти в їх поведінці. Для цього модель кінцевого автомата розширюється введенням часової змінної, і вводиться поняття часового автомата (timed automata, timed FSM). Часова змінна (timed variable) постійно збільшує своє значення і "скидається" в 0 при переході вхідного сигналу і переході автомата в новий стан. Для опису часових аспектів в автоматної моделі використовуються, як правило, три параметра: часові обмеження t_c (timing constraints), (вхідні) таймаут t_{to} (timeouts) і вихідні затримки t_d (output delays), іноді називаються вихідними таймаутами. Вхідний таймаут визначає максимальний час очікування вхідного впливу (події) для кожного стану автомата. Якщо вхідний символ не був поданий до закінчення часу очікування, то автомат починає опитування вхідних змінних і може перейти в інший стан.

Затримка T_i (яка може розглядатися як timeout) здійснюється багатократним переходом із стану в цей же стан, при цьому число переходів визначається числом тактів затримки. Значення лічильника count порівнюється з T_i-1, оскільки при переході в стан aj, автомат один такт знаходиться в нім до перевірки count, і щоб затримка була точно T_i тактів, необхідно ще T_i-1 тактів повторення.

Моделювання розробленої VHDL-моделі в системі Active-HDL і синтез схеми інструментальними засобами САПР XILINX ISE в ПЛІС на платі Spartan 3E показали працездатність запропонованої моделі. При цьому апаратурні витрати не виходять за межі стандартних показників для кодування станів автомата і формування розрядів лічильника автоматних тактів.

Список використаних джерел:

1. Shkil A. Design of real-time logic control system on FPGA / M. Miroschnyk, A. Shkil, E. Kulak, D. Rakhlis, I. Filippenko, M. Hoha, M. Malakhov, V. Serhiienko // Proceedings of 2019 IEEE East-West Design & Test Symposium, September 13-16, Batumi, Georgia, 2019. – P.489-491.