

ДОДАТОК А

Графічний матеріал кваліфікаційної роботи



Харківський національний університет радіоелектроніки

Кафедра «Електронних обчислювальних машин»

Кваліфікаційна робота

на тему:

HDL-модель керуючого автомату паралельної дії

Виконав: ст. гр. СПм-22-4

Коломоєць Борис Михайлович

Керівник: к.т.н., доцент Бовчалюк С. Я.

2024 р.



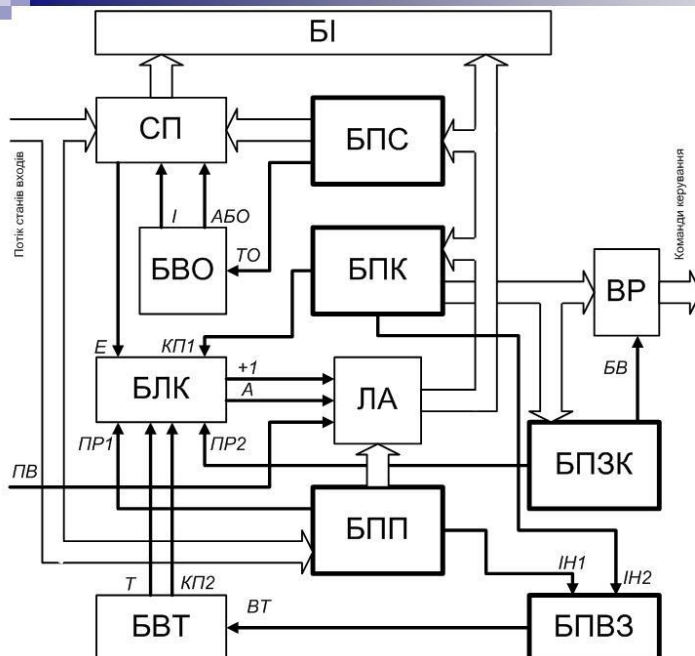
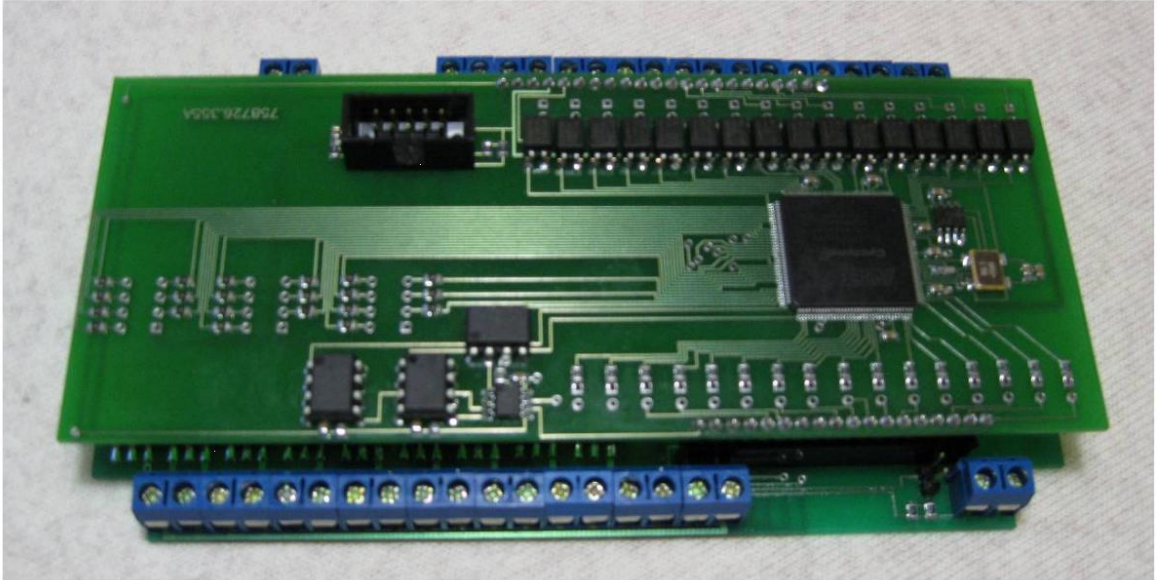
Мета і задачі дослідження

Метою кваліфікаційної роботи є розробка HDL-моделі логічного керуючого автомату паралельної дії з розширеним функціоналом у вигляді програмованих таймерів, для формування можливості його практичної реалізації на базі ПЛІС.

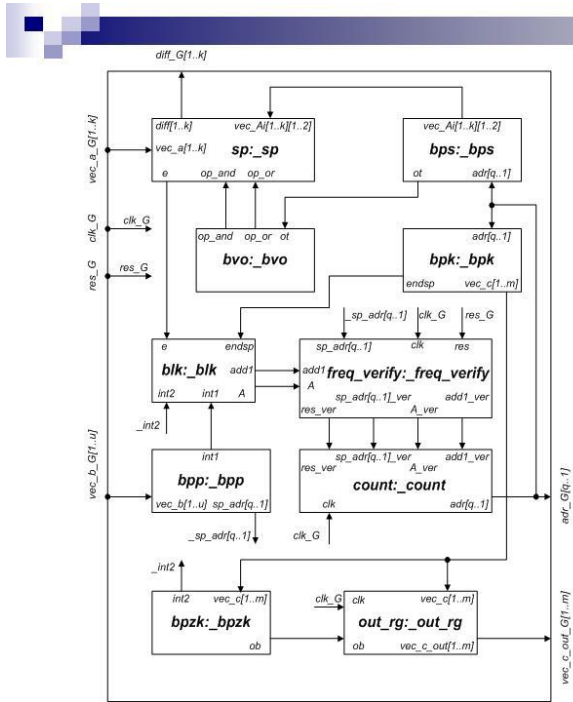
Відповідно до зазначеної мети необхідно розв'язати наступні часткові завдання дослідження:

- 1) провести детальний аналіз керуючих структур з паралельною архітектурою, розглянути їх переваги та недоліки, визначити шляхи та можливості вдосконалення;
- 2) розглянути існуючі HDL-моделі ЛКА ПД на базі ПЛІС, визначити шляхи інтеграції до існуючих моделей елементів, що реалізують додатковий функціонал;
- 3) провести аналіз існуючих систем автоматизованого проектування для роботи з кристалами ПЛІС, визначити пріоритетні САПР для реалізації HDL-моделі ЛКА ПД;
- 4) розробити HDL-модель ЛКА ПД, що містить у собі елементи для реалізації програмованих таймерів і задовольняє вимогам реалізації фізичного прототипу ПЛІС-контролера нового покоління.

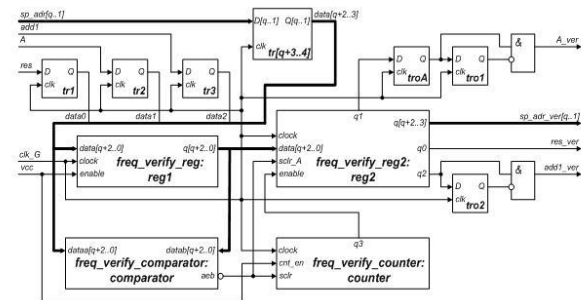
Промисловий зразок ПЛІС-контролера паралельної дії



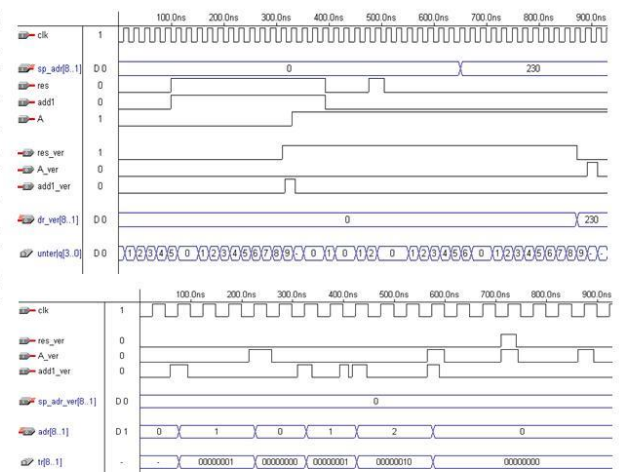
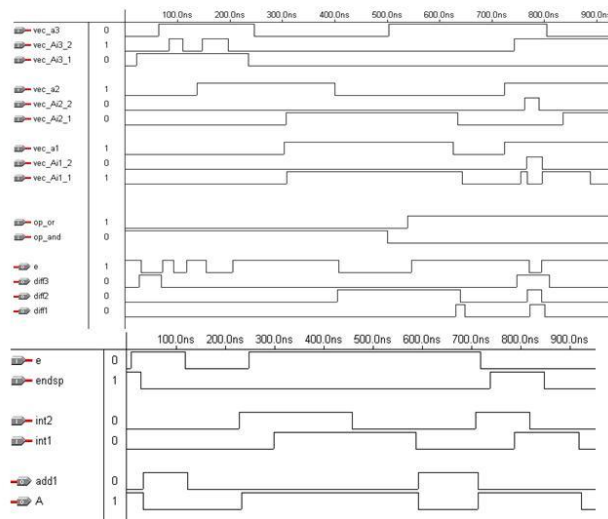
Структура ПЛІС-
контролера
паралельної дії з
розширеними
функціональними
можливостями



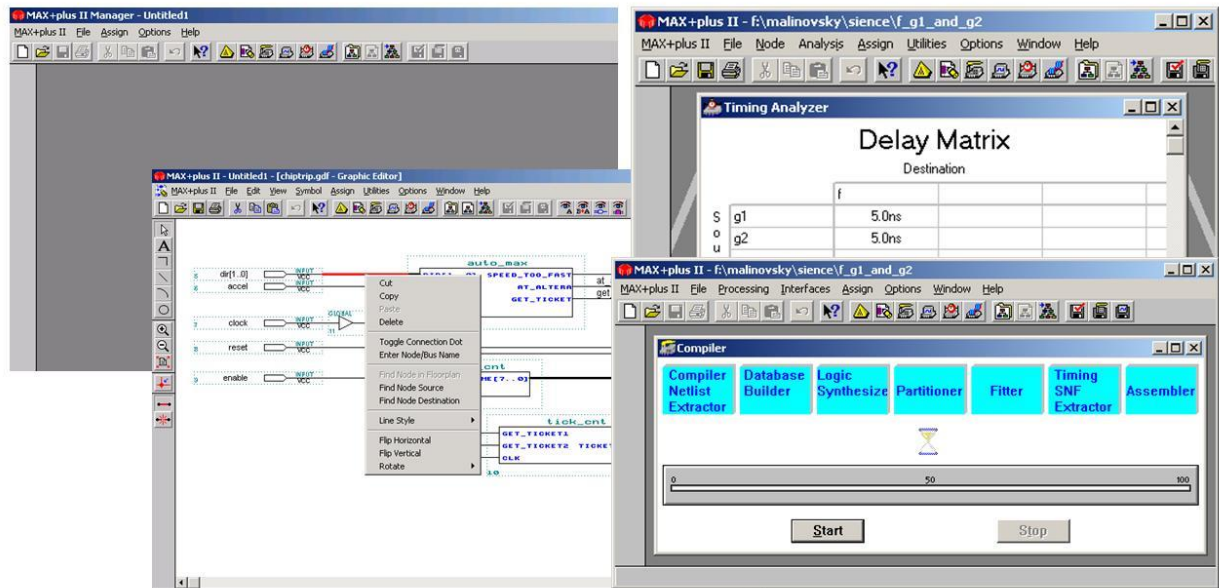
HDL-модель класичного ПЛІС- контролера паралельної дії



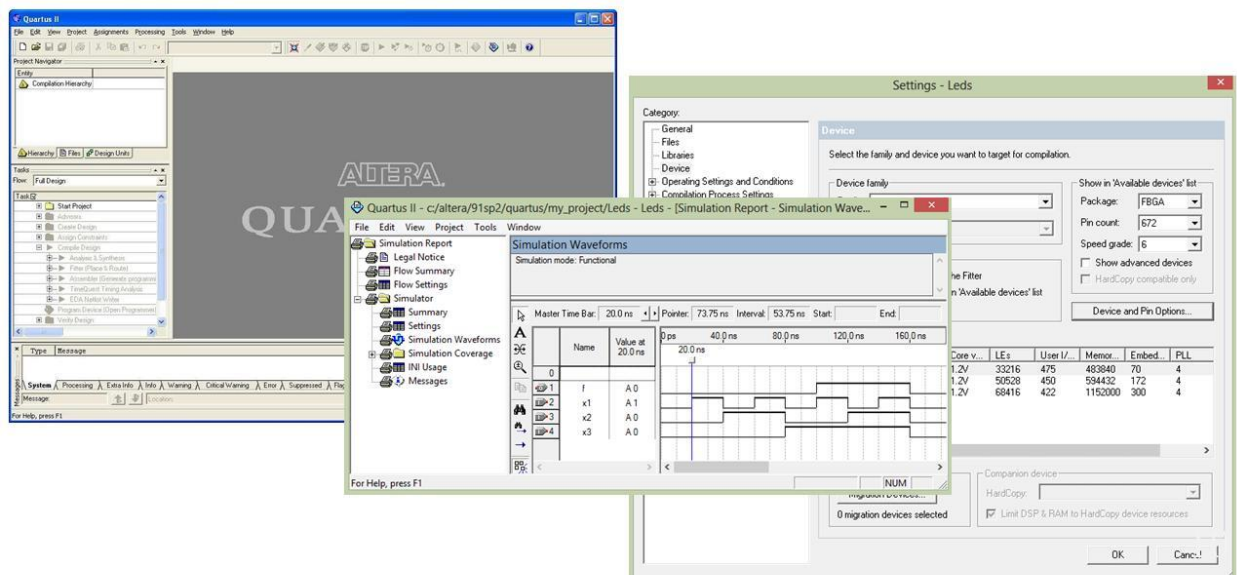
Результати моделювання функціональних блоків класичної HDL-моделі ЛКА ПД

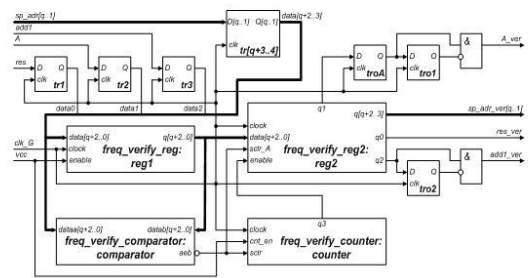
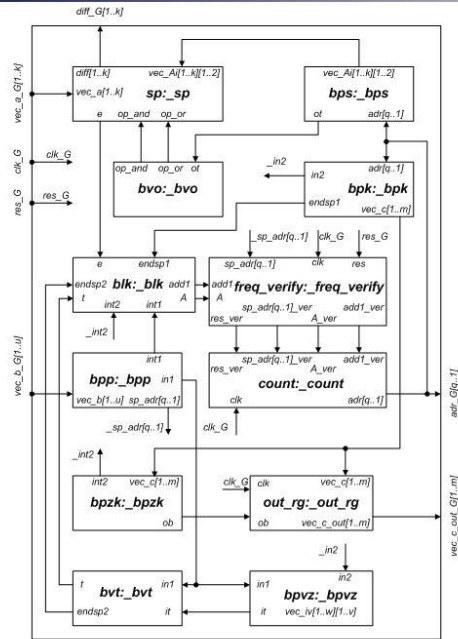


САПР MAX + PLUS II BASELINE



САПР сімейства Quartus





Апробація результатів дослідження

[illegible]



Висновки

У процесі виконання кваліфікаційної роботи було проведено аналіз керуючих структур з паралельною архітектурою, розглянуто структуру класичного ПЛІС-контролера паралельної дії, досліджено і визначено особливості ПЛІС-контролера з розширеними функціональними можливостями.

Розглянуто загальні характеристики та особливості застосування сучасних кристалів ПЛІС. Проведено аналіз HDL-моделі ПЛІС-контролера ПД, визначено можливості і підходи до її вдосконалення та інтеграції рішень для реалізації програмованих користувачем таймерів.

Проведено детальний аналіз інструментальних засобів розробки HDL-моделей керуючих пристроїв з паралельною архітектурою.

Виконано розробку HDL-моделі вдосконаленого логічного керуючого автомата паралельної дії, у складі якого присутні елементи, що реалізують програмовані користувачем таймери.

ДОДАТОК Б

Наукові публікації за темою кваліфікаційної роботи

ISSN 2073-7394

Національний університет
"Полтавська політехніка імені Юрія Кондратюка"

National University
"Yuri Kondratyuk Poltava Polytechnic"

**Системи
управління,
навігації
та зв'язку**

**Control,
navigation and
communication
systems**

Випуск 2 (76)

Issue 2 (76)

Щоквартальне видання

Засноване у 2007 році

У журналі відображені результати наукових досліджень з розробки та удосконалення систем управління, навігації та зв'язку у різних проблемних галузях.

Засновник і видавець:
Національний університет
"Полтавська політехніка імені Юрія Кондратюка"

Телефон:
+38 (050) 302-20-71

E-mail редколегії:
kuchuk_nina@ukr.net

Інформаційний сайт:
<http://journals.nupp.edu.ua/sunz>

Quarterly

Founded In 2007

Journal represent the research results on the development and improvement of control, navigation and communication systems in various areas

Founder and publisher:
National University
"Yuri Kondratyuk Poltava Polytechnic"

Phone:
+38 (050) 302-20-71

E-mail of the editorial board:
kuchuk_nina@ukr.net

Information site:
<http://journals.nupp.edu.ua/sunz>

За достовірності викладених фактів, цитат та інших відомостей відповідальність несе автор

Журнал індексується міжнародними наукометричними базами: Index Copernicus (ICV = 82.05),
Scopus Impact Factor, Google Scholar, Academic Resource Index, Scilit Indexed Service

Затверджений до друку Вченою Радою Національного університету
"Полтавська політехніка імені Юрія Кондратюка" (протокол від 30 квітня 2024 року № 5).

Свідоцтво про державну реєстрацію КВ № 24464-14404 ПР від 27.03.2020 р.

Включений до "Переліку наукових фахових видань України, в яких можуть публікуватися результати дисертаційних робіт на здобуття наукових ступенів доктора наук, кандидата наук та ступеня доктора філософії" до категорії Б – наказами МОН України від 17.03.2020 № 409 та від 09.02.2021 № 157

Полтава • 2024

© Національний університет "Полтавська політехніка імені Юрія Кондратюка"

З М І С Т

НАВІГАЦІЯ ТА ГЕОІНФОРМАЦІЙНІ СИСТЕМИ

Гурін А. П., Худов Г. В., Масленко О. В., Мико П. С., Саламоненко Ю. С. Метод пошуку об'єктів інтересу за спектральними ознаками на зображеннях з активної оптико-електронної системи спостереження	5
Нечаускас А. С., Горелік С. І., Андреев С. М., Лактіна А. В. Методика аналізу зон пішої доступності укриттів залежно від типу балістичних снарядів за допомогою сучасних засобів геопросторового аналізу	11

АВТОМОБІЛЬНИЙ, РІЧКОВИЙ, МОРСЬКИЙ ТА АВІАЦІЙНИЙ ТРАНСПОРТ

Головань А. І. Дослідження процесів адаптивізації системи технічного обслуговування за результатами зміни стану суднових технічних засобів	18
Савчук В. П., Зінченко Д. О., Дзюбар А. К., Сатулів А. І. Порівняльний аналіз напружено-деформованого стану модернізованих поршнів малооборотних суднових двигунів WARTSILA RT-FLEX96C та RTA96C	24
Симбірський Г. Д., Плехова Г. А., Костікова М. В., Очеретинко С. В. Застосування інформаційних технологій та мікропроцесорної техніки для проведення вимірювань у транспортних засобах	28

УПРАВЛІННЯ В СКЛАДНИХ СИСТЕМАХ

Василенський М. О., Чала О. О. Автоматизація внутрішньо-складських виробничих логістичних процесів для впровадження концепції INDUSTRY 4.0: енергоощадливість, продуктивність, мобільність, модульність, автономність	34
Запорожець О. В., Штефан Н. В., Яценко І. С. Вимірювання якості програмного забезпечення на основі стандартів SQUARE	39
Леві Л. І., Бороздін М. К., Ястреба О. С. Застосування комбінаторно-графового підходу до оперативного управління інженерними мережами	44
Трухан А., Zhukov D., Bereznyy A. Models of the system of collective self-organisation of unmanned aerial vehicles using artificial intelligence	47

ІНФОРМАЦІЙНІ ТЕХНОЛОГІЇ

Аль-Аммарі Алі, Ключан А. С., Дегтярєва А. О., Шкурко О. П., Аль-Аммарі Х. А. Інформаційна модель аналізу пожеж силової установки повітряних суден	53
Baranenko R., Moskova A., Sas N., Kirbanova O. CRM tools to ensure the protection of intellectual property rights	60
Бончалою С. Я., Коломось Б. М., Коломось В. С., Гаращенко Я. В. Розвиток моделі та структури керуючих пристроїв з паралельною архітектурою	64
Бульба С. С., Солойнова О. І., Семеренко Ю. О. Дослідження алгоритмів пошуку оптимального шляху	67
Валк М. О., Курочкін В. С., Запороженко А. П., Пароніжкін П. А. Гібридний метод розподілу ресурсів в хмарних системах	70
Нідевич М. CIDER: assisted automation tool for C++ libraries testing	74
Дяченко Д. О., Кайда В. В., Лавченко А. О., Міхаль О. П. Методи функціонування пристроїв IoT з використанням машинного навчання	78
Єрьоміна Н. С., Калтун Ю. М., Беспалый А. В., Шматко Ю. М. Аналіз сучасних методів сегментації зображень в інтересах навігації мобільних роботів	82
Zhantonizhko D., Zubenko V., Mazhaev O., Huk A. Study of local image features detectors	87
Закопартний О. Ю., Хулан А. В. Оптимізація обчислення нейронних мереж за допомогою використання цілочисельної арифметики	90
Залеський В. Д., Іванюкський П. С., Федоренко В. М. Сучасні інструменти оркестрації даних для побудови конвеєрів автоматичної обробки даних	95
Іващенко Г. С., Овощенко О. І., Бондаренко М. Е., Здарик Н. В. Методи рішення задачі комівояжера на основі обчислювального інтелекту	99
Карпін А. О., Гевеский Д. О., Олійник Д. Г. Безперервне планування і ситуаційне управління як завдання штучного інтелекту що відчуває	106
Кожешніков Г. К., Черниш Д. С., Матяш О. Ю. Онтологічний підхід до перерозподілу навантаження Інтернету Речей	111
Ладомі В. Г., Мелешко С. В., Якименко М. С. Розробка та програмна реалізація інтелектуального вебсервісу для вивчення іноземної мови методом інтервальних повторень	115
Mezin D., Kuchuk N., Lyukhova A., Partuka S., Lyuktsia D. The method of observing moving objects	122
Мінухін С. В., Башкіров М. О. Дослідження ефективності методів генерації тестових даних в реляційних базах даних	127

С. Я. Бовчалюк, Б. М. Коломоєць, В. С. Коломоєць, Я. В. Гаращенко

Харківський національний університет радіоелектроніки, Харків, Україна

РОЗВИТОК МОДЕЛІ ТА СТРУКТУРИ КЕРУЮЧИХ ПРИСТРОЇВ З ПАРАЛЕЛЬНОЮ АРХІТЕКТУРОЮ

Анотація. Актуальність. За останнє десятиліття питанням розвитку і вдосконалення інформаційної технології паралельного логічного керування на базі ПЛІС-контролерів паралельної дії було присвячено не дуже багато уваги. У той же час в останніх дослідженнях було показано, що вдосконалення цієї технології, введення до її складу нового функціоналу, дозволить значно розширити сфери її застосування не тільки для керування об'єктами критичного застосування, але і для побудови систем керування значимими промисловими об'єктами. Одним із таких вдосконалень, що значно розширює функціонал ПЛІС-контролерів паралельної дії є введення внутрішніх таймерів і лічильників. **Метою** даної роботи є вдосконалення математичної моделі і архітектури програмованого логічного контролера паралельної дії і розширення його функціональних можливостей, шляхом введення до його складу програмованих таймерів. **Висновок.** За результатами проведених досліджень синтезовано структуру вдосконаленого логічного керуючого автомату паралельної дії, у якому додано можливість реалізації програмованих таймерів. Вдосконалено елементи математичної моделі ЛКА ПД, показано яким чином введення додаткових внутрішніх змінних впливає на реалізацію основних математичних залежностей, що визначають його функціонування. На базі запропонованої структури і елементів математичної моделі з'являється можливість побудови вдосконаленого алгоритму функціонування і HDL-моделі для фізичної реалізації ПЛІС-контролера паралельної дії.

Ключові слова: технологія паралельного логічного керування, програмований логічний контролер паралельної дії, ПЛІС-контролер, внутрішній програмований таймер.

Вступ

В одній з останніх публікацій за напрямком дослідження інформаційної технології паралельного логічного керування, а саме – керуючих архітектур паралельної дії, було визначено пріоритетність введення до таких структур внутрішніх програмованих користувачем таймерів і лічильників [1]. У той же час ні математичною моделлю, ні HDL-моделлю, ні алгоритмом функціонування ПЛІС-контролерів паралельної дії (ПД) не передбачено можливості реалізації подібного функціоналу [2-4]. До того ж для повноцінної реалізації вказаних функцій необхідна підтримка з боку мови програмування ПЛІС-контролерів ПД – ЯПЛК-М, а це також відкрите питання [5, 6].

До того ж аналіз моделей і структур програмованих керуючих автоматів паралельної дії (ПКА ПД) свідчить про їх фактичну «негнучкість», «закритість» або, фактично, реалізацію за допомогою концепції «жорсткої логіки».

Тобто, не дивлячись на фізичну реалізацію таких керуючих структур на базі ПЛІС, що за своєю суттю дозволяють створювати гнучкопрограмовані системи, по факту ніяких змін у саму структуру керуючого автомату внести не має можливості [7].

Метою цієї роботи є вдосконалення математичної моделі і архітектури програмованого логічного контролера паралельної дії і розширення його функціональних можливостей, шляхом введення до його складу програмованих таймерів.

Основна частина

На рис. 1 показано базову структуру сучасного ПЛІС-контролера паралельної дії, що покладено в основу промислових зразків і реалізовано на кристалах ПЛІС компанії Altera [8].

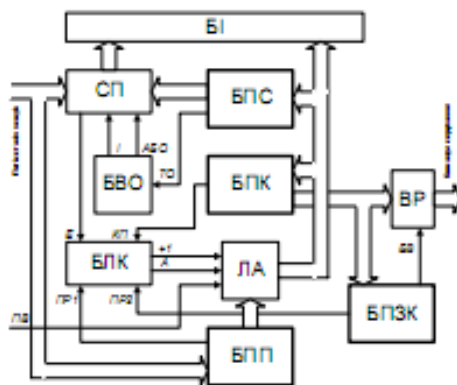


Рис. 1. Структура ПЛІС-контролера паралельної дії

Реалізація базових функцій логічного керування відбувається за рахунок перевірки істинності рівнянь, що записані у блок логічного керування:

$$A = KPI \vee PPI1 \vee PPI2; \quad (1)$$

$$+1 = E \wedge KPI \wedge PPI1 \wedge PPI2 \quad (2)$$

де KPI – ознака кінця підпрограми; $PPI1$ – ознака переривання від БПП; $PPI2$ – ознака переривання від БПЗК; A – початкова адреса підпрограми; E – сигнал еквівалентності; $+1$ – сигнал переходу до наступного рядка.

Сам керуючий автомат складається із наступних блоків: блоку індикації – БІ; схеми порівняння – СП; блоку вибору операцій – БВО; блоку логічного керування – БЛК; лічильника адреси – ЛА; вихідного регістра – ВР; а також блоків пам'яті станів, команд, переходів і заборонених комбінацій – БПС, БПК, БПП, БПЗК. Процес відпрацювання керуючої програми складається з двох етапів або частин:

1) аналіз комбінацій станів датчиків умов переходів (станів зовнішнього середовища) і формування початкової адреси підпрограми;

2) власне підпрацювання обраної підпрограми.

Причому аналіз станів зовнішнього середовища здійснюється паралельно і незалежно від підпрацювання підпрограми.

На показаній структурі за вибір початкової адреси підпрограми відповідає блок пам'яті переходів (БПП), який, у разі появи на його вході однієї із запрограмованих комбінацій, встановлює лічильник адреси у відповідній даній комбінації стан. Таким чином реалізовано виконання рівняння (1), тобто істинностає рівність $KП=A$ і БЛК формує сигнал «А» (Адреса), за яким лічильник адреси переадресує БПС і БПК на перший рядок обраної підпрограми. В останньому рядку кожної підпрограми, а також у нульовому рядку програми записується тільки ознака кінця підпрограми «КТ», що використовується як дозвіл переходу керуючого автомата до підпрацювання будь-якої із записаних у блоки пам'яті підпрограм.

Власне підпрацювання обраної підпрограми відбувається за рахунок реалізації рівняння (2). Якщо рівність виконується, то БЛК формує сигнал «+I», за яким ЛА адресує БПС і БПК на наступний $(i+1)$ рядок поточної підпрограми. Умовою формування сигналу «+I» є поява сигналу «Е», який може бути сформований двома способами. Якщо на певному кроці керуючої програми необхідно порівнювати фактичний стан усіх датчиків циклу з їх очікуваними значеннями, то до останнього стовпця i -го рядка, що записаний до блоку пам'яті станів, записується відповідна ознака і блок вибору операцій формує сигнал «I/I». Цей сигнал перемикає схему порівняння на реалізацію логічної операції «I», тобто сигнал еквівалентності E на її виході з'явиться лише у разі збігу усіх фактичних станів датчиків циклу з їх очікуваними значеннями, записаними до i -го рядку БПС. Якщо для переходу на наступний крок підпрограми достатньо спрацювання лише одного датчика, то БВО формує сигнал «АБО-I», що перемикає схему порівняння на реалізацію логічної операції «АБО». Ознаки переривань «ПР1», «ПР2», сигнали «ПВ» і «БВ», не формують базову логіку роботи автомата, але з технічної точки зору є необхідними. Детально про призначення цих сигналів, а також з більш детальним описом роботи ПЛІС-контролера ПД можна ознайомитись в [8].

Таким чином, якщо підходити до реалізації функцій запрограмованих таймерів в керуючих автоматах з паралельною архітектурою, то необхідно визначитись із тим, чи будуть внутрішні змінні таймерів приймати участь в обох рівняннях (1) і (2), або лише в одному з них. Насправді аналіз цього питання показує, що необхідно повноцінно реалізовувати функції таймерів, як для реалізації переходу на наступний рядок поточної підпрограми, так і для переходу до іншої підпрограми. Але спрацювання таймера може безпосередньо ініціювати перехід на наступний рядок (тобто може ініціювати формування сигналу «+I»), у той час, сформувати адресу пе-

реходу до іншої підпрограми таймер не може (адреса формується тільки через аналіз станів стохастичних входів, тобто станів датчиків зовнішнього середовища). У той же час сигнал від внутрішніх таймерів може приймати участь у формуванні сигналу «КТ», або іншого еквівалентного за суттю сигналу, що може бути інтерпретовано як участь внутрішніх таймерів у процесі переходу до іншої підпрограми.

Таким чином необхідно внести зміни до елементів структури ЛКА ПД, що приймають участь у формуванні сигналів «+I» і, наприклад «КТ». Пропонувану структуру ПЛІС-контролера ПД у якій реалізовано функції внутрішніх таймерів, показано на рис. 2.

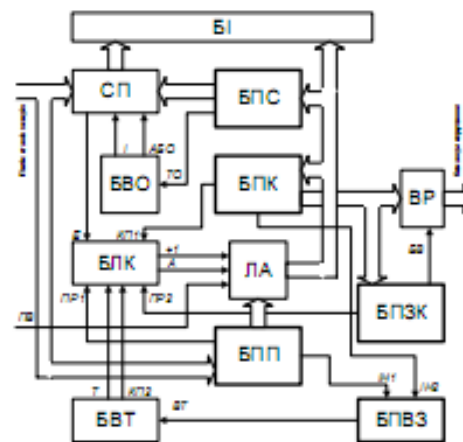


Рис. 2. Структура ПЛІС-контролера ПД з елементами реалізації внутрішніх запрограмованих таймерів

Базовою відмінністю пропонованої структури є наявність ще одного блоку пам'яті – блоку пам'яті внутрішніх змінних (БПВЗ), що призначений для зберігання чисельних значень внутрішніх таймерів. Ще одним додатковим елементом є блок внутрішніх таймерів (БВТ), що інтегрує логіку роботи з внутрішніми таймерами до загальної логіки роботи ПЛК ПД. Насправді БВТ може бути включено до БЛК, але у такому випадку значно ускладнюється опис загальної роботи ЛКА ПД у цілому.

Розглянемо призначення нових сигналів і блоків, що з'явилися на структурі рис. 2. Сигнали «ПН1» і «ПН2» є сигналами ініціаторами запуску відліку внутрішніх таймерів, значення яких записано в i -му рядку блоку пам'яті команд (БПК), або блоку пам'яті переходів (БПП). Процедура відліку є паралельною і незалежною від усіх інших процесів, що протікають в ЛКА ПД і реалізується незалежними апаратними засобами кристалу ПЛІС. Тобто виконання процедури відліку проміжку часу внутрішнього таймера ніяк не залежить від внутрішньої логіки роботи ЛКА ПД, що було розглянуто вище. У момент часу, що відає моменту закінчення формування інтервалу відліку таймера БПВЗ формує сигнал «ВТ», що фізично означає, що внутрішній таймер закінчив свою роботу і необхідний проміжок часу сформовано. За значенням сигналу «ВТ» БВТ ініціює формування або сигналу «Т», або «КТ2» у

залежності від того, який саме блок (БПК, або БПП) був ініціатором формування внутрішнього відліку часу. За значенням сигналу «Т» БПК формує сигнал «+1», тобто ініціює перехід до наступного $i+1$ -го рядка поточної підпрограми. Таким чином логіка роботи з внутрішнім таймером відповідає логіці обробки сигналів детермінованих входів, з тою лише різницею, що при роботі з детермінованими входами схема порівняння (СП) очікує появи єдиної «дозволеної» комбінації входних сигналів, а при роботі з таймером «єдина дозволена» комбінація сформується «автоматично» через певний (запрограмований) проміжок часу. Отже формування сигналу «+1» відбуватиметься у відповідності до рівняння:

$$+1 = (E \vee T) \wedge \overline{KIP1} \wedge \overline{KIP2} \wedge \overline{PIP1} \wedge \overline{PIP2} \quad (3)$$

Якщо ініціатором відліку був БПП, то БВТ сформує сигнал «KIP2», логіка роботи з яким повністю відповідає логіці роботи з сигналом «KIP», який у розглядаєній структурі отримав нову назву «KIP1». Тобто перехід до іншої підпрограми буде можливий по закінченню сформованого внутрішнім таймером відліку часу, повністю аналогічно до ситуації, коли свідок кінця підпрограми фіксується БПК у звичайних умовах. Формування сигналу «4» в оновленій структурі відповідатиме наступному рівнянню:

$$A = KIP1 \vee KIP2 \vee PIP1 \vee PIP2 \quad (4)$$

На останок слід зазначити, що для повноцінної реалізації розглянутих функцій необхідно забезпечити підтримку з боку автоматизованої технології програмування TVP, а також внести зміни до синтаксису і семантики мови програмування ЯПЛК-М. Однак цій складовій частині інформаційної технології паралельного логічного керування буде присвячено окреме дослідження.

Висновки

За результатами проведених досліджень сформульовано структуру вдосконаленого логічного керування автоматом паралельної дії, у якому додано можливість реалізації запрограмованих таймерів.

Вдосконалено елементи математичної моделі ЛКА ПД, показано яким чином введення додаткових внутрішніх змінних впливає на реалізацію основних математичних залежностей, що визначають його функціонування.

На базі запропонованої структури і елементів математичної моделі з'являється можливість побудови вдосконаленого алгоритму функціонування і HDL-моделі для фізичної реалізації ПЛПС-контролера паралельної дії.

СПИСОК ЛІТЕРАТУРИ

1. Визначення напрямів розвитку керуючих пристроїв з паралельною архітектурою на базі ПЛІС / С. Я. Бовчалюк, О. М. Пікорюк, С. С. Радченко // Системи управління, навігації та зв'язу. – Полтава: ПНТУ, 2023. – Вип. 1 (71). – С. 69–72.
2. Бовчалюк С. Я. Совершенствование математической модели и архитектуры логических управляющих автоматов параллельного действия / С. Я. Бовчалюк, И. А. Фурман // ИКСЗТ. – 2006. – №3(59). – С. 72–76.
3. Бовчалюк С. Я. Вдосконалення алгоритму функціонування запрограмованого логічного контролера паралельної дії / С. Я. Бовчалюк, І. О. Фурман // Інформаційно-керуючі системи на залізничному транспорті. – 2007. – №2 (64). – С. 38–42.
4. Бовчалюк С. Я. HDL-модель запрограмованого логічного керування автоматом паралельної дії / С. Я. Бовчалюк, І. О. Фурман // Радіоелектроніка і комп'ютерні системи. – 2007. – №6 (25). – С. 202–205.
5. Бовчалюк С. Я. Методологія побудови, синтаксис та семантика мови програмування ПЛІС-контролерів паралельної дії / С. Я. Бовчалюк, І. А. Фурман // ИКСЗТ. – 2007. – №4 (66). – С. 38–44.
6. Ilya Furman. Development and study of technological visual programming of logic control problems / Ilya Furman, Stanislav Bovechaluk, Alexander Alashev, Aleksey Piskarev // EEJET. – 2017. – № 6/2 (90). – P. 23–31.
7. Бовчалюк С. Я. Моделі, методи та засоби інформаційної технології паралельного логічного управління об'єктами залізничної автоматики: дис. ... к. т. н: 05.13.06 / Бовчалюк Станіслав Ярославович. – Харків, 2008. – 203 с.
8. Бовчалюк С. Я. Нова інформаційна технологія логічного управління в енергетиці та на транспорті / С. Я. Бовчалюк // Системи управління, навігації та зв'язу. – К.: ЦНДІ навігації і управління, 2007. – Вип. 3 – С. 47–51.

Received (Надійшло) 06.02.2024

Accepted for publication (Прийнято до друку) 26.04.2024

Development of model and structure of control devices with parallel architecture

Stanislav Bovechaluk, Borys Kolomoets, Vladyslav Kolomoets, Yaroslav Gamshchenko

Abstract. Topicality. Over the past decade, not much attention has been devoted to the development and improvement of information technology of parallel logic control based on parallel FPGA controllers. At the same time, recent studies have shown that the improvement of this technology, the introduction of new functionality into its composition, will allow to significantly expand the scope of its application not only for the control of objects of critical application, but also for the construction of control systems for ordinary industrial objects. One such improvement that greatly expands the functionality of parallel FPGA controllers is the introduction of internal timers and counters. **The purpose of this work** is to improve the mathematical model and architecture of the parallel action programmable logic controller and expand its functionality by introducing programmed timers into its composition. **Conclusion.** According to the results of the conducted research, the structure of an improved logical control automation of parallel action was synthesized, in which the possibility of implementing programmable timers was added. The elements of the mathematical model of LKA PD have been improved, it has been shown how the introduction of additional internal variables affects the implementation of the main mathematical dependencies that determine its functioning. On the basis of the proposed structure and elements of the mathematical model, it becomes possible to build an improved functioning algorithm and an HDL model for the physical implementation of a FPGA controller of parallel action.

Keywords: technology of parallel logic control, programmable logic controller of parallel action, FPGA controller, internal programmable timer.