

УДК 004.415.5

МЕТОДИ РЕАЛІЗАЦІЇ АРХІТЕКТУРИ СУМІСНОГО ТЕСТУВАННЯ ВБУДОВАНИХ СИСТЕМ НА КРИСТАЛІ З ВИКОРИСТАННЯМ ВИСОКОРІВНЕВОГО СИНТЕЗУ

Корнієнко В.Р., Філіппенко О.І.

Харківський національний університет радіоелектроніки, каф. АПОТ
м. Харків, Україна

Modern system-on-chip platforms combine processor subsystems and programmable logic, enabling efficient implementation of embedded signal processing algorithms. However, the heterogeneous architecture of such systems complicates verification and testing. This paper considers methods for implementing a co-testing architecture for SoC-based embedded systems using high-level synthesis (HLS). The proposed approach enables integrated verification of software models and synthesized hardware modules through functional simulation, hardware–software co-simulation, and validation on the target SoC platform, ensuring consistency between software and hardware implementations.

Сучасні вбудовані системи на кристалі (SoC) характеризуються високим рівнем інтеграції обчислювальних ресурсів, що поєднують програмні процесорні ядра та реконфігуровану FPGA частину. Така гетерогенна архітектура забезпечує можливість реалізації складних алгоритмів обробки сигналів, проте суттєво ускладнює процес їх тестування та верифікації. Особливої актуальності набуває задача сумісного тестування програмної та апаратної частин системи на різних етапах проектування.

Одним із ефективних підходів до реалізації алгоритмів у PL частині SoC є використання високорівневого синтезу, що дозволяє автоматично перетворювати програмні моделі, написані мовами C/C++, у апаратні модулі. Використання HLS суттєво скорочує час розробки та спрощує модифікацію алгоритмів, однак потребує створення ефективних методів тестування, що забезпечують узгоджену перевірку програмної моделі та синтезованої апаратної реалізації.

У роботі розглянуто методи реалізації архітектури сумісного тестування вбудованих систем на кристалі, які забезпечують інтегровану перевірку програмної та апаратної частин системи на основі єдиної функціональної моделі. Запропонований підхід передбачає використання багаторівневої архітектури тестування, що включає моделювання алгоритму на рівні програмної моделі, перевірку коректності HLS-перетворення та апаратно-програмну верифікацію на цільовій платформі SoC.

Основою запропонованої архітектури є використання єдиного набору тестових даних та сценаріїв тестування для різних етапів проектування. На першому етапі виконується функціональне тестування програмної моделі алгоритму. На другому етапі проводиться сумісне моделювання (со-

simulation), що дозволяє перевірити відповідність результатів роботи синтезованого апаратного модуля результатам програмної реалізації. На завершальному етапі здійснюється апаратно-програмне тестування системи на цільовій SoC-платформі з використанням інтерфейсів обміну даними між PS та PL частинами.

Для забезпечення ефективної інтеграції апаратних модулів у структуру системи запропоновано використовувати стандартні інтерфейси обміну даними, такі як AXI-Stream та AXI-Lite, що дозволяє реалізувати уніфікований механізм передачі тестових даних між програмною та апаратною частинами системи. Такий підхід спрощує масштабування системи тестування та забезпечує можливість повторного використання тестових сценаріїв для різних конфігурацій SoC.

Реалізація запропонованих методів дозволяє скоротити час розробки та підвищити достовірність тестування вбудованих систем на кристалі. Використання єдиної тестової інфраструктури для програмної та апаратної реалізації алгоритмів забезпечує узгодженість результатів моделювання та реального виконання, що є важливим фактором при проектуванні високопродуктивних систем цифрової обробки сигналів на базі SoC.

Отримані результати можуть бути використані при розробці вбудованих систем обробки сигналів, радіоелектронних систем та інших застосувань, що потребують ефективної інтеграції програмних та апаратних компонентів у гетерогенних обчислювальних платформах.

Список використаних джерел:

1. Formal verification of high-level synthesis / Y. Herklotz et al. *Proceedings of the ACM on programming languages*. 2021. Vol. 5, OOPSLA. P. 1–30. URL: <https://doi.org/10.1145/3485494> (date of access: 12.03.2026).
2. High-Level synthesis hardware design for fpga-based accelerators: models, methodologies, and frameworks / R. S. Molina et al. *IEEE access*. 2022. P. 1. URL: <https://doi.org/10.1109/access.2022.3201107> (date of access: 12.03.2026).
3. ILA-MCM: integrating memory consistency models with instruction-level abstractions for heterogeneous system-on-chip verification / H. Zhang et al. *2018 formal methods in computer aided design (FMCAD)*, Austin, TX, 30 October – 2 November 2018. 2018. URL: <https://doi.org/10.23919/fmcad.2018.8603015> (date of access: 12.03.2026).
4. Toker O. A high-level synthesis approach for a RISC-V rv32i-based system on chip and its FPGA implementation. *International electronic conference on sensors and applications*. Basel Switzerland, 2023. URL: <https://doi.org/10.3390/ecsa-10-16212> (date of access: 12.03.2026).