

УДК 621.382.3-022.532

ДОСЛІДЖЕННЯ ВПЛИВУ ТОВЩИНИ SiO_2 НА ЗАРЯДОВІ ЕФЕКТИ НА МЕЖІ ДІЕЛЕКТРИК-НАПІВПРОВІДНИК

Чекубашева В.А., Глухов О.В.

e-mail: valeriia.chekubasheva@nure.ua

Харківський національний університет радіоелектроніки, каф. МЕЕПП
м. Харків, Україна

The modern development of nanoelectronics requires the creation of new transistor architectures that provide higher performance, lower energy consumption, and stable operation when scaled down to the nanoscale. One of the promising directions is the use of nanowire transistors, which, due to their three-dimensional structure, allow for more effective control of the conduction channel and reduce short-channel effects. An important component of such transistors is the metal-insulator-semiconductor structure, where the dielectric layer plays a key role in shaping the electric field and controlling the charge state of the channel.

Сучасний розвиток наноелектроніки вимагає створення нових архітектур транзисторів, які забезпечуватимуть вищу продуктивність, менше енергоспоживання та стабільну роботу при масштабуванні до нанорівня. Одним із перспективних напрямів є використання нанодротових транзисторів, які завдяки своїй тривимірній структурі дозволяють ефективніше контролювати канал провідності та зменшувати ефекти короткого каналу. Важливою складовою таких транзисторів є структура метал-діелектрик-напівпровідник (МДН), де діелектричний шар відіграє ключову роль у формуванні електричного поля та керуванні зарядовим станом каналу [1]. Дослідження розподілу електричного поля, заряду та ємності в цій структурі є важливим для вдосконалення технологій виробництва транзисторів [2].

Властивості інтерфейсу $\text{Al} / \text{SiO}_2 / \text{Si}$, який є одним з поширених варіантів реалізації таких структур, визначають робочі характеристики нанодротового транзистора, оскільки товщина оксидного шару впливає на електричну ємність, зарядові ефекти та порогову напругу пристрою [3]. У даній роботі проведено чисельне моделювання такої структури за допомогою програмного середовища COMSOL Multiphysics. Основною метою є вивчення впливу товщини оксидного шару на залежність ємності структури від прикладеної напруги (CV-характеристика), що дозволяє оцінити накопичення, виснаження та інверсійні ефекти в шарі напівпровідника.

Структура метал / діелектрик / напівпровідник складається із затвору, оксидного шару та кремнієвої підкладки (рис. 1а) й працює завдяки електричному полю, створеному напругою на затворі. При негативній напрузі на затворі (рис. 1б) електрони відштовхуються від межі оксиду, а дірки накопичуються, що відповідає режиму накопичення, де ємність МДН-

структури залишається високою. Якщо напруга стає позитивною (рис. 1в), виникає зона виснаження, в якій залишаються лише нерухомі акцепторні іони, що зменшує ємність структури.

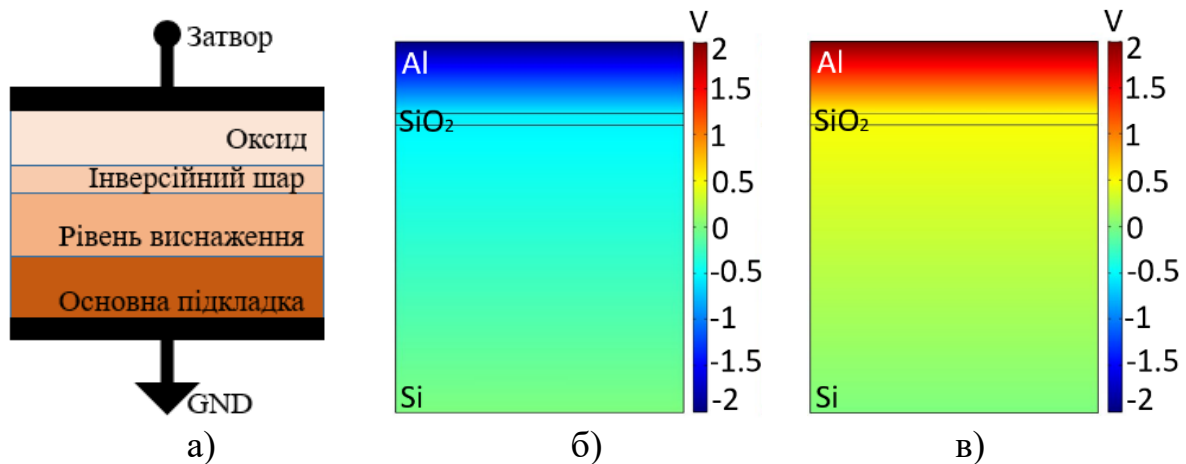


Рисунок 1 – Досліджувана структура (а) та розподіл потенціалу в структурі при негативній (б) та позитивній (в) прикладених напругах

При подальшому збільшенні напруги з'являється інверсійний шар, в якому концентрація електронів стає вищою за рівень власної провідності, створюючи керований канал. При позитивному зміщенні затвору електричне поле витісняє дірки, утворюючи область виснаження, а за достатньо високої напруги формується інверсійний шар, який відкриває канал між стоком і виток. Цей механізм є основою роботи MOSFET-транзисторів [4]. При цьому розподіл носіїв у MOS-структурі описується статистикою Фермі-Дірака [5]. Такий підхід дозволяє врахувати зміну концентрації носіїв залежно від температури та положення рівня Фермі.

Оскільки прикладена напруга змінюється рівномірно по всій площі структури (рис. 1б та 1в), важливим є тільки вертикальний розподіл потенціалу та зарядів. Це дозволяє ігнорувати бокові ефекти. Тому для моделювання CV кривих було використано 1D модель, створену у програмному середовищі COMSOL Multiphysics, модуль Semiconductors.

Графік на рис. 2 показує залежність ємності від напруги на затворі для кількох значень товщини оксиду: 8 нм, 20 нм, 30 нм і 50 нм. Видно, що при зменшенні товщини оксиду ємність зростає, а режим виснаження зміщується у область негативних значень напруги. Це пояснюється тим, що ємність оксиду обернено пропорційна його товщині d_{ox} , та прямопропорційна добутку діелектричної проникності оксиду ϵ_{ox} на площу структури A :

$$C = \epsilon_{ox}A/d_{ox}. \quad (1)$$

Отримані результати є ключовими для оптимізації технологічних параметрів нанодротових транзисторів, оскільки контроль товщини оксиду дозволяє регулювати порогову напругу та електричні характеристики пристрою. Окрім того, дані результати несуть наукову необхідність для розробки іоночутливих польових транзисторів (ISFET), де оксидний шар контактує з розчином і відіграє важливу роль у сенсингу іонів.

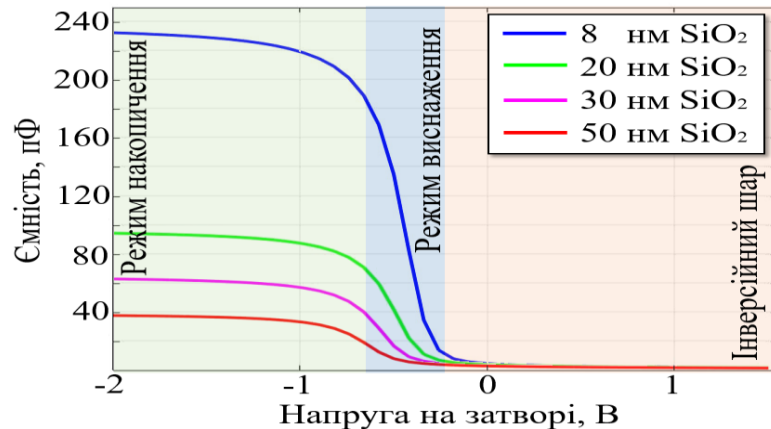


Рисунок 2 – Вплив товщини оксиду на CV-характеристику МДН-структури

Таким чином, у ході даного дослідження було проаналізовано вплив товщини оксидного шару на CV-характеристики МДН структури. Отримані результати підтвердили, що зі зменшенням товщини оксиду ємність структури зростає, а режим виснаження зміщується в область негативних значень напруги. Це узгоджується з теоретичною залежністю, згідно з якою ємність обернено пропорційна товщині оксидного шару. Виконане дослідження робить внесок у вдосконалення технологій виробництва нанотранзисторів та відкриває перспективи для подальшого застосування отриманих знань у сенсорних пристроях та наноелектроніці.

Список використаних джерел:

1. Ю.О. Кругляк, М.В. Стріха. Фізика MOSFET нанотранзисторів: фундаментальні границі та обмеження // Сенсорна електроніка і мікросистемні технології. 2021. Т. 18. №3. С. 4–28.
2. Г.М. Бендеберя. Комплекс навчально-методичного забезпечення навчальної дисципліни «Фізико-хімічні основи мікро- та наноелектроніки». Харків : ХНУРЕ, 2019. 61 с.
3. О.Б. Галат. Комплекс навчально-методичного забезпечення навчальної дисципліни «Твердотільна електроніка». Харків : ХНУРЕ, 2019. 271 с.
4. R. Mathew, J. Ajayan. Material processing, performance and reliability of MoS₂ FET technology – A critical review // Materials Science in Semiconductor Processing. 2023. Vol. 160. 107397.
5. S. Sarker et al. Physics-Based Core Compact Model of 2D MoS₂ FET Considering Fermi-Dirac Statistics // 2024 8th IEEE Electron Devices Technology & Manufacturing Conference. 2024. Bangalore, India. P. 1–3.