

КОДОВОЕ УПРАВЛЕНИЕ ЦИФРОВЫМ СИНТЕЗАТОРОМ ЧАСТОТ

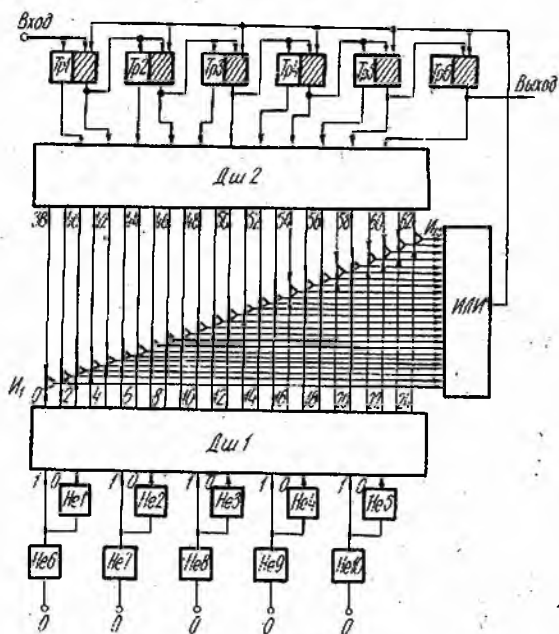
О. И. Губернаторов, Р. М. Пивовар, В. Т. Пивовар, А. Г. Гордиенко

Харьков

При решении ряда практических задач возникает необходимость в управлении частотой синтезатора по заданной программе либо в достаточно быстром изменении частоты с пульта управления, удаленного на большое расстояние.

Ниже описывается система автоматического управления цифровым синтезатором, осуществляемого по программе, которая передается с помощью кода. Поскольку выходная частота цифрового синтезатора определяется установкой коэффициента деления переменного делителя частоты, указанная система программного управления по существу является системой, управляющей переменным коэффициентом деления.

Рассмотрим представленную на рисунке блок-схему переменного делителя частоты с автоматическим управлением коэффициентом деления, изменяющимся через единицу от 38 до 62. Схема разработана авторами при создании цифрового синтезатора частот, работающего в диапазоне 30 МГц с шагом дискретности 50 кГц. На вход переменного делителя поступают



Функциональная схема делителя частоты с коэффициентом деления 38—62 и кодовым управлением.

импульсы с частотой следования 1,9—3,1 МГц, выходная частота переменного делителя равна 50 кГц. Каналы работы синтезатора переключаются при подаче напряжения — 6 в в двоичном параллельном пятизначном коде.

Разработанные ранее делители с переменным коэффициентом деления устойчиво работали на максимальной частоте 1,2 МГц. В таком делителе использовался двоично-десятичный счетчик. Описываемый делитель частоты отличается тем, что в нем применен двоичный счетчик с максимальной емкостью счета 64, что позволяет повысить максималь-

ную входную частоту переменного делителя до 3,5 Мгц. Как видно из блок-схемы, приведенной на рисунке, в состав делителя с переменным коэффициентом деления входят шесть последовательно соединенных триггеров $Tr1—Tr6$, обеспечивающих общую емкость счета $2^6=64$, дешифратор $Дш2$, преобразующий двоичный код счетчика в десятичный, двадцать пять логических схем $И$ и одна схема ИЛИ, осуществляющие функцию переключателя и формирующие импульс сброса, дешифратор $Дш1$, преобразующий код, которым передается команда, в десятичный, и десять инверторов (логические схемы $Не$) для ввода кодовой комбинации команды в дешифратор $Дш1$.

Частота следования импульсов положительной полярности, поступающих на вход переменного делителя, делится триггерами $Tr1—Tr6$. Выходные напряжения с плеч каждого триггера поступают на 12 входов дешифратора $Дш2$, имеющего 25 выходов (по числу необходимых каналов работы цифрового синтезатора частоты). При последовательном появлении импульсов на входах дешифратора выходной импульс возникает на том выходе последнего, номер которого соответствует числу, «записанному» на его входе в двоичном коде.

Выбор выхода дешифратора, на котором появляется импульс, соответствующий заданному коэффициенту деления, производится схемой кодового управления, состоящей из схем $И—ИЛИ$, $Дш1$ и $Не$. Выходные импульсы дешифратора $Дш2$ поступают на один вход соответствующей схемы $И$. На второй вход этой же схемы подается постоянный потенциал с соответствующего выхода дешифратора $Дш1$, преобразующего двоично-пятизначный параллельный код команды переключения каналов в натуральный ряд чисел десятичного кода, обозначающий номера каналов от 0 до 24.

Дешифратор $Дш1$ имеет первые двадцать пять из возможных для двоично-пятизначного параллельного кода 32 выходов. Схема такого дешифратора должна иметь 10 входов: по первым пяти входам команда подается в прямом коде, а по остальным — в обратном. Для того чтобы входы дешифратора $Дш1$ находились в одинаковых условиях при подаче команды «0» и «1», на входе системы кодового управления используются инверторы — логические схемы $Не$. Таким образом, прямой код команды подается на вход дешифратора $Дш1$ через инверторы $Не1—Не5$, а обратный — через инверторы $Не6—Не10$.

При подаче команды на одном из выходов дешифратора $Дш1$ (например, на первом), которая соответствует заданной кодовой комбинации 00000, определяющей номер канала, 0, появляется потенциал —Е. На остальных 24 выходах потенциал в это время близок к нулю. При совпадении этого потенциала и 38-го импульса с выхода дешифратора $Дш2$ на схеме $И_1$, выбранной дешифратором $Дш1$, на выходе логической схемы ИЛИ, которая имеет 25 входов, появляется импульс сброса, соответствующий коэффициенту деления 38 и заданному каналу работы 0 цифрового синтезатора. Полученный импульс сброса поступает на все триггеры и устанавливает их в исходное состояние. Таким образом, после прихода n -го (38-го) импульса на вход переменного делителя показания всех триггеров счетчика сбрасываются, а с приходом $(n+1)$ -го импульса счет начинается заново. Если при отсутствии импульса сброса коэффициент деления переменного делителя составляет 64, то теперь он равен выбранному значению $n=38 \div 62$.

В процессе счета и формирования импульс сброса задерживается на время τ_z , которое складывается из суммарного времени переключения всех триггеров из одного устойчивого состояния в другое и времени переключения схем диодной логики. Время задержки импульса сброса

по отношению к n -му входному импульсу не должно превышать минимальный период следования входных импульсов переменного делителя $T_{вх\ min}$. В противном случае происходит потеря одного или нескольких импульсов (в зависимости от соотношения τ_3 и $T_{вх\ min}$), что в конечном счете обусловит увеличение действительного значения коэффициента деления по сравнению с установленным. Это время и определяет максимальную частоту входных сигналов делителя $f_{вх\ max}(T_{вх\ min})$. Для повышения $f_{вх\ max}$ в описываемом делителе с переменным коэффициентом деления выбирается двоичная система счета импульсов и применяются быстросрабатывающие схемы триггеров и дешифраторов.

Триггеры выполнены по одной схеме на печатных платах с использованием полупроводниковых транзисторов типа П416А и импульсных диодов типа Д18. В синтезаторе применен триггер с нелинейной обратной связью, внешним смещением, встроенными эмиттерными повторителями и управляемым счетным запуском в базы [1]. Разработанный авторами триггер работает устойчиво при изменении питающих напряжений на $\pm 20\%$ и частоты от единиц герц до 20 МГц. Делитель, состоящий из шести последовательно соединенных триггеров, работает при том же изменении питающих напряжений до 18 МГц.

Каждый дешифратор представляет собой совокупность двадцати пяти диодных схем И. Каждая из этих схем состоит из восьми диодов для $Дш2$ и семи диодов для $Дш1$, а также одного сопротивления. В схемах переменного делителя используется негативная диодная и транзисторная логика. Для дешифраторов выбрана наиболее экономичная прямоугольная (или ромбическая) схема, выполненная на импульсных диодах типа Д18 [2].

Каждая из двадцати пяти схем И состоит из двух диодов Д18 и одного сопротивления. Все двадцать пять выходов схем И являются одновременно входами логической схемы ИЛИ, имеющей один выход. Принципиальная схема ИЛИ представляет собой двадцать пять эмиттерных повторителей, выполненных на транзисторах типа П416А с общим для всех транзисторов сопротивлением нагрузки. С выхода этой схемы снимается импульс сброса, который подается затем на базы правых плеч триггеров, устанавливая их в исходное состояние.

В качестве инверторов применяется схема ненасыщенного транзисторного ключа с нелинейной обратной связью и фиксацией коллекторного напряжения [3]. Инверторы изготовлены на печатных платах с использованием транзисторов типа П416А и диодов типа Д18 и Д223.

Описанный выше делитель с переменным коэффициентом деления $n=38 \div 62$ устойчиво работает при изменении питающих напряжений на $\pm 20\%$ и частоты от единиц герц до 3,5 МГц.

Используемая в описанном делителе двоичная система счета входных импульсов удобна при небольшом диапазоне изменения коэффициента деления. В описанном делителе 25 коэффициентов деления. При большем числе каналов применение двоичной системы затруднительно в связи с усложнением схемы и конструкции дешифраторов. В этом случае удобнее двоично-десятичная система счета. Тогда в схеме переменного делителя будет не один дешифратор, а несколько. Их количество равно числу разрядов двоично-десятичного счетчика. При использовании в качестве счетчика кольцевых делителей частоты из схемы переменного делителя дешифраторы можно исключить.

Код, которым передается команда управления синтезатором, необходимо преобразовать в десятичный в соответствии с выходными сигналами дешифраторов делителя.

ЛИТЕРАТУРА

1. А. М. Тищенко, Б. М. Лебедев и др. Расчет и проектирование импульсных устройств на транзисторах. Изд-во «Советское радио», 1964.
 2. А. Субье-Ками. Двоичная техника и обработка информации. Изд-во «Мир», 1964.
 3. С. Шварц. Полупроводниковые схемы. Изд-во иностр. лит., 1962.
-