

УДК 004.031.43

МЕТОДИ АПАРАТНОЇ ВЕРИФІКАЦІЇ HDL-МОДЕЛЕЙ ПОДІЄВИХ ЧАСОВИХ КЕРУЮЧИХ АВТОМАТІВ НА ПЛІС

Кур'янов А.І

Науковий керівник – к.т.н., доц. Шкіль О.С.

Харківський національний університет радіоелектроніки
(61166, Харків, просп. Науки, 14, каф. Автоматизації проектування
обчислювальної техніки, тел. (057) 702-13-26)

The real-time control system is a system, in the result of which the deposits are not only logical values of simple key functions but are seen by stretching such a wire. Implementation of the model using a timed FSM. The formation of output signals of control machines is classified according to the model of Moore and Mile. The work of software and hardware verification of models of automatic control devices at different levels of automated design (algorithmic, functional-block, schematic and simulation of the design-technological level).

Система управління реального часу – система, в якій результуюча дія (діяльність) залежить не тільки від логічних значень простих керуючих дій, а й від часу, протягом якого ці дії проводяться. Для їх реалізації прийнято використовувати модель часового автомата (timed FSM), яка дозволяє враховувати вплив метричного часу на переходи між технічними станами керованої системи. За способом формування вихідних сигналів керуючі автомати класифікуються на моделі Мура і Мілі, а за способом обробки вхідних сигналів на активні і пасивні.

Активний часовий автомат функціонує в залежності від значення вхідного сигналу в певний момент часу (не від зміни вхідного сигналу, тобто вхідного події). Зміна вхідного сигналу (вхідні дії) безпосередньо не ініціює зміни стану автомата. Автомат опитує вхідні сигнали в моменти часу, які визначаються алгоритмом його роботи і, таким чином, реалізує функцію переходів. Більшу частину керуючих автоматів в системах логічного управління складають активні або змішані автомати Мура, тому що досить просто встановити відповідність між технічними станами керованого об'єкта і набором керуючих сигналів в станах керуючого автомата Мура [1].

При верифікації HDL-моделей часових подієвих автоматів в системах управління реального часу важливо не тільки фіксувати час знаходження автомата у визначеному стані та час появи відповідних вихідних сигналів, але й реалізувати спосіб подачі вхідних сигналів на робочих частотах та забезпечити взаємодію зовнішніх подій у відповідних проміжках часу.

Налагодження проєктів на ПЛІС може проводитися з використанням зовнішнього контрольно-вимірювального обладнання, такого як цифрові осцилографи змішаних сигналів або логічні аналізатори. В роботі [2] запропоновано в якості тестера при імітаційному моделюванні та

налаштуванні проєктів на ПЛІС використовувати зовнішній комп'ютер, поєднаний з платою налаштування через інтерфейс JTAG. Імітаційне моделювання широко поширене і зазвичай застосовується для налагодження окремих блоків цифрових систем, але частота моделювання становить десятки герц, що обмежує сферу застосування інтерфейсу JTAG.

Для вирішення проблеми часової верифікації проєктів на ПЛІС запропоновано тестер розміщувати в цьому ж кристалі ПЛІС, де розміщується система, що проєктується, звісно при наявності вільних ресурсів. Але в сучасних кристалах ПЛІС (FPGA) це не проблема: проєкти, що розробляються, як правило, займають значно менше половини ресурсів кристала.

Тестер реалізується у формі змішаного активного часового автомата Мура, що дозволяє вирішити ряд проблем. По-перше, тестер сам генерує тестову програму, що імітує роботу реального об'єкту управління, без залучення будь-яких зовнішніх сигналів. По-друге, при такому підході можлива сумісна синхронізація тестера та пристрою, що проєктується, навіть на робочих частотах. По-третє, такий підхід дозволяє імітувати зовнішні події у визначені моменти часу та переналаштовувати час їх появи в залежності від режимів роботи, які верифікуються. Результати моделювання можуть спостерігатися на сумісній Waveform об'єкта управління та пристрою керування, що робить проєкт наочним та прозорим.

Наукова новизна роботи полягає у подальшому розвитку методів програмно-апаратної верифікації моделей автоматних пристроїв керування на різних рівнях автоматизованого проєктування (алгоритмічному, функціонально-блочному, схемотехнічному та конструкторсько-технологічному рівнях).

Список використаних джерел:

1. Shkil A. Hardware implementation of timed logical control FSM / M. Miroschnyk, A. Shkil, E. Kulak, D. Rakhlis, I. Filippenko, M. Malakhov, // Proceedings of 2020 IEEE East-West Design & Test Symposium (EWDTS'20), Sept. 4-7, Varna, Bulgaria, 2020. – 6 p. [Електронний ресурс] / IEEE Xplore Digital Library – Режим доступу: [www / URL: https://https://ieeexplore.ieee.org/document/9225129](http://www.ieee.org) – 20.10.2020 р. – Загол. з екрану.

2. Грушвицький Р. Проєктування за умов часових обмежень: налагодження проєктів (частина 1) / Р. Грушвицький, М. Михайлов // Компоненти та технології. – 2007. – №6. – С. 131-136.