

Міністерство освіти і науки, молоді та спорту України
Харківський національний університет радіоелектроніки

МУРАД АЛІ АБАС

УДК 658:512.011:681.326:519.713

**КВАНТОВІ МОДЕЛІ ОБЧИСЛЮВАЛЬНИХ ПРОЦЕСІВ
ДЛЯ ТЕСТУВАННЯ ЦИФРОВИХ СИСТЕМ НА КРИСТАЛАХ**

05.13.05 – комп'ютерні системи та компоненти

Автореферат дисертації на здобуття наукового ступеня
кандидата технічних наук

Харків – 2012

Дисертацією є рукопис.

Роботу виконано у Харківському національному університеті радіоелектроніки, Міністерство освіти і науки, молоді та спорту України.

Науковий керівник: доктор технічних наук, професор
Хаханов Володимир Іванович, Харківський національний університет радіоелектроніки, декан факультету комп'ютерної інженерії та управління.

Офіційні опоненти: доктор технічних наук, професор
Краснобасв Віктор Анатолійович, Полтавський національний технічний університет ім. Ю. Кондратюка, завідувач кафедри комп'ютерної інженерії;

доктор технічних наук, професор
Хажмурадов Манап Ахмадович, Національний науковий центр "Харківський фізико-технічний інститут", начальник відділу математичного моделювання та дослідження ядерно-фізичних процесів і систем.

Захист відбудеться "___" _____ 2012 року о _____ годині на засіданні спеціалізованої вченої ради Д64.052.01 у Харківському національному університеті радіоелектроніки за адресою: 61166, м. Харків, пр. Леніна, 14.

З дисертацією можна ознайомитися в бібліотеці Харківського національного університету радіоелектроніки за адресою: 61166, м. Харків, пр. Леніна, 14.

Автореферат розісланий "___" _____ 2012 року.

Вчений секретар
спеціалізованої вченої ради

Литвинова Є.І.

ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

Актуальність теми. Кубітні структури даних і квантові обчислення в останні роки стають все більш цікавими для вчених і комп'ютерної індустрії планети. Актуальність квантових структур даних і архітектур особливо приваблива для аналізу нових структур кібернетичного простору, створення корисних для кожної людини Інтернет технологій і сервісів, завдяки їх певної альтернативності існуючим моделям обчислювальних процесів. Ринкова привабливість квантових або кубітних моделей ґрунтується на високому паралелізмі розв'язання практичних задач дискретної оптимізації, пов'язаної з розпізнаванням текстів та образів, факторизацією та мінімізацією булевих функцій, ефективним стисненням, компактним представленням і телепортацією даних, відмовостійким проектуванням цифрових систем на кристалах за рахунок істотного підвищення апаратних витрат в межах технологічних можливостей кристала. Але зазначена плата є прийнятною, оскільки наноелектронні технології надають розробникам апаратури до 1 мільярда вентилів на кристалі (2x2 см) при товщині пластини 5 мкм. При цьому сучасні технології масштабування дозволяють створювати пакети кристалів, що містять до 7 пластин. Майже «бездротове» з'єднання таких кристалів базується на технології свердління 10 000 наскрізних отворів (vias) на 1 квадратному сантиметрі та забезпечує мінімальні затримки на лініях зв'язку, що означає високу швидкість системи, низьке енергоспоживання і високий фактор мініатюризації. Але сьогодні існує проблема – наповнити цифрову систему на кристалі корисною для людини функціональністю з інтелектом, відповідним мозку людини, шляхом об'єднання зусиль учених, університетів і компаній. Тому в даний час можна і потрібно використовувати «жадібні» до апаратури моделі та методи створення надшвидкодійних засобів паралельного розв'язання практично цікавих завдань, згаданих вище. Дискретність і багатозначність алфавітів і структур даних для опису інформаційних процесів, властивості паралелізму, закладені в квантових обчисленнях, є особливо затребуваними при створенні ефективних і інтелектуальних нечислових «движків» для швидкого і точного пошуку даних у кіберпросторі або Інтернеті. Інші завдання, пов'язані з квантовими обчисленнями, визначаються такими напрямками: синтез відмовостійких цифрових примітивів і систем; проектування і тестування цифрових систем на кристалах; захист інформації та комп'ютерних систем; створення мозкоподібних моделей обчислювальних процесів для аналізу мовних конструкцій.

Інший напрямок досліджень пов'язаний з проблемою вбудованого автономного відновлення працездатності функціональних модулів цифрових систем. Враховуючи, що принцип адресовності елементів пам'яті, які складають до 94% площі кристалу, забезпечує відновлення їх працездатності за рахунок запланованих надлишкових елементів, то 6% неадресовних логічних блоків, що знаходяться на кристалі, створюють великі проблеми для їх

вбудованого ремонту при виникненні функціональних порушень. У зв'язку з цим в роботі пропонуються моделі комбінаційних логічних схем з адресовними примітивами і запасними елементами для відновлення працездатності SoC за технологією прямого доступу, близької до стандарту тестопридатного проектування IEEE 1500. Виходячи з привабливості кубітних моделей і структур для вирішення проблем тестування SoC в роботі пропонуються моделі та методи вбудованого сервісного обслуговування цифрових систем на кристалах за стандартами провідних компаній EDA (Cadence, Synopsys, Mentor Graphics, Magma, Intel, Sun Microsystems, Aldec), що забезпечують підвищення якості продукції за рахунок збільшення надлишковості програмно-апаратних засобів вбудованого тестування та відновлення працездатності SoC.

Проблеми тестування, діагностування та ремонту цифрових систем знайшли відображення в діяльності вчених: Y. Zorian, M. Abramovich, J. Bergeron, Z. Navabi, A. Jerraya, D.B. Armstrong, M. Breuer, P. Prinetto, J. Abraham, H. Fujiwara, I. Pomeranz, T. Nishida, X. Wang, F. Fummi, А. И. Петренко, Р. Убар, А. Ivanov, А. М. Романкевич, Д. В. Сперанский, П. П. Пархоменко, Ю.В. Малишенко, В. Н. Ярмолик, В. П. Чипуліс, J. P. Roth, А.Ю. Матросова, С. Шукурян, Ю.А. Скобцов, М.Ф. Каравай, В.С. Харченко, Л.В. Дербунович, Р. Шейнаускас, Н. Євтушенко, Р. Базилевич, В.А. Твердохлебов, В. Мелікян.

Зв'язок роботи з науковими програмами, планами, темами. Розробка основних положень дисертації здійснювалась відповідно до планів НДР та договорів, що виконуються на кафедрі АПОТ Харківського національного університету радіоелектроніки в період з 2008 року: 1) Договір про дружбу та співробітництво між ХНУРЕ та корпорацією "Aldec Inc." (USA) № 03 від 09.12.2009; 2) Договір про науково-технічне співробітництво в галузі створення систем автоматизованого тестування з Талліннським технічним університетом № 02 від 17.11.2008; 3) Держбюджетна НДР «Розробка математичних методів, алгоритмів та інструментальних засобів надшвидких перетворень зображень», Розділ «Розробка основ нових інформаційних технологій в автоматизованому проектуванні, діагностиці засобів обчислювальної техніки» (№ ДР 0101U001948); 4) Теорія й проектування енергозберігаючих цифрових обчислювальних систем на кристалах, що моделюють і підсилюють функціональні можливості людини, д/б № 232, 2009, № ДР 0109U001646; 5) Мультипроцесорна система пошуку, розпізнавання та прийняття рішень для інформаційної комп'ютерної екосистеми, д/б № 259-1, 2011, № ДР 0111U002956. 6) Персональний віртуальний кіберкомп'ютер та інфраструктура аналізу кіберпростору, фундаментальна НДР 268 (2012-2014). Автор дисертації при виконанні зазначених вище договорів і програм брав безпосередню участь, як програміст, в розробці моделей і методів тестування, діагностування та вбудованого ремонту цифрових систем на кристалах, а також у реалізації програмно-апаратних компонентів системи діагностування на основі IEEE стандартів, інтегрованих з продуктами компанії Aldec.

Мета дослідження – зменшення часу відновлення працездатності цифрових систем на кристалах на основі використання кубітних моделей і квантових методів тестування та ремонту, що формують програмно-апаратну надлишковість інфраструктури вбудованого сервісного обслуговування функціональних компонентів з наперед заданим рівнем структурної деталізації.

Для досягнення поставленої мети необхідно вирішити такі задачі:

1. Розробити кубітні або квантові моделі даних і обчислювальних процесів для істотного підвищення швидкодії при розв’язанні задач дискретної оптимізації.

2. Розробити суперпозиційний метод синтезу кубів функціональностей для імплементації в структурні компоненти програмовних логічних пристроїв.

3. Розробити апаратно-орієнтовані моделі паралельного обчислення булеана для розв’язання задач покриття та мінімізації булевих функцій за рахунок реалізації процесорної Хассе-структури.

4. Розробити модель комбінаційного пристрою, орієнтовану на автономне та вбудоване відновлення працездатності компонентів логічних пристроїв за рахунок використання автоматів переадресації дефектних примітивів.

5. Розробити методи оцінювання ефективності обчислювальних структур і пошуку найкоротших шляхів між кожною парою вершин графової моделі функціональних блоків цифрових систем на кристалах на основі удосконаленого алгоритму Дейкстра.

6. Реалізувати апаратний прототип квантового обчислювача основі програмовної логіки для оптимального розв’язання задач тестування.

7. Виконати верифікацію моделей, методів та архітектури квантового обчислювача, використовуваних в якості компонентів інфраструктури сервісного обслуговування та вбудованого ремонту цифрових систем.

Об’єкт дослідження – процеси паралельної обробки даних для вбудованого тестування і ремонту цифрових систем на кристалах на основі використання кубітних моделей компонентів.

Предмет дослідження – моделі, методи й архітектури вбудованого тестування та ремонту компонентів цифрових систем на кристалах на основі використання кубітних моделей компонентів.

Методи дослідження: булева алгебра, квантові методи обчислень і кубітні моделі даних, теорія множин, теорія графів, теорія цифрових автоматів – для побудови моделей тестування і ремонту; векторно-логічний аналіз, теорія алгоритмів, методи проектування та моделювання цифрових систем – для синтезу й верифікації тестів, структур даних і сервісного обслуговування; методи та критерії аналізу якості обчислювальних архітектур – для оцінювання графових структур цифрових виробів; засоби

синтезу схем і аналізу функціональних покриттів – для створення та верифікації програмно-апаратної інфраструктури тестування і ремонту SoC.

Наукова новизна отриманих результатів:

1. Вперше запропоновано апаратно-орієнтовану модель паралельного обчислення булеана, яка характеризується використанням процесорної Хассе-структури, що дає можливість на порядок зменшити час вирішення задач покриття та мінімізації функцій.

2. Вперше запропоновано автоматну модель комбінаційного пристрою, яка характеризується можливістю автономного та вбудованого відновлення працездатності компонентів логічних пристроїв за рахунок переадресації дефектних примітивів, що дозволяє на 5% підвищити якість проєктованих виробів.

3. Удосконалено кубітну модель даних, яка відрізняється нечисельним поданням розрядів у двійковому векторі, що дозволяє істотно підвищити швидкодію векторних логічних операцій при вирішенні задач дискретної оптимізації.

4. Удосконалено суперпозиційний метод синтезу кубів функціональностей, який відрізняється формою отримання компактного покриття, що дає можливість імплементувати його в структурні компоненти програмовних логічних пристроїв.

5. Удосконалено метод оцінювання ефективності обчислювальних структур, який відрізняється застосуванням модифікованого алгоритму Дейкстра для пошуку найкоротших шляхів між вершинами графової моделі функціональних блоків, що дає можливість на 15% підвищити якість архітектурних рішень.

Практичне значення отриманих результатів:

1. Кубітні моделі та квантові методи тестування і ремонту доведено до програмно-апаратної реалізації в інфраструктурі вбудованого сервісного обслуговування функціональних компонентів систем на кристалах, що дозволило створити ефективні маршрути синтезу тестів та діагностування функціональних модулів SoC.

2. Розроблено апаратний прототип квантового обчислювача на базі програмовної логіки, який дозволяє істотно ($\times 10$ - $\times 100$) підвищити швидкодію оптимального пошуку покриттів в задачах дискретної оптимізації.

3. Виконана верифікація моделей, методів та архітектури квантового обчислювача дозволяє використовувати їх в якості компонентів інфраструктури сервісного обслуговування та вбудованого ремонту цифрових систем для істотного (5%) підвищення якості SoC.

Отримані в процесі досліджень наукові висновки та положення дисертації є обґрунтованими і достовірними. Обґрунтованість підтверджується результатами експериментальних досліджень, обробкою 9 реальних функціональних модулів, орієнтованих на промислове використання. Результати експериментів підтверджують достатню ефективність засобів

убудованого ремонту блоків, а також істотне підвищення продуктивності апаратних засобів кубітних обчислень у порівнянні з існуючими академічними аналогами. Достовірність наукових висновків підтверджується частковою інтеграцією розробленої інфраструктури тестування та ремонту з технологічними процесами компаній Aldec і Synopsys.

Результати дисертації у складі моделей, методів і архітектур впроваджено в організаціях: 1) ПрАТ «Северодонецьке НВО Імпульс» (довідка про впровадження від 17.08.2012), 2) Харківський національний університет радіоелектроніки, в навчальному процесі (акт про впровадження від 10.09.2012) 3) Компанія Aldec, USA (довідка про впровадження № 17/12 від 27.08.2012).

Особистий внесок здобувача. Всі основні результати отримані здобувачем особисто. У роботах, опублікованих зі співавторами, здобувачеві належать: [1] – удосконалена кубітна модель даних, яка відрізняється від аналогів нечисельним поданням розрядів у двійковому векторі; квантова модель даних і обчислювального процесу вирішення задачі дискретної оптимізації; [2] – нова автоматна модель комбінаційного пристрою, яка характеризується можливістю автономного та вбудованого відновлення працездатності компонентів логічних пристроїв за рахунок переадресації дефектних примітивів; [3] – удосконалений метод оцінювання ефективності обчислювальних структур, який відрізняється від аналогів застосуванням графової моделі між'єднань функціональних блоків, удосконалений алгоритм Дейкстра; [4] – удосконалений суперпозиційний метод синтезу кубів функціональностей; [5] – застосування метрики і критеріїв взаємодії об'єктів у кіберпросторі для підвищення швидкодії розв'язання задач дискретної оптимізації; [6] – нова апаратно-орієнтована модель паралельного обчислення булеана, яка характеризується використанням процесорної Хассе-структури; [7] – метод кореляційного аналізу ефективності каналу передачі інформації; [8] – дисперсійний аналіз у процесі пасивного моніторингу і діагностування комунікаційної мережі; [9] – аналіз матриці активізації для пошуку дефектів із заданою глибиною; [10] – Хассе-структура обчислювального процесу; [11] – створення PLD-орієнтованого прототипу обчислювального пристрою на базі структури Хассе; [12] – оцінка топології з'єднань компонентів цифрової системи за допомогою модифікованого алгоритму Дейкстра.

Апробація результатів дисертації. Основні результати дисертації доповідалися на шести наукових конференціях різного рівня, що мають безпосереднє відношення до теми дисертаційної роботи: 1) XI міжнародна науково-технічна конференція CADSM 2011, Львів, Україна; 2) IEEE East-West Design and Test Symposium 2011, 2012, Україна; 3) XVI Міжнародний молодіжний форум «Радиоэлектроника и молодежь в XXI веке» 2012, Україна; 4) XI міжнародна конференція TCSET 2012, Україна; 5) 4th

створює 16 різних функцій від двох змінних. У той же час останню таблицю можна представити у вигляді кодів символів багатозначного алфавіту, якими легко оперувати для розв'язання задач синтезу й аналізу булевих функцій:

Q	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
E	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
H	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
J	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
	∅	J	H	B	E	I	P	C	Q	S	O	F	A	L	V	Y

Зазначену таблицю легко побудувати для будь-якої кількості примітивів ($n=2, 3, 4, 5, 6, 7, 8 \dots$), де теоретико-множинні операції над символами зводяться до логічних операцій над векторами. Два найбільш традиційних примітиви (0,1) створюють відомий алфавіт Кантора:

0	0	0	1	1
1	0	1	0	1
	∅	1	0	X

Таким чином, перехід від двійкових векторів вхідних сигналів до символів замкнутого багатозначного алфавіту дає принципово нову можливість мінімізації кубічних покриттів (таблиць істинності), які завжди будуть мати не більше двох кубів $f(X)=\{C_1, C_0\}$, $C_1 \cup C_0 = U$, $C_1 = \overline{C_0}$, які формують одиничне і нульове значення виходу функції двома символами, що взаємно доповнюють один одного і в сукупності формують символ-універсум. При цьому потужність універсуму примітивів $\text{card}U = n$ формує загальне число станів $Q = 2^n$ або похідних від них символів, які кодуються 2^n двійковими розрядами. Подальше двійкове кодування вхідного символу кожного з двох кубів дає можливість максимально наблизитися до реалізації функціонального примітиву як елемента пам'яті програмовних логічних пристроїв (PLD), де вхідне слово логічного елемента є адресою комірки пам'яті (біта), в якому записано стан виходу.

Кубіт є двійковим вектором, що містить n бітів для визначення булеана (множини всіх підмножин) станів $Q = 2^n$ на основі унітарного кодування n примітивних символів (елементів).

Кубіт – це сукупність рівнозначних двійкових n бітів, що формують за допомогою одиничних значень n примітивів для позначення $Q = 2^n$ станів, що становлять булеан – множину всіх підмножин від n примітивів. У кубіті немає чисел. Всі біти кубіта однакові при створенні примітивів і відрізняються тільки адресою. Будь-яка теоретико-множинна операція виконується за один такт, що неможливо при визначенні асоціації примітивів у рахунковому (упорядкованому) просторі пам'яті комп'ютера.

В ідеалі використання кубітної структури дає можливість визначити будь-яку функціональність у вигляді двох кубів, прив'язаних до нуля і одиниці. Такі куби формують КНФ і ДНФ відповідно. Можна спростувати і далі шляхом виключення з розгляду нуля і одиниці, неявно маючи їх на увазі. При цьому два куби, що формують вхідні умови, будуть завжди взаємно інверсними, оскільки вони доповнюють один одного до універсуму примітивів. Отже, необхідно залишити лише одну букву (символ), тобто один двійковий код, який є таблицею істинності (двовходового) функціонального примітиву:

$$\begin{array}{|c|c|} \hline 00 & 0 \\ \hline 01 & 1 \\ \hline 10 & 1 \\ \hline 11 & 0 \\ \hline \end{array} = \begin{array}{|c|c|} \hline Q & 0 \\ \hline E & 1 \\ \hline H & 1 \\ \hline J & 0 \\ \hline \end{array} = \begin{array}{|c|c|} \hline S & 0 \\ \hline P & 1 \\ \hline \end{array} = \begin{array}{|c|c|} \hline 1001 & 0 \\ \hline 0110 & 1 \\ \hline \end{array} \rightarrow P = \boxed{0110}$$

$$Y = P = E \vee H = A_1 \vee A_2 = \bar{x}_1 x_2 \vee x_1 \bar{x}_2.$$

Отриманий вектор інтерпретується не тільки як сукупність адресовних бітів, але як куб, що формує одиничне значення виходу примітиву, над яким можна виконувати паралельні векторні логічні операції.

Метод суперпозиції кубів примітивних елементів передбачає довизначення всіх координат вектора станів виходів шляхом суперпозиції m кубічних покриттів, що входять до складу схемної структури. У цьому випадку обчислювальна складність отримання функціонального покриття дорівнює $q=2 \times m$, за умови, що структурні компоненти схеми попередньо ранжовані відповідно до порядку поширення сигналів, а покриття кожного примітиву містить 2 куби.

Процес модель отримання покриття логічної функціональності шляхом її послідовного розкладання за n змінними передбачає такі пункти: 1. Виконання декартова добутку $\{\vee, \wedge, \oplus\}$ логічної функції двох (n) змінних в цілях формування вектора вихідних значень розмірністю $p=2^n$. Тут кожен біт вектора однієї змінної X_i взаємодіє за допомогою логічної

$$\text{операції з кожним бітом вектора іншої змінної } X_j: \begin{array}{|c|c|} \hline X_1 & X_2 \\ \hline 0 & 0 \\ \hline 0 & \wedge \\ \hline 1 & 1 \\ \hline \end{array} = \begin{array}{c} X_1 \wedge X_2 \\ 0 \\ 0 \\ 0 \\ 1 \end{array}.$$

Розмірність отриманого вектора дорівнює $p = p_1 \times p_j$, де p_1, p_j – розрядності двійкових векторів при відповідних змінних. 2. Послідовне виконання декартових (векторних) логічних операцій над всіма примітивами (логічними змінними): $P = \prod_{i=1}^n P_i$ для отримання куба логічної функціональності

змінними): $P = \prod_{i=1}^n P_i$ для отримання куба логічної функціональності

максимальної розмірності $p = 2^n$. 3. Мінімізація довжини куба функціональності шляхом виключення несуттєвих змінних, де усунення m змінних зменшує в 2^m разів вихідну розмірність куба (вектора) функціонування схеми. 4. Виключення суперечливих вхідних впливів, якщо терми логічної функції мають одні й ті ж змінні.

У третьому розділі запропоновано нову автоматну модель комбінаційного пристрою, яка характеризується можливістю автономного та вбудованого відновлення працездатності компонентів логічних пристроїв за рахунок переадресації дефектних примітивів, удосконалений метод оцінювання ефективності обчислювальних структур, що відрізняється застосуванням модифікованого алгоритму Дейкстри.

Структура моделі функціональності, орієнтованої на реалізацію в кристалі PLD, містить п'ять компонентів:

$$S = \langle P, F, M, L, T \rangle; P = (P_1, P_2, \dots, P_1, \dots, P_n); F = (F_1, F_2, \dots, F_j, \dots, F_m);$$

$$M = (M_1, M_2, \dots, M_r, \dots, M_k); L = [L_{pq}]; p = \overline{1, n}; q = \overline{1, s_p};$$

$$T = [T_{te}]; t = \overline{1, \eta}; e = \overline{1, \mu}; M(L) = P[M(L)].$$

Тут представлено: 1) примітиви схемної структури P , визначені ідентифікаторами типу функціональності (номер або код команди); 2) типи функціональних елементів F – набір елементів пам'яті LUT, з яких реалізуються примітиви, а також надлишкові елементи для ремонту функціональностей; 3) вектор моделювання M (двійковий), що визначає стани всіх ліній (вхідних, внутрішніх, вихідних); 4) матриця еквівалентних ліній зв'язку L для об'єднання n логічних елементів в структуру; 5) матриця вхідних тестових (робочих) наборів T . Обробка схеми (processing) схеми в кристалі зводиться до визначення адреси, складеної двійковими бітами вектора моделювання, за якою знаходиться логічна функція. Кожен примітив має цикл обробки з трьох процедур: 1) Адресне зчитування номерів вхідних змінних з відповідного стовпця матриці L для формування адреси стану вхідної змінної вектора моделювання: $A = L_{ij}, i = \overline{1, n}; j = \overline{1, s_p} - 1$; 2) Формування адреси (двійкового коду) для обчислення логічної функції шляхом конкатенації відповідних станів вхідних змінних у векторі моделювання $A = M(L_{ij}) * M(L_{ir})$; 3) Запис результату виконання логічної функції як стану виходу у відповідний розряд вектора моделювання $M(L_{is_p}) = F[M(L_{ij}) * M(L_{ir})]$.

Процес обробки всіх примітивів схеми у даному випадку є строго послідовним, що являє собою істотне уповільнення процедури формування станів вихідних змінних. Проте зменшення швидкодії можна вважати платою за сервіс убудованого і автономного відновлення працездатності цифрової структури, що є одним з етапів функціонування інфраструктури обслугову-

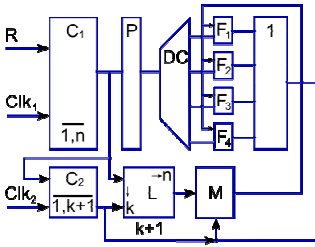


Рис. 1. Операційна структура комбінаційної схеми

дешифратор типів примітивів DC; пам'ять для зберігання вектора моделювання M; матрична пам'ять для зберігання номерів входів-виходів структурних примітивів L; лінійка пам'ятей, що реалізують функціональні примітиви F; регістр формування вхідного адресного слова для оброблюваного примітиву RG; логічний елемент Or для комутації результатів обробки функціональних примітивів.

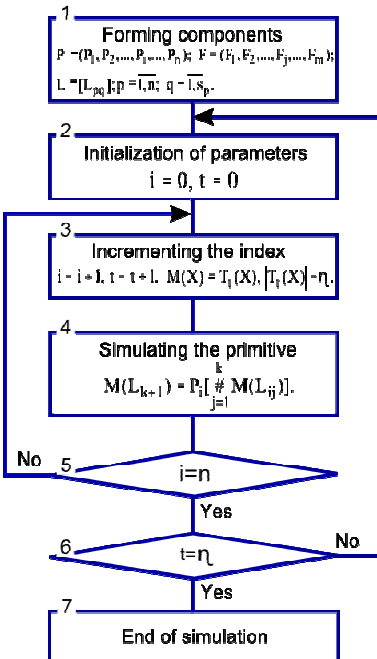


Рис. 2. Граф-схема алгоритму керування процесом моделювання

вання SoC, наведеної на рис. 1. Комбінаційна схема є операційним пристроєм, в якому можна виділити операційний і керуючий автомати. Замінюваними компонентами в операційному автоматі є типи примітивів – функціональні елементи, рис. 2. Операційний пристрій реалізації елементо-адресовних комбінаційних схем містить: лічильник обробки поточного примітиву C_1 ; пам'ять для зберігання типів примітивів, відповідних структурним елементам P; лічильник зчитування номерів вхідних і вихідних змінних поточного примітиву C_2 ;

Граф-схема алгоритму керування процесом моделювання структури комбінаційної схеми наведена на рис. 2: 1. Ініціалізація (формування) всіх компонентів (номери та типи елементів, лінії зв'язків для входів і виходів логічних елементів) схемної структури:

$$P = (P_1, P_2, \dots, P_1, \dots, P_n); F = (F_1, F_2, \dots, F_j, \dots, F_m);$$

$$L = [L_{pq}]; p = \overline{1, n}; q = \overline{1, s_p}.$$

2. Ініціалізація параметра оброблюваного примітиву і номеру вхідного набору $i=0, t=0$ для його моделювання в двійковому алфавіті $M_r = \{0,1\}$.

3. Інкрементування індексу примітиву, номеру тесту та ініціалізація вхідного тестового (робочого) набору: $i = i + 1, t = t + 1, M(X) = T_t(X), |T_t(X)| = \eta$.

4. Конкатенація (#) розрядів слова для формування вхідного впливу $\#_{j=1}^k M(L_{ij})$

логічного елемента P_i і виконання процедури визначення стану його виходу з наступним записом у відповідну координату вектора моделювання:

$$M(L_{k+1}): M(L_{k+1}) = P_i \left[\#_{j=1}^k M(L_{ij}) \right]. \quad 5. \text{ Повторення пунктів 3 і 4 в цілях}$$

отримання станів виходів всіх логічних елементів до виконання умови: $i = n$.

6. Повторення пунктів 2-4 з метою моделювання всіх вхідних тестових (робочих) наборів, до виконання рівності: $t = \eta$, де η – довжина тесту.

7. Закінчення процесу моделювання цифрового пристрою.

Відстань між компонентами цифрової системи є основним параметром, який впливає на швидкість виконання (функціональності або сервісу) транзакцій між компонентами або елементами структури. При розгляді двох варіантів реалізації, наприклад, мультипроцесорної системи, необхідно визначити інтегральну характеристику у вигляді суми всіх відстаней між кожною парою компонентів або вершин відповідного графа.

Інтервальний $[0,1]$ критерій структурної ефективності цифрової системи визначається як число n всіх можливих пар (сполучень по два) на фіксованій множині вершин графа, віднесене до суми мінімальних відстаней між ними:

$$Q = \sum_{i=1}^n \frac{1}{\min p_i} = \frac{n}{\sum_{i=1}^n \min p_i}.$$

Платою за підвищення структурної ефективності цифрової системи для прийому і передачі інформації служить структурна складність проекту, що визначається n – кількістю дуг.

Таким чином, ефективність транзакційної структури цифрової системи (на кристалі) визначається відношенням кількості (ребер) парних сполук n компонентів до суми мінімальних шляхів (досяжностей p) кожної пари:

$$Q_t = \frac{\frac{1}{2}(n^2 - n)}{\sum_{i=1}^n \min(p_{ij})}.$$

Зазначена оцінка буде дорівнювати одиниці, якщо граф структури цифрової системи є повним, коли дві будь-які вершини суміжні. Однак реалізація такого графа транзакцій має високу апаратну складність, що призводить до необхідності ввести оцінку складності транзакційної структури як відношення реальної кількості E ребер графа, що містить n вершин, до повного графа даної структури:

$$Q_s = \frac{E}{\frac{1}{2}(n^2 - n)}.$$

Узагальнений критерій ефективності обчислювальної структури для довільної кількості компонентів або вершин, який залежить від кількості транзакційних з'єднань E , віднесених до суми мінімальних шляхів (досяжностей p) всіх пар вершин (вартість з'єднань відносно якості транзакцій):

$$Q = \frac{\frac{1}{2}(n^2 - n)}{\sum_{i=1}^n \min(p_{ij})} \times \frac{E}{\frac{1}{2}(n^2 - n)} = \frac{E}{\sum_{i=1}^n \min(p_{ij})}.$$

Ринкова привабливість аналізу ефективності структур актуальна не тільки для цифрових систем, мереж, телекомунікацій, але й для інфраструктури міст в умовах існування транспортних заторів. Тому три наведених нижче критерії орієнтовані на оцінювання проектів з позиції оперативної і стратегічної мінімізації маршрутів з'єднань двох пунктів при введенні додаткових витрат на з'єднання у відповідному графі:

$$Q_1 = \frac{E}{\sum_{i=1}^n \min(p_{ij})}; \quad Q_2 = \frac{2 \times \sum_{i=1}^n \min(p_{ij})}{n^2(n-1)}; \quad Q_3 = \frac{2 \times E}{(n^2 - n)} \times \left[1 - \frac{1}{n \times E} \times \sum_{i=1}^n \min(p_{ij}) \right].$$

У четвертому розділі пропонується нова апаратно-орієнтована модель паралельного обчислення булеана, що характеризується використанням процесорної Хассе-структури.

Модель квантового пристрою описана мовою Verilog. Елементарна комірка процесора складається з двох регістрових вентилів, рис. 3. Регістровий елемент or виконує логічну операцію над двома векторами і формує вектор результату. Регістровий вентилю and виконує згортку всіх бітів вектора за операцією and та формує однобітовий елемент, що ідентифікує одиничним значенням оптимальне рішення задачі покриття.

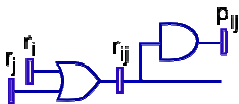


Рис 3. Елементарна комірка квантового процесора

Фрагмент спрощеної схеми квантового процесора для вирішення задачі покриття наведено на рис. 4. Тут представлено формування значень для вершин діаграми Хассе шести рівнів. Слід мати на увазі, що кожен елемент у схемі має на виході

примітив аналізу якості покриття у вигляді функції and . Схема містить тільки вузли комірок, що реалізують операцію АБО. Вентилю редукції векторів за операцією I не наведено, щоб спростити зображення.

Реалізація обчислювального пристрою виконана на основі кристала FPGA фірми Xilinx xc3s1600e-4-fg484.

Результати дисертаційної роботи у вигляді програмних і апаратних модулів інтегровано у структуру проектування та сервісного обслуговування цифрових систем на кристалах (рис. 5: BIS – Block of Infrastructure; SI – Spare

of Interface; IM– Instruction Memory; SIM – Spare of Instruction Memory; DM – Data Memory; SDM – Spare of Data Memory; MP – Multiprocessor; SMP – Spare of Multiprocessor; CU – Control Unit; SCU – Spare of Control Unit; MX – Multiplexor; D – Data; I – Instructions; LB – Logic Block SLB – Spare of Logic Block).

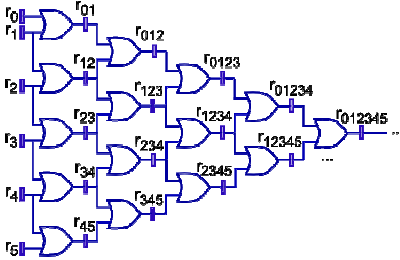


Рис. 4. Фрагмент схеми RTL-рівня

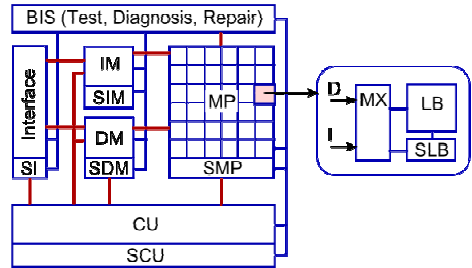


Рис. 5. Мультипроцесор із сервісом вбудованого ремонту

Структура обчислювального пристрою на основі мультипроцесорних компонентів орієнтована на паралельне виконання обмеженої множини логічних операцій над матричними даними. При цьому мультипроцесор має резервні модулі, представлені блоком SMP. Крім того, кожна комірка мультипроцесора, може мати свої резервні логічні модулі нижнього рівня для відновлення працездатності компонента, якщо його структурна складність є досить високою. Тут модуль BIS призначений для вбудованого сервісного обслуговування всіх компонентів SoC: тестування, діагностування та ремонту при виникненні дефектів. Компонентом BIS є Хассе-процесор, який використовується для паралельного пошуку дефектних модулів на основі аналізу таблиці функціональних порушень і результатів тестування. Крім того, Хассе структура допомагає істотно зменшити час пошуку збіжних розгалужень з метою їх наступної реструктуризації. Дана процедура дозволяє виключити змагання сигналів в проектах цифрових систем і повинна виконуватися на RTL-стадії проходження проекту. Сумарно запас компонентів не повинен перевищувати 20% від функціональної складності кристала. Однак межі надлишковості у кожному конкретному випадку визначаються розробником цифрової системи на кристалі.

Стратегія вбудованого сервісного обслуговування функціональних модулів SoC представлена на рис. 6. Вона передбачає такі етапи: 1) тестування функціональностей за допомогою направлених Testbench, які доставляються до кожного модуля за допомогою механізму граничного сканування у відповідності зі стандартом IEEE 1500. Результатом тестування є вектор експериментальної перевірки, що фіксує позитивні та негативні реакції виходів функціонального модуля на Testbench; 2) діагностування модуля на предмет визначення місця й виду дефекту за допомогою спільного аналізу таблиці функціональних порушень і вектора експериментальної

перевірки на основі використання Хассе процесора, орієнтованого на пошук оптимального покриття у паралельно-последовному режимі; 3) відновлення працездатності функціонального блоку на основі автономної переадресації несправного компонента шляхом вибору запасного модуля з компонентів Spare.

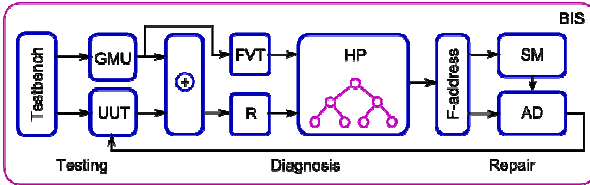


Рис. 6. Стратегія сервісного обслуговування SoC

В роботі виконано такі експерименти. 1) Синтез кубітних покриттів. Виконано побудову кубітних моделей для 12 комбінаційних функціональних примітивів (мультиплексори, дешифратори, перетворювачі кодів) і 13 послідовних, у тому числі тригери, лічильники, автомати на основі граф-схем алгоритмів. Середній показник зменшення об'єму інформації для 25 цифрових примітивів становить 2,5 рази, що є також суттєвою перевагою для прямого і зворотного аналізу таких моделей у процесі проектування і верифікації. Таблиця істинності або кубічне покриття трансформується в явній формі до одного вектору розмірністю $L = 2^n$ біт, де n – кількість вхідних змінних комбінаційного функціоналу. 2) Вбудований ремонт комбінаційних схем. Проведено експерименти над 15 комбінаційними схемами різної структурної складності, що містять від 10 до 250 примітивів. Залежно від повторюваності логічних елементів одного типу існує апаратна надлишковість для вбудованого ремонту, яка знаходиться в межах від 15% та вище. При цьому середнє значення становить 45% надлишковості при одноразовому резервуванні кожного примітиву схемної структури. 3) Аналіз ефективності обчислювальних архітектур. Проведено експерименти над 21 структурою між'єднань обчислювальних елементів, які характеризувалися діагональними з'єднаннями, організованими в трикутники, чотирикутники і чотирикутники з діагоналями. Середнє значення ефективності таких структур має оцінки: 0,4 – 0,3 – 0,6 відповідно. При цьому середня вартість витрат на створення таких архітектур становить: 0,6 – 0,5 – 0,7 відповідно. Тому оптимальною структурою, віднесеною до вартості її створення, буде граф, складений із трикутників. 4) Хассе-процесор для квантового розв'язання задачі покриття. Виконано генерацію семи архітектур Хассе процесора, починаючи від 4-х примітивів і завершуючи 10 елементами, що створюють множину всіх підмножин або булеан у формі вектора. Тут простежується аналітична закономірність зменшення часу вирішення задач покриття в

$$Q^T = \frac{2^n}{n} \text{ разів за рахунок відповідного збільшення апаратних витрат.}$$

Побудовано два графіки ефективності і витрат для архітектур мультипроцесорів трьох конфігурацій (прямокутники, трикутники і прямокутники з діагоналями), рис. 7, 8.

В роботі виконано такі експерименти. 1) Синтез кубітних покриттів. Виконано побудову кубітних моделей для 12 комбінаційних функціональних примітивів

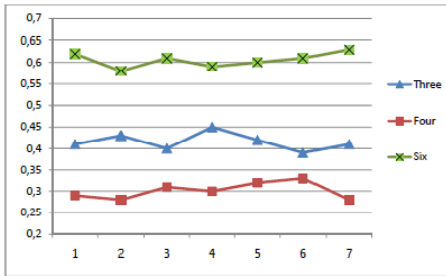


Рис. 7. Графіки ефективності трьох видів з'єднань (7 проектів)

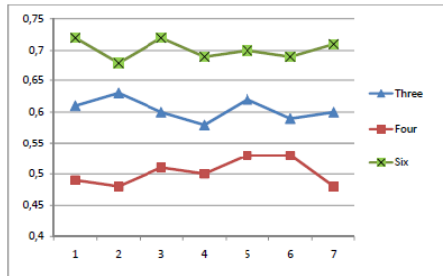


Рис. 8. Графіки витрат трьох видів з'єднань (7 проектів)

ВИСНОВКИ

Проведені дослідження в рамках дисертаційної роботи характеризуються розв'язанням актуальної науково-практичної задачі істотного (5%) підвищення якості апаратних продуктів шляхом створення вбудованої інфраструктури тестування та ремонту функціональних блоків, яка використовує автомат переадресації дефектних компонентів, а також спеціалізований процесор, що дозволило забезпечити автономне відновлення працездатності за рахунок структурно-функціональної надлишковості цифрових систем на кристалах. Запропоновано такі функціональні та інфраструктурні компоненти: 1) Метод синтезу функціональних описів, орієнтованих на імплементацію в кристали PLD, завдяки адресній організації станів виходів. 2) Модель оцінювання якості транзакційних з'єднань в архітектурі обчислювального пристрою. 3) Автоматна модель переадресації дефектних компонентів комбінаційної схеми шляхом використання ремонтного запасу примітивних елементів. 4) Спеціалізований процесор обробки нечислових даних, який характеризується обмеженим набором векторних логічних операцій, що дає можливість на порядок підвищити швидкість процедур тестування функціональних порушень цифрових виробів.

Всі теоретичні та практично орієнтовані розробки увійшли в технологічний маршрут убудованого тестування і ремонту цифрових систем на кристалах, який використовує запропоновані в роботі моделі та методи вбудованого відновлення працездатності, що дає можливість зменшити цикл непрацездатного стану цифрового продукту. Проведені експерименти на 9 тестових проектах показали істотне (15%) зменшення часу діагностування та ремонту.

Автором одержано такі наукові та практичні результати:

1. Нова апаратно-орієнтована модель паралельного обчислення булеана, яка характеризується використанням процесорної Хассе-структури для векторно-логічного аналізу даних, орієнтованого на паралельне розв'язання задач покриття, мінімізації функцій, аналізу обчислювальних структур, діагностування, відновлення працездатності та пошуку збіжних розгалужень.

2. Нова автоматна модель комбінаційного пристрою, орієнтована на вирішення двох практично корисних задач: убудоване відновлення працездатності компонентів комбінаційних логічних схем за рахунок збільшення часу обробки цифрового пристрою і додаткових апаратних витрат на створення інфраструктури моделювання адресних елементів; апаратне моделювання функціональностей цифрових проектів на основі використання PLD, що дає можливість істотно підвищити швидкодію верифікації програмних моделей.

3. Удосконалена кубітна модель даних, яка відрізняється нечисельним поданням розрядів у двійковому векторі для істотного підвищення швидкодії при вирішенні задач пошуку, розпізнавання, прийняття рішень, дискретної оптимізації та відмовостійкого проектування.

4. Удосконалений суперпозиційний метод синтезу кубів функціональностей, який відрізняється використанням структури примітивних елементів і формою отримання покриття, орієнтованого на імплементацію в структурні компоненти програмовних логічних пристроїв. Для певного класу пристроїв метод дозволяє істотно зменшити час отримання моделі цифрового пристрою, орієнтованої на імплементацію в кристали PLD.

5. Удосконалений метод оцінювання ефективності обчислювальних структур на основі використання графової моделі міжз'єднаних функціональних блоків, що дає можливість визначати якість топологічних архітектур цифрових систем на кристалах.

Практична значущість результатів дослідження:

1. Апаратний прототип квантового обчислювача основі програмовної логіки, який дозволяє істотно ($\times 10$ - $\times 100$) підвищити швидкодію оптимального пошуку покриттів в задачах дискретної оптимізації.

2. Верифікація моделей, методів та архітектури квантового обчислювача, що дозволяє використовувати їх в якості компонентів інфраструктури сервісного обслуговування і вбудованого ремонту цифрових систем для істотного (5%) підвищення якості SoC.

Отримані в процесі досліджень наукові висновки і положення є обґрунтованими і достовірними. Обґрунтованість підтверджується результатами експериментальних досліджень, обробкою тестових прикладів і 9 реальних функціональних модулів, орієнтованих на промислове використання. Результати експериментів підтверджують достатню ефективність засобів убудованого ремонту блоків, а також істотне підвищення продуктивності апаратних засобів кубітних обчислень у порівнянні з існуючими академічними аналогами. Достовірність наукових висновків підтверджується частковою інтеграцією розробленої інфраструктури тестування і ремонту з технологічними процесами компаній Aldec і Synopsys.

СПИСОК ОПУБЛІКОВАНИХ РОБІТ ЗА ТЕМОЮ ДИСЕРТАЦІЇ

1. Хаханов В.И. Квантовые модели вычислительных процессов / В.И. Хаханов, Мурад Али А., Е.И. Литвинова, О.А. Гузь, И.В. Хаханова // Радиоэлектроника и информатика.– 2011.– №3.– С.35-40.
2. Murad Ali Abbas. Инфраструктура встроенного восстановления логических PLD-схем / Murad Ali Abbas, В.И. Хаханов, Е.И. Литвинова, И.В. Хаханова // Радиоэлектроника и информатика.– №2.– 2012.– Р.54-57.
3. Хаханов В.И. Модели анализа эффективности вычислительных структур / В.И. Хаханов, С.В. Чумаченко, Murad Ali Abbas, А.А. Горобец // Радиоэлектроника и информатика.– 2012.– № 3.– С.4-9.
4. Nahanov V. Qubit models for Soc Synthesis / V. Nahanov, E. Litvinova, W.Gharibi, Murad Ali Abbas // Parallel & Cloud Computing: World Academic Publishing.– Vol.1, Iss.1.– 2012.– Р.16-20.
5. Хаханов В.И. Метрика и критерии анализа киберпространства / В.И. Хаханов, Мурад Али А., Baghdadadi Ammar Awni Abbas, О.А. Гузь, И.В. Хаханова // АСУ и приборы автоматики.– Вып. 156.– 2011.– С. 90-98.
6. Чумаченко С.В. Генерирование булеана для синтеза квантового процессора / С.В. Чумаченко, В.И. Хаханов, Мурад Али Аббас, О.А. Горобец // АСУ и приборы автоматики.– Вып. 157.– 2011.– С.4-16.
7. Babich A. Investigation of correlation between state of link channel and algorithms of applied software / A. Babich, Murad Ali Abbas // Матеріали XI Міжнародної науково-технічної конференції CADSM 2011.– 23-25 лютого, 2011.– Львів.– С. 157-159.
8. Babich A. Dispersion analysis in processes of passive monitoring and diagnosing of enterprise area networks / A. Babich, Murad Ali Abas // Proc. of IEEE East-West Design and Test Symposium.– Sevastopol.– 19-20 September, 2011.– P.295-298.
9. Мурад Али Аббас. Метод анализа матрицы активизации для поиска дефектов с заданной глубиной / Мурад Али Аббас, Георгий Сайганов // Материалы XVI Международного молодежного форума «Радиоэлектроника и молодежь в XXI веке».– 2012.– Ч. 5.– С.36-37.
10. Nahanov V. Quantum models for data structures and computing / V. Nahanov, I. Nahanova, O. Guz, Murad Ali Abbas // Матеріали XI Міжнародної конференції TCSET.– 2012. – Львів-Славське.– С. 291.
11. Хаханов В. Синтез кубитных моделей логических функций / В. Хаханов, Багдади Аммар Авни Аббас, О. Гузь, И. Хаханова // 4th International Conference “Telecommunications, Electronics and Informatics” ICTEI 2012.– Chisinau, Moldova.– 17-20 May 2012.– P. 56-61.
12. Abbas M.A. Models for Quality Analysis of Computer Structures / Murad Ali Abbas, S.V. Chumachenko, A.V. Nahanova, A.A. Gorobets, A. Priymak // Proc. of IEEE East-West Design and Test Symposium.– Kharkov.– 14-17 September, 2012.– P.258-263.

АНОТАЦІЯ

Мурад Али Абас. Квантові моделі обчислювальних процесів для тестування цифрових систем на кристалах. – На правах рукопису.

Дисертація на здобуття наукового ступеня кандидата технічних наук за спеціальністю 05.13.05 – комп'ютерні системи та компоненти. – Харківський національний університет радіоелектроніки, Харків, 2012.

Мета дисертаційного дослідження – зменшення часу відновлення працездатності цифрових систем на кристалах на основі використання кубітних моделей і квантових методів тестування та ремонту, що формують програмно-апаратну надлишковість інфраструктури вбудованого сервісного обслуговування функціональних компонентів з наперед заданим рівнем структурної деталізації. Основні результати: нова апаратно-орієнтована модель паралельного обчислення булеана, яка характеризується використанням процесорної Хассе-структури; нова автоматна модель комбінаційного пристрою, що характеризується можливістю автономного та вбудованого відновлення працездатності компонентів логічних пристроїв за рахунок переадресації дефектних примітивів; удосконалена кубітна модель даних, яка відрізняється нечисельним поданням розрядів у двійковому векторі; удосконалений суперпозиційний метод синтезу кубів функціональностей, що відрізняється формою отримання компактного покриття; удосконалений метод оцінювання ефективності обчислювальних структур, який відрізняється застосуванням модифікованого алгоритму Дейкстра для пошуку найкоротших шляхів між вершинами графової моделі функціональних блоків.

Ключові слова: верифікація, діагностування, тестування, цифрові системи на кристалах, кубіт, суперпозиція, графова модель, булеан, відновлення працездатності.

АННОТАЦИЯ

Мурад Али Абас. Квантовые модели вычислительных процессов для тестирования цифровых систем на кристаллах.– На правах рукописи.

Диссертация на соискание ученой степени кандидата технических наук по специальности 05.13.05 – компьютерные системы и компоненты.– Харьковский национальный университет радиоэлектроники, Харьков, 2012.

Цель диссертационного исследования – уменьшение времени восстановления работоспособности цифровых систем на кристаллах на основе использования кубитных моделей и квантовых методов тестирования и ремонта, формирующих программно-аппаратную избыточность инфраструктуры встроеного сервисного обслуживания функциональных компонентов с наперед заданным уровнем структурной детализации.

Объект исследования – процессы параллельной обработки данных для встроеного тестирования и ремонта цифровых систем на кристаллах на основе использования кубитных моделей компонентов.

Предмет исследования – модели, методы и архитектуры встроенного тестирования и ремонта компонентов цифровых систем на кристаллах на основе использования кубитных моделей компонентов.

Сущность научного исследования заключается в разработке кубитных моделей и квантовых методов тестирования и ремонта для создания инфраструктуры встроенного сервисного обслуживания функциональных моделей цифровых систем на кристаллах в целях уменьшения времени восстановления работоспособности, что позволяет существенно (5%) повысить качество изделия или выход годной продукции.

Основные результаты: 1) новая аппаратно-ориентированная модель параллельного вычисления булеана, которая характеризуется использованием процессорной Хассе-структуры для векторно-логического анализа данных, ориентированного на параллельное решение задач покрытия, минимизацию функций, анализ вычислительных структур, диагностирование, восстановление работоспособности и поиск сходящихся разветвлений; 2) новая автоматная модель комбинационного устройства, ориентированная на решение двух практически полезных задач: встроенное восстановление работоспособности компонентов комбинационных логических схем за счет увеличения времени обработки цифрового устройства и дополнительных аппаратных затрат на создание инфраструктуры моделирования адресных элементов; аппаратное моделирование функциональностей цифровых проектов на основе использования PLD, что дает возможность существенно повысить быстродействие верификации программных моделей; 3) усовершенствованная кубитная модель данных, которая отличается нечисленным представлением разрядов в двоичном векторе для существенного повышения быстродействия при решении задач поиска, распознавания, принятия решений, дискретной оптимизации и отказоустойчивого проектирования; 4) усовершенствованный суперпозиционный метод синтеза кубов функциональностей, который отличается использованием структуры примитивных элементов и формой получения покрытия, ориентированного на имплементацию в структурные компоненты программируемых логических устройств; для определенного класса устройств метод позволяет существенно уменьшить время получения модели цифрового устройства, ориентированной на имплементацию в кристаллы PLD; 5) усовершенствованный метод оценивания эффективности вычислительных структур на основе использования графовой модели межсоединений функциональных блоков, дающий возможность определять качество топологических архитектур цифровых систем на кристаллах.

Практическая значимость результатов исследования:

1. Аппаратный прототип квантового вычислителя основе программируемой логики, который позволяет существенно ($\times 10$ - $\times 100$) повысить быстродействие оптимального поиска покрытий в задачах дискретной оптимизации.

2. Верификация моделей, методов и архитектуры квантового вычислителя позволяет использовать их в качестве компонентов инфраструктуры сервисного обслуживания и встроенного ремонта цифровых систем для существенного (5%) повышения качества SoC.

Ключевые слова: верификация, диагностирование, тестирование, цифровые системы на кристаллах, кубит, суперпозиция, графовая модель, булеан, восстановление работоспособности.

ABSTRACT

Ali Abas Murad. Quantum models of computational processes for testing digital systems-on-chips. – Manuscript.

PhD thesis (candidate degree of technical sciences) in speciality 05.13.05 – Computer Systems and Components. – Kharkiv National University of Radio Electronics, Kharkiv, 2012.

The aim of the research is reducing repairing time of digital systems-on-chips, based on qubit models and quantum methods for testing and repairing, forming hardware and software redundancy of built-in infrastructure IP for functional components with given level of structural granularity.

Main results: a new hardware-focused model for parallel computing the Boolean (the set of all subsets), which is characterized by using processor Hasse-structure; a new automaton model of combinational unit, which is characterized by the possibility of autonomous and built-in repairing components of logic devices by means of readdressing faulty primitives; an improved qubit model of data that differs from analogues by not numerical view of bits in a binary vector; an improved superposition method for synthesis of functionality cubes that differs from analogues by form of obtaining coverage; an improved method for evaluating the effectiveness of computational structures, which is characterized by using modified Dijkstra's algorithm to find the shortest paths between the nodes of the graph model of functional blocks.

Key words: verification, diagnosis, testing, system-on-chip, qubit, superposition, graph model, the set of all subsets, repair.

Відповідальний випусковий **Свищ В.М.**

Підп. до друку __.__.12. Формат 60x84¹/₁₆. Папір друк.; Умов. друк. арк. 1,2

Облік. вид. арк. 1,0. Зам. № 11-71; Тираж 120 прим.

Надруковано у видавництві ЧП “Степанов В.В.”

61168, Харків, вул. акад. Павлова, 311