

---

681.325.53: 37: 004.5

*Н.Я.КАКУРИН, Ю.В.ЛОПУХИН, В.В. ВАРЕЦА, С.Н. САРАНЧА,  
А.Н. МАКАРЕНКО*

## **СХЕМОТЕХНИЧЕСКОЕ ПРОЕКТИРОВАНИЕ НА ЯЗЫКЕ VHDL ПРЕОБРАЗОВАТЕЛЕЙ КОДОВ ПО МЕТОДУ ДОСЧЕТА**

---

Рассматривается структура и функционирование многосекционных преобразователей кодов по методу досчета. Обосновывается выбор языка VHDL и рассматривается реализация преобразователя двоичного кода в двоично-двенадцатиричный код по методу досчета .

### **1. Постановка задачи**

Рост быстродействия высокопроизводительных вычислительных систем в настоящее время невозможен без использования быстродействующих методов и средств обработки первичной информации.

Особая группа функционально-ориентированных устройств (ФОУ) применяется в качестве предпроцессоров и постпроцессоров. Предпроцессор ведет обработку информации до основного ( центрального ) процессора, постпроцессор – после.

Известно, что в современных универсальных ЭВМ преобразование чисел выполняется программным способом, что снижает их производительность. Переход на быстродействующие аппаратурные способы преобразования кодов позволяет значительно увеличить быстродействие вычислительной системы и является перспективным.

Достоинством преобразователей кодов по методу досчета (ПК ДСЧ), относящихся к аппаратурным способам преобразования, является схемная простота, малые аппаратурные затраты, низкая стоимость и линейный рост аппаратурных затрат от разрядности входного кода [1-3].

Основными параметрами ПК ДСЧ являются: система счисления на входе и выходе, разрядность входного и выходного кодов, быстродействие, аппаратурные затраты и стоимость. Реализация ПК ДСЧ на БИС или СБИС улучшает их основные параметры.

Быстродействие ПК ДСЧ в дальнейшем будем оценивать не по абсолютным единицам времени (нс, мкс, мс), а по относительным (по количеству тактов преобразования максимального числа).

Характеристика стоимости является вторичной по отношению к параметру аппаратных затрат и отражает влияние на нее типа применяемых элементов.

Целью настоящей работы являются:

- анализ структурных особенностей и основных характеристик ПК ДСЧ;
- алгоритмизация нахождения структуры ПК ДСЧ с наибольшим быстродействием;
- рассмотрение результатов схемотехнического проектирования на языке VHDL многосекционной структуры ПК ДСЧ двоичного кода в двоично-двенадцатиричный код.

## 2. Односекционная и многосекционная схемы ПК ДСЧ

Простейшим преобразователем по методу досчета является односекционная схема, содержащая один входной вычитающий счетчик и один выходной суммирующий.

Недостатком односекционного ПК ДСЧ есть значительное число тактов на преобразование максимального числа.

Пусть система счисления на входе –  $p$ ; число входных разрядов  $nZ$ ; длительность периода импульсов генератора –  $T_{Г}$ .

Тогда при  $p=2$ ;  $nZ=20$  время преобразования определяется формулой:

$$t_{пр} = T_{Г} \cdot N_{\max} = T_{Г} \cdot (p^{nZ} - 1), \quad (1)$$

при  $T_{Г} = 1 \cdot 10^{-6} \text{ с.}$ ;  $t_{пр} = 1 \cdot 10^{-6} (2^{20} - 1) = 1 \cdot 10^{-6} \cdot 1,048575 \cdot 10^6 \approx 1,05 \text{ с.}$

Для ускорения процесса преобразования чисел можно использовать различные приемы, в частности разбиение входных и выходных счетчиков на две [1] или на большее число секций [2-4].

Перевод чисел в многосекционных ПК ДСЧ происходит путем последовательно-возвратного обнуления каждого входного счетчика. При этом способе обнуление входного счетчика второй секции начинается только после полного обнуления входного счетчика первой секции, обнуление третьей секции возможно после полного обнуления предыдущих входных секций, т.е. второй и первой.

Структура многосекционного ПК ДСЧ показана на рис. 1.

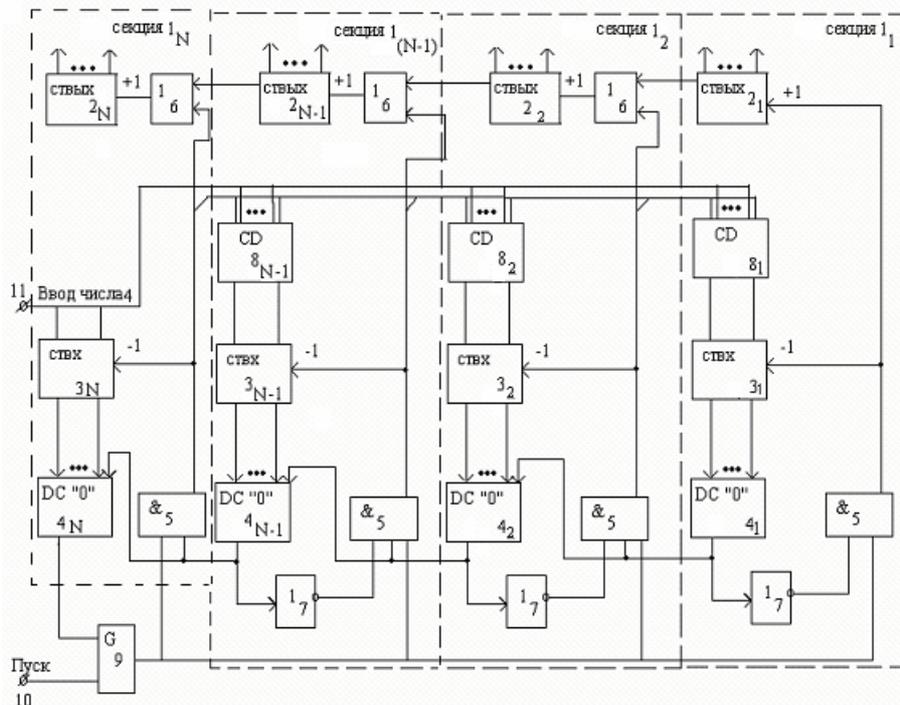


Рис. 1. Структура многосекционного ПК ДСЧ

Преобразователь содержит  $N$  преобразующих секций  $I$ ; каждая преобразующая секция  $I$  – декаду (при  $K=10$ ) двоично-десятичного счетчика 2, двоичный счетчик 3, дешифратор нуля 4, элемент И 5. Все секции  $I$ , кроме младшей, содержат элемент ИЛИ 6; все секции,

кроме старшей, – элемент НЕ 7. Все преобразующие секции, кроме двух старших, содержат шифраторы 8.

Преобразователь содержит генератор импульсов 9 и вход пуска 10. Обозначим коэффициент пересчета двоичных счетчиков  $3_i$  через  $M_i$  ( $i = \overline{1, N}$ ). Устройство работает следующим образом. В исходном состоянии в двоичных счетчиках  $3_i$  ( $i = \overline{1, N}$ ) записаны числа  $a_1, a_2, \dots, a_n$  преобразуемого двоичного кода, а декады двоично-К-ичных счетчиков  $2_i$  ( $i = \overline{1, N}$ ) установлены в нуль. При этом на выходе дешифратора нуля  $4_i$  появляется запрещающий потенциал, если в двоичном счетчике  $3_i$  записано какое-либо число, отличное от нуля. По сигналу “Пуск” импульсы с выхода генератора 9 поступают через элемент И  $5_1$  на счетный вход вычитания счетчика  $3_i$  и на счетный вход сложения счетчика  $2_1$  и производят вычитание единиц из счетчика  $3_1$  и прибавление единиц в счетчик  $2_1$  (по единице на каждый импульс) до тех пор, пока в счетчике  $3_1$  не установятся нули. Таким образом, число  $a_1$  будет перенесено в счетчик  $2_1$ . Если  $a_1 \geq 10$ , то возникает единица переноса, которая поступает через элемент ИЛИ  $6_2$  на счетный вход счетчика  $2_2$ , а в счетчике  $2_1$  останется число  $m_1 = a_1 - 10$ .

Если  $a_1 < 10$ , то в счетчике  $2_1$  остается число  $m_1 = a_1$ .

Преобразование называется возвратно-поступательным, так как прохождение одного импульса на обнуление второй секции приводит к записи корректирующей поправки  $R_{21}$  в первый входной счетчик. Затем вновь начинается обнуление первого входного счетчика. При этом первый импульс с выхода генератора 9, пройдя через элемент И  $5_i$  ( $i = \overline{2, N}$ ) и шифратор  $8_i$  ( $i = \overline{1, N-2}$ ), при  $p=2$  и  $K=10$  устанавливает число  $R_i$ , представленное формулой:

$$R_i = R_{i,i-1} R_{i,i-2} \dots R_{i,1} = \prod_{l=1}^{i-1} M_l - K^{i-1} = 2^{\sum_{l=1}^{i-1} n_l} - 10^{i-1} \quad (2)$$

( $n_l$  – количество двоичных разрядов в двоичном счетчике секции  $l$ ) в двоичные счетчики  $3_l$  ( $l = \overline{1, i-1}$ ) соответствующих предыдущих секций. После вычитания последней единицы из счетчика  $3_N$  и последнего числа  $R_N$  из счетчиков  $3_l$  ( $l = \overline{1, i-1}$ ) на выходе дешифратора нуля  $4_N$  появляется сигнал, останавливающий работу генератора импульсов 9. На этом преобразование кода заканчивается.

### 3. Метод определения основных параметров многосекционного ПК ДСЧ

Разбиение ПК по методу досчета на секции выполняется таким образом, чтобы сохранилась счетчиковая структура выходных счетчиков (чтобы перенос был строго равен 1). При  $p=2$  и  $K \neq 10$  требуется выполнение общего условия:

$$2^{n_1} = (1a)_K; 2^{n_1+n_2} = (1ab)_K; 2^{n_1+n_2+n_3} = (1abc)_K. \quad (3)$$

Это возможно в случае выполнения неравенства:

$$p^L \geq K^{i-1}, (i = \overline{2, N}), \quad (4)$$

где  $i$  – номер секции;  $N$  – максимальное число секций;  $L$  – наименьшее целое число, при котором выполняется неравенство (4). При этом  $L$  не должно превышать заданное число разрядов  $nZ$ .

Как только  $L \geq nZ$ , процесс разделения на секции прекращается. В результате получим:

$$L = \sum_{l=1}^{i=N} n_l, \quad (5)$$

здесь  $n_l$  – число входных  $p$ -ичных разрядов в секции  $l$ . Если обозначить  $M_l = p^{n_l}$ , то корректирующие поправки из  $i$ -ой секции  $i-1, i-2, \dots, 1$  определяются по формуле:

$$R_i = R_{i,i-1} R_{i,i-2} \cdots R_{i,1} = \prod_{l=1}^{i-1} M_l - K^{i-1} = p^{\sum_{l=1}^{i-1} n_l} - K^{i-1}. \quad (6)$$

Например, при  $p=2$ ;  $K=10$ ;  $nZ=10$  имеем  $2^4 \geq 10^1$  и  $n_1 = 4$ ;  $R_2 = R_{21} = 16 - 10 = 6$ .  
 Далее  $2^7 \geq 10^2$ ;  $n_2 = 7 - 4 = 3$ ;  $R_3 = 128 - 100 = 28_{10}$ . Для нахождения поправок  $R_{32}; R_{31}$  число  $28_{10}$  переводится в двоичную систему счисления  $28_{10} = 0011\ 1100_2$  и разделяется на секции по числу входных разрядов и переводится вновь в десятичную систему  $R_{32} = 1; R_{31} = 12$ .

На следующем шаге имеем  $2^{10} \geq 10^3$ ;  $n_3 = 3$ .

Поправки  $R_4 = 2^{10} - 1000 = 1024 - 1000 = 24_{10} = 000\ 0011\ 1100$  и  $R_{43} = 0; R_{42} = 1; R_{41} = 8$ .

На последнем шаге разбиения на секции, если  $L > nZ$ , число  $p$ -ичных разрядов секции  $n_N$  находят по формуле:

$$n_N = n_z - \sum_{i=1}^{N-1} n_i \quad (i = \overline{1, N-1}). \quad (7)$$

Преобразование числа в многосекционной схеме ПК ДСЧ аналогично счету импульсов в неоднородной позиционной системе счета с весами  $Q_i (i = \overline{1, N})$ .

Весовые коэффициенты секций  $Q_i$  определяют по формуле:

$$Q_i = 1 + \sum_{j=1}^{i-1} R_{ij} Q_j, \quad (i = \overline{1, N}), \quad (8)$$

где  $R_{ij}$  – корректирующая поправка из секции  $i$  в секцию  $j$ .

При числе разрядов каждой входной секции  $n_i$  и  $p=2$  максимальное число тактов преобразования ПК ДСЧ рассчитывается по формуле:

$$T_N = \sum_{i=1}^N (2^{n_i} - 1) \cdot Q_i \quad (9)$$

Величины поправок  $R_{ij}$  определяют системой счисления  $p$  на входе,  $K$  на выходе, числом разрядов  $nZ$  на входе и числом разрядов  $n_i$  каждой секции.

При разбиении ПК ДСЧ на секции указывают число выходных  $m_i$  и входных  $n_i$  разрядов каждой секции в виде:

$$\begin{aligned} m_N, m_{N-1}, m_{N-2}, \dots, m_2, m_1, \\ n_N, n_{N-1}, n_{N-2}, \dots, n_2, n_1 \end{aligned} \quad (10)$$

Многосекционное разбиение называют фундаментальным (основным), если в каждой секции находится по одному выходному разряду. Фундаментальному разбиению (ФР) соответствует минимальное число тактов.

Все другие разбиения ПК ДСЧ на секции можно получить из фундаментального. ФР можно отобразить в виде:

$$\begin{aligned} 1, 1, \dots, 1, 1 \\ n_N, n_{N-1}, \dots, n_2, n_1 \end{aligned} \quad (11)$$

#### 4. Алгоритм нахождения фундаментального разбиения ПК ДСЧ

Анализ рассмотренной выше методики позволяет сформулировать алгоритм нахождения ФР в виде:

1. Находятся разрядность каждой секции и число секций всего ПК по заданным основаниям входной и выходной систем счисления и разрядности на входе.

2. Строится матрица корректирующих поправок  $R_{ij} (i = \overline{2, N}; j = \overline{1, N-1})$ .

3. Вычисляются весовые коэффициенты  $Q_i (i = \overline{1, N})$  секций.
4. Определяется максимальное число тактов преобразования фундаментального разбиения  $T_N$ .

В соответствии с приведенным выше алгоритмом для  $p=2; nZ=21; K=12$  найдем, что  $2^4 \geq 12^1$ , следовательно  $n_1 = 4$ . Далее  $2^{4+4} \geq 12^2$ ;  $n_2 = 4$ ;  $2^{4+4+3} \geq 12^3$ ;  $n_3 = 3$ ;  $2^{4+4+3+4} \geq 12^4$ ;  $n_4 = 4$ ;  $2^{4+4+3+4+3} \geq 12^5$ ;  $n_5 = 3$ ;  $2^{4+4+3+4+3+3} \geq 12^6$ ;  $n_6 = 3$ .

Таким образом, ФР в данном случае имеет вид:

$$\begin{array}{c} 1,1,1,1,1,1, \\ 3,3,4,3,4,4. \end{array}$$

Корректирующие поправки  $R_{ij}$  находят способом вычисления общей поправки  $R_i$  и разделение ее на поправки по секциям  $j = \overline{1, i-1}$ . Общая поправка  $R_i$  вычисляется по формуле (6).

Затем поправку  $R_i$  переводят во входную систему счисления  $p$  и представляют  $n_1 + n_2 + \dots + n_i$  разрядными числами. Полученное число разбивается на группы по  $n_i$  разрядов в каждой. Каждая группа двоичных разрядов представляет собой чистую поправку  $R_{ij}$ , которая для удобства вычислений переводится в десятичную систему счисления.

Поправочные коэффициенты в общем виде записываются по матрице:

$$R_{ij} = \begin{array}{c} R_2 \\ R_3 \\ R_4 \\ \vdots \\ R_N \end{array} \left| \begin{array}{cccccc} 0 & 0 & \dots & 0 & 0 & R_{21} \\ 0 & 0 & \dots & 0 & R_{32} & R_{31} \\ 0 & 0 & \dots & R_{43} & R_{42} & R_{41} \\ \vdots & \vdots & \dots & \vdots & \vdots & \vdots \\ R_{N,N-1} & R_{N,N-2} & \dots & R_{N,3} & R_{N,2} & R_{N,1} \end{array} \right. \cdot \quad (12)$$

Для рассматриваемого примера с  $p=2; K=12; N=6$  получим

$$\begin{aligned} R_2 &= 2^4 - 12^1 = 4_{10} = 0100_2; \\ R_{21} &= 0100_2 = 4_{10}; R_3 = 2^{4+4} - 12^2 = 112_{10} = 01110000_2; \\ R_{32} &= 7_{10}; R_{31} = 0_{10}; R_4 = 2^{4+4+3} - 12^3 = 320_{10} = 00101000000_2; R_{43} = 1_{10}; \\ R_{42} &= 4_{10}; R_{41} = 0_{10}; \\ R_5 &= 2^{4+4+3+4} - 12^4 = 12032_{10} = 010111100000000_2; R_{54} = 5_{10}; R_{53} = 7_{10}; \\ R_{52} &= 0_{10}; R_{51} = 0_{10}; \\ R_6 &= 2^{4+4+3+4+3} - 12^5 = 13312_{10} = 000011010000000000_2; \\ R_{65} &= 0_{10}; R_{64} = 6_{10}; R_{63} = 4_{10}; R_{62} = 0_{10}; R_{61} = 0_{10}. \end{aligned}$$

В итоге получим следующую матрицу корректирующих поправок:

$$R_{ij} = \begin{array}{c} 2 \\ 3 \\ 4 \\ 5 \\ 6 \end{array} \left| \begin{array}{cccc} & & & 4 \\ & & 7 & 0 \\ & 1 & 4 & 0 \\ 5 & 5 & 7 & 0 & 0 \\ 0 & 6 & 4 & 0 & 0 \end{array} \right. \quad (13)$$

и следующие веса секций  $Q_1 = 1; Q_2 = 5; Q_3 = 36; Q_4 = 57; Q_5 = 538; Q_6 = 487$ .

Максимальное число тактов преобразования ПК ДСЧ составит 8372 такта.

Все основные параметры ПК ДСЧ можно быстро определить с помощью программного средства «PREOBRAZOVATEL 2-K», реализованного на языке программирования С# [4]. Результаты расчета для  $p=2; K=12; nZ=21$  приведены на рис.2.

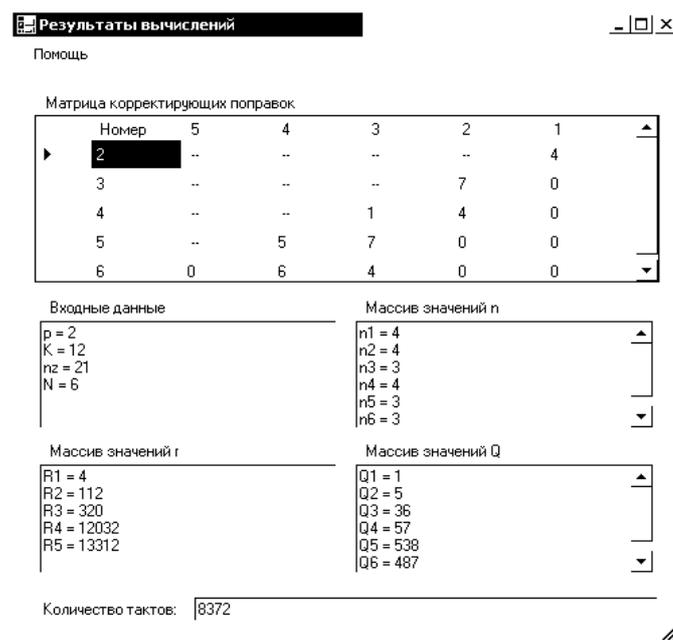


Рис.2. Пример расчета параметров 6-секционного ПК ДСЧ

## 5. Назначение и возможности VHDL-модели ПК ДСЧ

Суть данной работы заключается в создании универсальной модели ПК ДСЧ, которая могла бы быть описана на языке VHDL.

Актуальность проектирования состоит в подготовке формализованного задания для проектирования ПК на ПЛИС с созданием модели на языке VHDL.

VHDL – это мощный язык, который позволяет описывать поведение цифровых схем, а также проводить иерархическое функционально-структурное описание больших интегральных систем и в то же время имеет все признаки языка программирования высокого уровня – позволяет создавать свои типы данных, имеет широкий набор арифметических и логических операций.

Задачей системы синтеза на данном этапе является эффективное распределение RTL-схемы в целях создания нового списка соединений с минимальным количеством использованных схемных компонентов. Каждый компонент нового списка будет соответствовать физическому аппаратному блоку в используемой микросхеме FPGA (элементы конфигурируемых логических блоков, логика ускоренного переноса).

Иерархические проекты синтезируются в восходящем режиме, когда компоненты нижнего уровня синтезируются до компонентов верхнего уровня.

Модель устройства, разработанная на языке описания аппаратуры VHDL, должна быть адаптирована для синтеза и реализации на кристалле FPGA фирмы XILINX.

Задача выбора аппаратной платформы чрезвычайно важна для проектировщика. Правильный выбор позволит:

- снизить материальные затраты при реализации устройства;
- добиться оптимального функционирования и быстродействия.

Согласно техническому заданию, модель ПК должна быть адаптирована для синтеза и реализации на FPGA фирмы Xilinx. При выборе серии ПЛИС основное внимание уделяется соотношению ее стоимости и производительности. Также необходимо учитывать площадь кристалла, которая будет занята синтезированным устройством.

Программируемые пользователем вентильные матрицы (Field Programmable Gate Arrays – FPGA) впервые были разработаны фирмой Xilinx в 1985 г. Настройка FPGA на заданное функционирование выполняется каждый раз перед началом ее работы. Необходимая для этого программа настройки предварительно записывается в ПЗУ (ОЗУ). Сразу после включения питания производится загрузка информации из ПЗУ и осуществляется автоматическая инициализация FPGA. Возможно также выполнение настройки FPGA под

управлением микропроцессора или микроконтроллера. FPGA имеет типичную структуру вентиляционной матрицы.

ПЛИС типа FPGA фирмы Xilinx выполнены по SRAM КМОП технологии. Характеризуются высокой гибкостью структуры и избытком на кристалле триггеров. При этом логика реализуется посредством матрицы так называемых LUT - таблиц (Look Up Table), а внутренние межсоединения - посредством разветвленной иерархии металлических линий, коммутируемых специальными быстродействующими транзисторами.

Большая стоимость микросхем FPGA с встроенной RAM по сравнению со стоимостью заказных микросхем ограничивает использование FPGA для изготовления опытных образцов или мелкосерийной продукции. Этот недостаток FPGA устранен фирмой Xilinx выпуском новой серии микросхем FPGA - серий Spartan и Spartan-II. Параметры микросхем семейства FPGA Spartan-II (модель XC2S30) имеют рекордно низкую стоимость в расчете на один вентиль при плотности упаковки до 200 тысяч вентилей. В кристалле имеется четыре блока ОЗУ каждый по 4 КБита, также возможна реализация 16 бит памяти на каждом 4-входовом функциональном генераторе.

Устройства Spartan-II сочетают черты гибкой, регулярной архитектуры, которая охватывает матрицу конфигурируемых логических блоков (CLB), окруженную программируемыми блоками ввода-вывода, связанными между собой иерархией быстрых, многосторонних ресурсов межсоединений.

Устройства Spartan-II имеют более высокую производительность по сравнению с предыдущими семействами FPGA. Проекты могут работать с системной частотой синхронизации до 200 МГц, включая блоки ввода/вывода (Input/Output-I/O).

Кроме этого, чипы Spartan-II отличает целый ряд достоинств:

- относительно низкая стоимость кристалла;
- большая размерность чипа (до 200 000 системных вентилей);
- высокое быстродействие.

Программируемая пользователем вентиляционная матрица Spartan-II охватывает: конфигурируемые логические блоки (configurable logic blocks – CLB) и блоки ввода – вывода (IOBs). CLB блоки служат для создания функциональных логических элементов, а блоки I/O создают интерфейс между контактами микросхемы и CLB

Ниже приведен фрагмент текста программы на VHDL-языке для генерации RTL-схемы трехсекционного ПК ДСЧ из двоичной системы счисления в двоично-двенадцатиричную:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
component ie7 is
generic(n:natural:=10);
port(
  clk : in STD_LOGIC;
  rst : in STD_LOGIC;
  ce_in : in STD_LOGIC;
  ce_out : out STD_LOGIC;
  q : out STD_LOGIC_VECTOR(3 downto 0)
);
end component;
begin
  process(clk) is
  begin
    if rising_edge(clk) then
      if load='1' then reg<=din;
      elsif clk_en='1' then
        if section1/=0 then section1<=section1-1;
        elsif section2/=0 then section2<=section2-1; section1<="0100";
        elsif section3/=0 then section3<=section3-1; section2<="0111";
          section1<="0000";
        elsif section4/=0 then section4<=section4-1; section3<="001";
          section2<="0100"; section1<="0000";
        —elsif section5/=0 then section5<=section5-1; section4<="0110";
          section3<="001"; section2<="111"; section1<="0000";
        end if;
    end if;
```

```

end if;
end if;
end process;
ce_out<=ce_in when cnt=n-1 else '0';
q<=cnt;
end architecture ie7;

```

В целях проверки функционирования ПК ДСЧ 2-12 получена временная диаграмма преобразования числа 298 из двоичной системы в двенадцатиричную (рис.3).

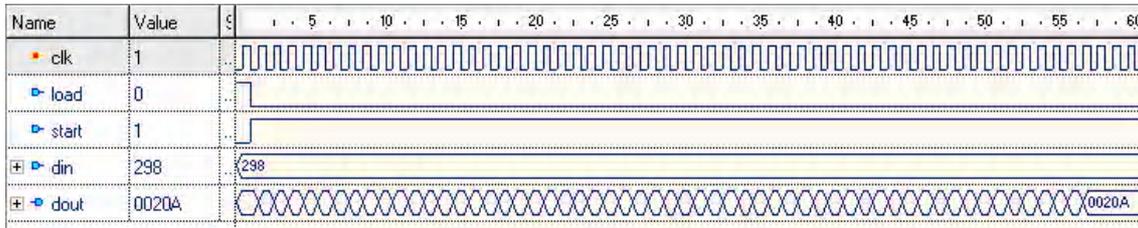


Рис. 3. Временная диаграмма функционирования трехсекционного ПК ДСЧ

СБИС семейства Spartan-II отличает целый ряд достоинств: относительно низкая стоимость кристалла; большая размерность чипа (до 200 000 системных вентилях); высокое быстродействие. Схемотехническая реализация трехсекционного ПК ДСЧ 2-12 приведена на рис.4.

Программируемая пользователем вентиляльная матрица Spartan-II охватывает: конфигурируемые логические блоки (configurable logic blocks - CLB) и блоки ввода - вывода (IOBs). CLB блоки служат для создания функциональных логических элементов, а блоки I/O создают интерфейс между контактами микросхемы и CLB

### Выводы

1. Рассмотрена структура и функционирование многосекционного преобразователя кодов по методу досчета.
2. Предложены методика и алгоритм нахождения фундаментального разбиения ПК ДСЧ, реализованные на языке программирования С# в программном средстве «PREOBRAZOVATEL 2-K», позволяющем автоматизировать этапы системного проектирования и ускорить нахождение основных характеристик многосекционного ПК ДСЧ .
3. Разработана на языке описания аппаратуры VHDL программная модель многосекционного ПК ДСЧ и получена временная диаграмма функционирования трехсекционного ПК ДСЧ двоичного кода в двоично-двенадцатиричный код.

*Научная новизна* исследования состоит в разработке и апробации программной модели многосекционного ПК ДСЧ и реализации этой модели на языке VHDL .

*Практическая значимость* результатов заключается в возможности автоматизированного синтеза RTL-схем ПК ДСЧ, что позволяет на порядок ускорить их проектирование и реализацию на СБИС.

**Список литературы:** 1. А.С. 468236 5G06F 5/02. Устройство для преобразования кодов / В.М.Гусятин, Н.В.Алипов, А.П.Руденко // Открытия, изобретения. 1975. №15. С.108. 2. А.С. 1153323 5G06F 5/00. Преобразователь двоичного кода в двоично-К-ичный код /Н.Я.Какурин, Ю.К. Кирьяков, В.М. Гусятин // Открытия, изобретения.1985. №16. С.167. 3. Макаренко А.Н. Алгоритмизация разбиений преобразователей кодов // АСУ и приборы автоматики. 1990. Вып. 94. С.103-109. 4. Какурин Н.Я., Лопухин Ю.В., Варца В.В., Катасонов В.В., Мака-

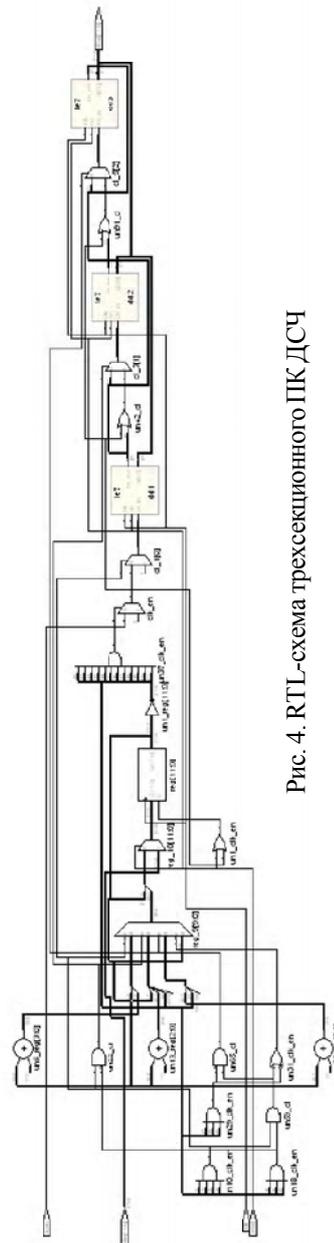


Рис. 4. RTL-схема трехсекционного ПК ДСЧ

*ренко А.Н.* Программное средство для анализа характеристик преобразователей кодов по методу досчета // АСУ и приборы автоматики. 2010. Вып. 152. С.41-48.

*Поступила в редколлегию 29.08.2011*

**Какурин Николай Яковлевич**, канд. техн. наук, профессор кафедры АПВТ ХНУРЭ. Научные интересы: прикладная теория цифровых автоматов, автоматизация проектирования цифровых устройств. Адрес: Украина, 61166, Харьков, пр.Ленина, 14, тел. 70-21-326.

**Лопухин Юрий Владимирович**, ст. преподаватель кафедры АПВТ ХНУРЭ. Научные интересы: проектирование программного обеспечения, автоматизация проектирования цифровых устройств. Адрес: Украина, 61166, Харьков, пр.Ленина, 14, тел. 70-21-326.

**Вареца Виталий Викторович**, аспирант кафедры АПВТ ХНУРЭ. Научные интересы: проектирование программного обеспечения, автоматизация проектирования цифровых устройств. Адрес: Украина, 61166, Харьков, пр.Ленина, 14, тел. 70-21-326.

**Саранча Сергей Николаевич**, канд. техн. наук, доцент кафедры ЭВМ ХНУРЭ. Научные интересы: системы автоматизированного проектирования, моделирование цифровых систем. Адрес: Украина, 61166, Харьков, пр.Ленина, 14, тел. 70-21-354.

**Макаренко Анна Николаевна**, канд. техн. наук, доцент кафедры информационных технологий Харьковского банковского института. Научные интересы: информационные технологии, анализ и синтез преобразователей код-код. Адрес: Украина, 61074, Харьков, пр. Победы, 55, тел. 336-05-64.