

Пропонований винахід відноситься до галузі автоматики й обчислювальної техніки і може бути використаний в системах обробки і відображення інформації.

Найбільш близьким до запропонованого технічним рішенням, обраним як прототип, є "Пристрій для реалізації швидкого перетворення Хартлі" [1], який містить блок пам'яті, блок постійної пам'яті, блок управління, перший та другий накопичуючий суматор, елемент АБО, перший, другий та третій комутатори, перший та другий лічильники, перемножувач, перший та другий регістри зсуву. Блок управління містить: одновібратор, елемент АБО, тригер обробки, лічильник ітерацій, генератор тактових імпульсів, накопичуючий суматор, двійковий лічильник, дешифратор нульової операції, елемент АБО, елемент АБО-НІ, елемент І.

Недоліком пристрою-прототипу є необхідність дворазового множення елементів, що в свою чергу виражається у низькій швидкодії пристрою.

В основу винаходу поставлена задача створити такий пристрій для реалізації швидкого перетворення Хартлі, який дозволить зменшити час одержання результату.

Поставлена задача вирішується за рахунок того, що у пристрої-прототипі, що містить блок пам'яті, блок постійної пам'яті, блок управління, перший та другий накопичувач суматор, елемент АБО, перший, другий та третій комутатори, перший та другий лічильники, перемножувач, перший та другий регістри зсуву, усунуті регістри зсуву, елемент АБО, лічильники, комутатори, один накопичуючий суматор, в блоці управління, що включає одновібратор, елемент АБО, тригер обробки, лічильник ітерацій, генератор тактових імпульсів, накопичуючий суматор, двійковий лічильник, дешифратор нульової операції, елемент АБО, елемент АБО-НІ, елемент І, відповідно усунуті два елементи АБО, накопичуючий суматор, елемент АБО-НІ, та додатково введені нові зв'язки у всьому пристрої та три елементи І в блоці управління.

Технічний результат, який може бути отриманий при здійсненні винаходу, полягає в спрощенні пристрою для реалізації швидкого перетворення Хартлі та підвищенні його швидкодії.

На фіг.1 приведена блок-схема пристрою.

На фіг.2 приведена структурна схема блоку управління пристрою.

Запропонований пристрій для реалізації швидкого перетворення Хартлі (фіг.1) містить: блок оперативної пам'яті 1, блок постійної пам'яті 2, блок управління 3, перемножувач 4, накопичуючий суматор 5, вхід запуску пристрою 6, вихід 7, виходи блоку управління 8, 9 та 10, причому вхід запуску пристрою 6 з'єднаний з входом блоку управління 3. Вхід дозволу читання блоку оперативної пам'яті 1 з'єднаний з виходом 8 блоку управління 3. Адресні входи блоку оперативної пам'яті 1 та блоку постійної пам'яті 2 з'єднані з виходом 9 блоку управління 3. Вихід блоку оперативної пам'яті 1 з'єднаний з першим входом перемножувача 4. Вихід блоку постійної пам'яті 2 з'єднаний з другим входом перемножувача 4 відповідно. Вихід перемножувача 4 з'єднаний з входом накопичувачого суматора 5. Вихід суматора 5 є виходом пристрою 7. Вихід 10 блоку управління 3 з'єднаний з входом управління читанням блоку оперативної пам'яті 1, з входом дозволу читанням блоку постійної пам'яті 2, з входом управління множенням елементів в перемножувачі 4, з входом управління накопичувачого суматора 5.

Блок управління 3 пристрою для реалізації швидкого перетворення Хартлі (фіг.2) містить: генератор тактових імпульсів 11, тригер 12, лічильники 13 та 14, дешифратор 15, одновібратор 16, елементи І 17-20, причому вхід блоку управління 3 з'єднаний з входом переводу тригера 12 в одиницю, вихід тригера 12 з'єднаний зі входом генератора тактових імпульсів 11, вихід якого з'єднаний з рахунковим входом лічильника 14 та другими входами елементів І 17-20. Перший вихід (молодший розряд) лічильника 14 з'єднаний з першим входом (молодший розряд) дешифратора 15. Другий вихід (старший розряд) лічильника 14 з'єднаний з входом елементу І 20 та другим входом (старший розряд) дешифратора 15. Вихід елементу І 20 з'єднаний з входом одновібратора 16. Вихід одновібратора 16 з'єднаний з входом скидання лічильника 14 і рахунковим входом лічильника 13. Вихід переповнення лічильника 13 з'єднаний з входом скидання тригера 12. Виходи лічіння лічильника 13 з'єднані через вихід 9 блоку управління 3 з адресними входами блоку оперативної пам'яті 1 та блоку постійної пам'яті 2. Перший вихід дешифратора 15 з'єднаний з першим входом елементу І 17 та через вихід 8 блоку управління 3 з входом дозволу читання блоку оперативної пам'яті 1, другий вихід дешифратора 15 з'єднаний з першим входом елементу І 18, третій вихід дешифратора 15 з'єднаний з першим входом елементу І 19. Вихід елементу І 17 з'єднаний через перший розряд виходу 10 блоку управління 3 з входом дозволу читання блоку постійної пам'яті 2 та з входом управління читанням блоку оперативної пам'яті 1. Вихід елементу І 18 з'єднаний через другий розряд виходу 10 блоку управління 3 з входом управління множенням операндів поданих на входи перемножувача 4. Вихід елементу І 19 з'єднаний через третій розряд виходу 10 блоку управління 3 з входом управління накопичувачого суматора 5.

Робота запропонованого пристрою полягає в наступному. Перед початком роботи в блок оперативної пам'яті 1 записані операнди А та В в додатковому коді, а в блок постійної пам'яті 2 записана сума коефіцієнтів W_1 та W_2 , накопичуючий суматор 5, лічильник ітерацій 13, лічильник тактів 14 і тригер 12 у нульовому стані.

По сигналу "Запуск обробки", що надходить по входу пристрою 6, тригер 12 встановлюється в одиничний стан, сигнал "1" з виходу тригера обробки 12 надходить на вхід генератора тактових імпульсів 11, що починає формувати послідовність тактових імпульсів, що надходять на рахунковий вхід лічильника тактів 14 та другі входи елементів І 17 -1 20. На виході дешифратора 15 формується унітарний код такту, причому рівень "1" буде тільки на одному з чотирьох його виходів, з'єднаних з першими входами відповідних елементів І 17 -1 20.

На першому такті формується рівень "1" на першому виході дешифратора 15, що дозволяє проходження тактового імпульсу з генератора 11 через вихід 10 блоку управління 3 на вхід управління блоку постійної пам'яті 2 та на тактовий вхід блоку оперативної пам'яті 1. На адресні входи блоку оперативної пам'яті 1 і блоку постійної пам'яті 2 через вихід 9 блоку управління 3 подається код адреси, що відповідає номеру ітерації, що задається лічильником ітерацій 13.

Рівень "1" першого входу дешифратора 15 через вихід 8 блоку управління 3 дозволяє робити операцію читання даних із блоку оперативної пам'яті 1. Одночасно цей імпульс синхронізує передачу з блоку постійної пам'яті 2 суми коефіцієнтів на другий вхід перемножувача 4, на перший вхід якого надходить операнд із блоку оперативної пам'яті 1.

На другому такті при надходженні через елемент І 18 виходу 10 блоку управління 3 тактового імпульсу результат множення суми коефіцієнтів і операнда формується на виході перемножувача 4.

На четвертому такті кожної ітерації в суматорі 5 накопичується результат перетворення при надходженні через елемент І 19 виходу 10 блоку управління 3 тактового імпульсу.

На рахунковий вхід лічильника ітерацій 13 з виходу одновібратора 16 надходить рахунковий імпульс, формований із заднього фронту старшого розряду лічильника тактів 14, при цьому вміст лічильника ітерацій 13 інкрементується, що

свідчить про закінчення першої ітерації.

Наступні ітерації ідентичні першій. Після завершення останньої ітерації на виході переповнення лічильника ітерацій 13 формується рівень "I", що скидає тригер 12 у нульовий стан, а пристрій повертається у початковий стан, при цьому з виходу пристрою 7 повинний бути зчитаний остаточний результат.

Перетворення Хартлі дійсної функції $f(\tau), \tau = 0, 1, \dots, N-1$ є сума косинусного та синусного перетворень

$$H(v) = N^{-1} \sum_{\tau=0}^{N-1} f(\tau) \text{cas}(2\pi v \tau / N) \quad v = 0, N-1,$$

де

$$\text{cas}(\Theta) = \cos(\Theta) + \sin(\Theta)$$

Пристрій для швидкого перетворення Хартлі виконує елементарне перетворення як

$$A + B \cdot W, (1)$$

де A , B - перший та другий операнди, які зберігаються в блоці оперативної пам'яті та є значеннями дійсної функції $f(\tau)$;

W - сума коефіцієнтів, яка зберігається в блоці постійної пам'яті та є значеннями косинус та синус коефіцієнтів, що дозволяє уникнути дворазового множення елементів.

Особливість алгоритму полягає в послідовному повторенні на чотирьох ітераціях елементарних перетворень за виразом (1). Кожне елементарне перетворення виконується за три такти таким чином:

1. З блоку оперативної пам'яті витягається операнд і надходить на вхід перемножувача, на інший вхід якого надходить сума коефіцієнтів з виходу блоку постійної пам'яті.

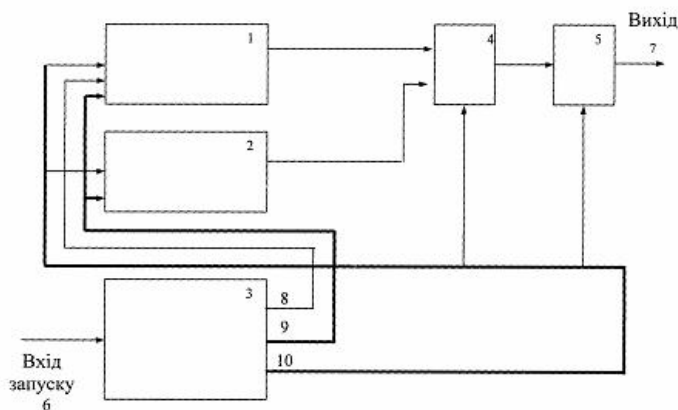
2. Множиться операнди. З виходу перемножувача результат надходить на вхід накопичувачого суматора.

3. Накопичується результат в накопичувачому суматорі.

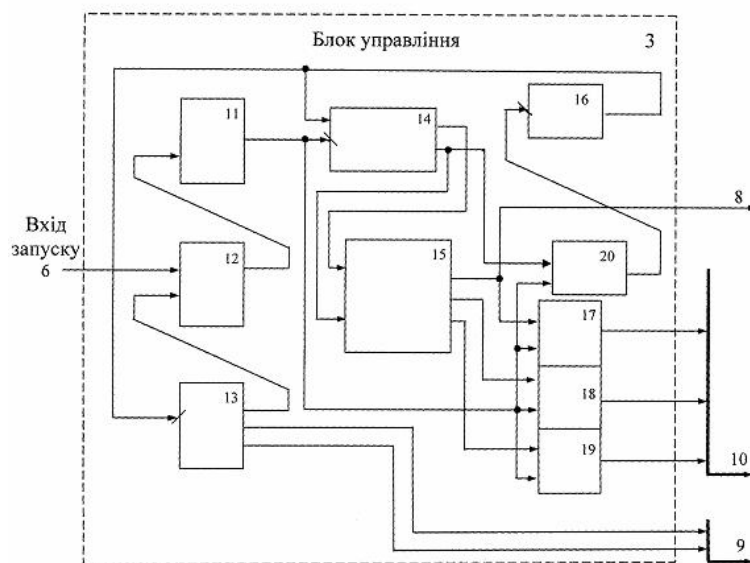
Вдосконалення пристрою для реалізації швидкого перетворення Хартлі полягає в спрощенні одного такту та в усуненні в пристрої прототипі 9 елементів з 14.

Джерела інформації

1. Авторское свидетельство СССР №1444815, 1988, БИ №46.



Фіг. 1



Фіг. 2