

ИССЛЕДОВАНИЕ И СИНТЕЗ ОПТИМАЛЬНЫХ СТРУКТУР ОБРАБОТКИ ПОТОКОВЫХ ДАННЫХ НА ОСНОВЕ ПРОГРАММИРУЕМОЙ ЛОГИЧЕСКОЙ ИНТЕГРАЛЬНОЙ СХЕМЫ

В.С. ЧЕЧЕЛЬНИЦКИЙ, Г.И. СИДОРОВ, А.И. ЦОПА

Показана актуальность разработки xDSL модемов и создание на их базе синхронных систем цифрового уплотнения для соединительных линий цифровых АТС. Доказана оптимальность программно-аппаратной реализации устройств цифрового уплотнения. Описана методика сравнения по критерию «эффективность-стоимость» различных типов программируемых логических интегральных схем, обеспечивающих решение задачи мультиплексирования потоков в xDSL модемах. Приведены упрощенные структурные схемы разработанного авторами модема, блока коммутации интерфейсов и «Арбитра».

The topicality of xDSL modems development and creation on their basis of synchronous systems of digital condensation for copper lines of digital automatic telephone exchanges is shown. The optimality of hardware-software realization of digital condensation devices is proved. The technique of comparison by criterion "efficiency-cost" for various FPGA types which provides a solution of streams multiplexing problem in xDSL modems is described. Simplified structures of developed modem, commutation block and "Arbiter" are given.

ВВЕДЕНИЕ

В начале модернизации АТС была модернизация отдельных блоков электромеханических АТС, что обеспечило значительное сокращение количества реле этих блоков. Наилучшим достижением были квазиэлектронные станции типа «Квант» и «Кварц», предназначенные для построения местных и междугородных сетей связи. В этих станциях максимально использовались полупроводниковые изделия, хотя сохранилась электромеханическая коммутация разговорных цепей. Коммутация в аналоговом виде в настоящее время неприемлема по следующим причинам: уровень шумов и переходных помех значительно превышает допустимые нормы, массогабаритные показатели аналогового коммутатора значительно больше полупроводникового.

В настоящее время преобразование звука в цифровой сигнал и обратно может быть решено применением одной ИС. Вследствие этого, изменение аппаратного устройства АТС вызвало изменение требований к коммутационному полю – оно стало цифровым (вместо коммутации физических цепей осуществляется коммутация цифровой информации). Такой подход позволяет устанавливать логическое, а не физическое соединение двух абонентов. Это позволило унифицировать абонентские комплекты (АК) различных производителей. В то же время с одной стороны, предъявляются жесткие требования к производительности процессоров, управляющих коммутатором, а с другой – достигается некоторая универсальность подходов при коммутации.

При использовании современной элементной базы и переходе на современные АТС освобождается значительная площадь здания АТС. К тому же появилась возможность создания выносных необслуживаемых АТС в местах компактного размещения абонентов. Положительным моментом построения такой сети является уменьшение затрат на прокладку кабеля. К от-

рицательным моментам можно отнести непригодность старого кабеля для транспортировки цифрового потока ИКМ-30 (с линейным кодом HDB3). Выход из сложившейся ситуации может быть найден при использовании xDSL модемов с линейными кодами 2B1Q и ТС-РАМ или другими, обеспечивающими большую дальность связи. К тому же значительная доля трафика, как правило, принадлежит абонентам внутри самой АТС, поэтому при построении необслуживаемой выносной АТС для установления связи внутри коммутационного поля абонентам не нужно занимать два канала в сторону опорной АТС.

Вышесказанное свидетельствует о том, что разработка xDSL модемов и построение синхронной системы с возможностью мультиплексирования потоков является актуальной задачей.

1. ПОСТАНОВКА ЗАДАЧИ НА ПРОЕКТИРОВАНИЕ

Исходя из этих предпосылок, авторами была разработана аппаратура цифрового уплотнения (АЦУ).

Путь программно-аппаратной реализации АЦУ был выбран вследствие того, что действия, которые требуют real-time, но выполняются с достаточно большой периодичностью и достаточно простыми регулярными алгоритмами, были реализованы на программируемой логической интегральной схеме (ПЛИС). К тому же на ПЛИС достаточно хорошо реализуются регулярные и последовательные алгоритмы, а реализация алгоритмов, содержащих большое количество ветвлений, неэффективно. Более сложные действия реализовались на микроконтроллере (МК).

На рис. 1 представлена структурная схема одного из xDSL модемов, разработанного авторами. Этот модем предназначен для транспортировки и мультиплексирования Е1 потока. К дополнительным возможностям данного устройства можно отнести ка-

нал скоростной передачи данных (RS-232 со скоростью до 921,6 кбит/с). Предложенное устройство имеет следующие достоинства по сравнению с зарубежными аналогами: возможность поканального мультиплексирования, наличие канала скоростной передачи данных, датчиков аварийной и пожарной сигнализации, канала служебной голосовой связи (телефон), адаптация к украинским линиям связи и протоколам межстанционной сигнализации.

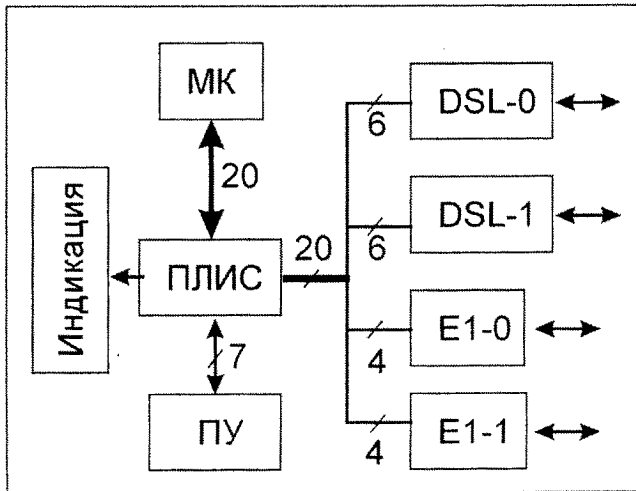


Рис. 1. Структурная схема xDSL модема

Основные блоки данного устройства:

ПЛИС – программируемая логическая интегральная схема. Основная функция – мультиплексирование потоков, управление каналом передачи данных, транслирование состояний от МК;

МК – микроконтроллер – выполняет задачу настройки мультиплексора потоков, выполненного на ПЛИС, управления линиями xDSL-0 и xDSL-1 и индикацией;

xDSL-0 и xDSL-1 – линейные микросхемы;

E1-0 и E1-1 – front-end – предназначены для формирования HDB3 кода;

ПУ – высокоскоростной преобразователь уровней (UART<->TTL)

Индикация – отображение служебной информации.

2. РАЗРАБОТКА ТЕСТОВ ДЛЯ ВЫБОРА СЕМЕЙСТВА ПЛИС

При выборе ПЛИС следует учитывать следующие факторы:

- число встроенных блоков ОЗУ;
- число триггеров;
- корпус (число пользовательских контактов);
- наличие, доступность средств разработки;
- стоимость;
- быстродействие.

При реализации данного проекта такой фактор, как быстродействие, заметного влияния не оказывал (максимальная частота 20,48 МГц, рабочая частота основной части схемы – 10,24 МГц, максимальная частота работы внешних интерфейсов – 2,048 МГц).

Главным требованием было обеспечение необходимого числа встроенных блоков ОЗУ и количества триггеров.

Исследование зависимости ресурсов различных типов семейств ПЛИС фирмы Altera (ACEX, Cyclone, Cyclone II, MAX3000A, MAX II) для основных типов автоматов в известной литературе не проводилось. Ниже приведен выполненный авторами анализ числа ресурсов для различных типов автоматов.

Конечные автоматы могут быть следующих типов [1]:

Автомат Мили класса А:

$$\begin{aligned} a_{t+1} &= \varphi(z_t, a_t), \\ w_t &= \psi(z_t, a_t). \end{aligned} \quad (1)$$

Автомат Мура класса В:

$$\begin{aligned} a_{t+1} &= \varphi(z_t, a_t), \\ w_t &= \psi(a_t). \end{aligned} \quad (2)$$

Автомат Мура класса С:

$$\begin{aligned} a_{t+1} &= \varphi(z_t, a_t), \\ w_t &= a_t. \end{aligned} \quad (3)$$

Автомат Мили класса D:

$$\begin{aligned} a_{t+1} &= \varphi(z_t, a_t), \\ w_t &= a_{t+1}. \end{aligned} \quad (4)$$

Автомат Мили класса E:

$$\begin{aligned} a_{t+1} &= z_t, \\ w_t &= \psi(z_t, a_t). \end{aligned} \quad (5)$$

Автомат Мура класса F:

$$\begin{aligned} a_{t+1} &= z_t, \\ w_t &= \psi(a_t). \end{aligned} \quad (6)$$

На практике наиболее часто используются первые два типа простейших конечных автоматов. Их широкое использование вызвано наличием у этих классов автоматов как выходных, так и входных функций (φ и ψ). Поведение автоматов, описанных формулами 1 и 2, представлено на рис. 2.

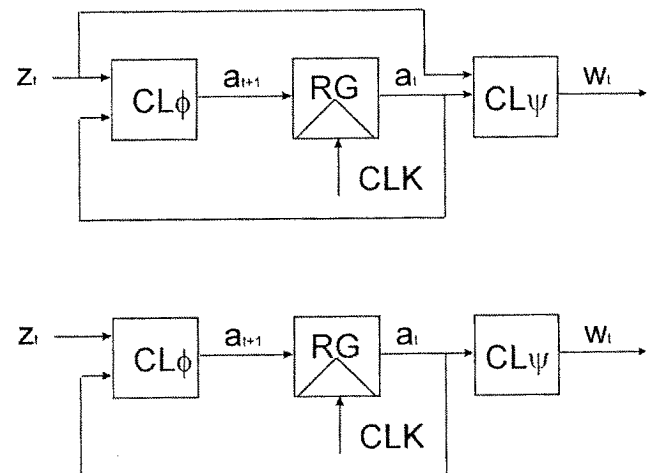


Рис. 2. Структуры конечных автоматов классов А и В

Автоматы классов С..F [1] на практике применяются довольно редко. Обычно конечный автомат частично обладает свойствами нескольких автоматов классов С..F.

Для оценки числа занимаемых ячеек при решении задачи оптимизации фирмы-разработчики ПЛИС (Altera, Xilinx и др.) используют специальные наборы сложных тестов, построенные на моделях конечных автоматов. Для упрощения оценки числа занимаемых ресурсов авторами были выделены основные структуры, на основе которых будет реализована данная аппаратура.

Анализ необходимого числа ячеек на ПЛИС был проведен для следующих типичных функций, используемых при построении телекоммуникационного оборудования:

- 1. Счетчик.
- 2. Сдвигающий регистр (преобразователь из последовательного в параллельный код).
- 3. Сумматор.
- 4. Мультиплексор (двухвходовый).

Для количественной оценки числа занимаемых ресурсов разрядность этих блоков была выбрана равной 8 бит.

Для оценки ресурсов авторами предложены следующие тесты:

- в тесте «А» использовался восьмиразрядный счетчик с 3-мя компараторами на равенство 0x00, 0x55, 0xFF соответственно;
- тест «В» включил в себя тест «А» и добавлен сдвигающий восьмиразрядный регистр (преобразователь из последовательного в параллельный код) с 3-мя компараторами на равенство 0x00, 0x55, 0xFF соответственно;
- тест «С» включил в себя тест «В» и блок сумматора с 3-мя компараторами на равенство 0x00, 0x55, 0xFF соответственно;
- тест «D» включил в себя тест «С» и мультиплексор, входы которого подключены к выходам счетчика и сдвигающего регистра.

Для оценки числа ресурсов ПЛИС при оптимизации булевых функций была создана в ПЛИС двухуровневая комбинационная схема [2] (тест «Е»):

$$\begin{aligned} \overline{Y_2} &= Z_1 + Z_2, \\ \overline{Y_4} &= Z_3 + Z_4, \\ \overline{Y_8} &= Z_5 + Z_6. \end{aligned}$$

(7)

где

$$\begin{aligned} Z_1 &= X_1 \cdot \overline{X_5} \cdot \overline{X_6} \cdot \overline{X_8} + X_1 \cdot X_5 \cdot \overline{X_8} \cdot X_8, \\ Z_2 &= \overline{X_1} \cdot \overline{X_5} \cdot X_6 \cdot X_8 + \overline{X_1} \cdot X_5 \cdot X_6 \cdot \overline{X_8}, \\ Z_3 &= X_3 \cdot \overline{X_7} \cdot X_9, \\ Z_4 &= \overline{X_2} \cdot \overline{X_3} \cdot X_7 \cdot X_9 + X_2 \cdot \overline{X_3} \cdot X_7 \cdot \overline{X_9}, \\ Z_5 &= \overline{X_5} \cdot X_6 \cdot \overline{X_7} \cdot \overline{X_8} \cdot X_9 + X_5 \cdot \overline{X_6} \cdot X_7 \cdot X_8 \cdot \overline{X_9}, \\ Z_6 &= X_5 \cdot X_6 \cdot X_7 \cdot X_8 \cdot X_9 + \overline{X_5} \cdot \overline{X_6} \cdot X_7 \cdot \overline{X_8} \cdot \overline{X_9}. \end{aligned}$$

Тесты с «А» по «D» приближены к реальным структурам, которые применяются в разработанной аппаратуре. Тест «Е» отображает только возможность оптимизации простых логических конструкций, которые на практике применяются не часто и занимают относительно небольшую часть схемы ПЛИС, но играют основную роль в выработке служебных сигналов.

При анализе различных семейств микросхем фирмы Altera было выделено 5 наиболее современных: ACEX, Cyclone, Cyclone II, MAX 3000A, MAX II. Каждое семейство имеет свои функциональные ограничения. Так например семейства MAX 3000A и MAX II очень хорошо подходят для решения задач коммутации небольшого числа каналов. Семейства ACEX, Cyclone, Cyclone II могут коммутировать 32*8 каналов.

Сравнение числа логических блоков (LUT, $f_{\max}$ — максимальная частота работы проекта, tpd — минимальное время прохождения сигнала с входа на выход ПЛИС) для различных семейств приведено в табл. 1:

Таблица 1

Номер теста	Параметр	ТИП СЕМЕЙСТВА				
		ACEX	Cyclone	Cyclone II	MAX 3000A	MAX II
A	Число ячеек	17	15	15	11	15
	$f_{\max}$	250 МГц	405 МГц	329 МГц	227 МГц	304 МГц
B	Число ячеек	34	22	24	22	24
	$f_{\max}$	250 МГц	405 МГц	329 МГц	227 МГц	304 МГц
C	Число ячеек	65	37	48	56	39
	$f_{\max}$	250 МГц	402 МГц	329 МГц	139 МГц	251 МГц
D	Число ячеек	73	45	54	64	45
	$f_{\max}$	250 МГц	402 МГц	329 МГц	136 МГц	278 МГц
E	Число ячеек	4	4	4	3	4
	tpd , ns	12,8	10,48	9,6	9,5	11,3

Из сравнительного анализа таблицы следует, что наилучшие показатели в последнем тесте «D» (тест «D» включил в себя наиболее распространенные структуры) были у семейства Cyclone – наибольшее быстродействие и наименьшее число задействованных ячеек.

При проектировании различных устройств в настоящее время выполняется оптимизация по критерию «эффективность-стоимость».

Для сравнения экономического выигрыша были рассчитаны стоимости одного логического блока для микросхем из указанных выше семейств и стоимость реализации для тестов А–Е (рис. 3). В табл. 2 приведены оба показателя.

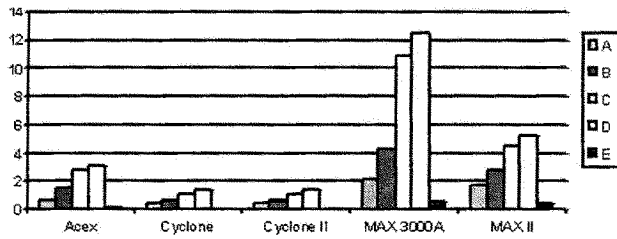


Рис. 3. Стоимость реализации для тестов А–Е

Таблица 2

Семейство	Цена	грн./LUT	A	B	C	D
ACEK	133.32 грн. - EP1K50TC144	0,043	0,73	1,46	2,79	3,14
Cyclone	93 грн. - EP1C3T144	0,031	0,46	0,68	1,14	1,39
Cyclone II	1096 грн. - EP2C35F484C8	0,031	0,46	0,68	1,14	1,39
MAX 3000A	12.58 грн. - EPM3064ALC44	0,196	2,15	4,31	10,97	12,54
MAX II	150,7 грн. - EPM1270T144	0,118	1,77	2,83	4,6	5,31

3. РАЗРАБОТКА СТРУКТУРНОЙ СХЕМЫ АППАРАТУРЫ

С учетом вышеприведенных требований и возможностей микросхемы EP1K50-144-3, в ней были реализованы следующие функции:

- арбитр;
- блок поиска синхронизации и приема E1 потока;
- блок формирования E1 потока;
- блок приема информации из xDSL;
- блок формирования информации в xDSL;
- блоки скоростной передачи данных UART;
- блок тестового цифрового синуса;

ОЗУ (RAM MUX) для хранения значений коммутатора;

ОЗУ (DP-RAM) для хранения данных из интерфейсов: E1, DSL, UART;

схема тактирования.

На рис. 4 представлена структурная схема коммутатора интерфейсов.

Структура ПЛИС создана таким образом, чтобы унифицировать сопряжение структурных элементов приема (блок поиска синхронизации и приемник E1, приемник xDSL, приемник кодек-интерфейса, при-

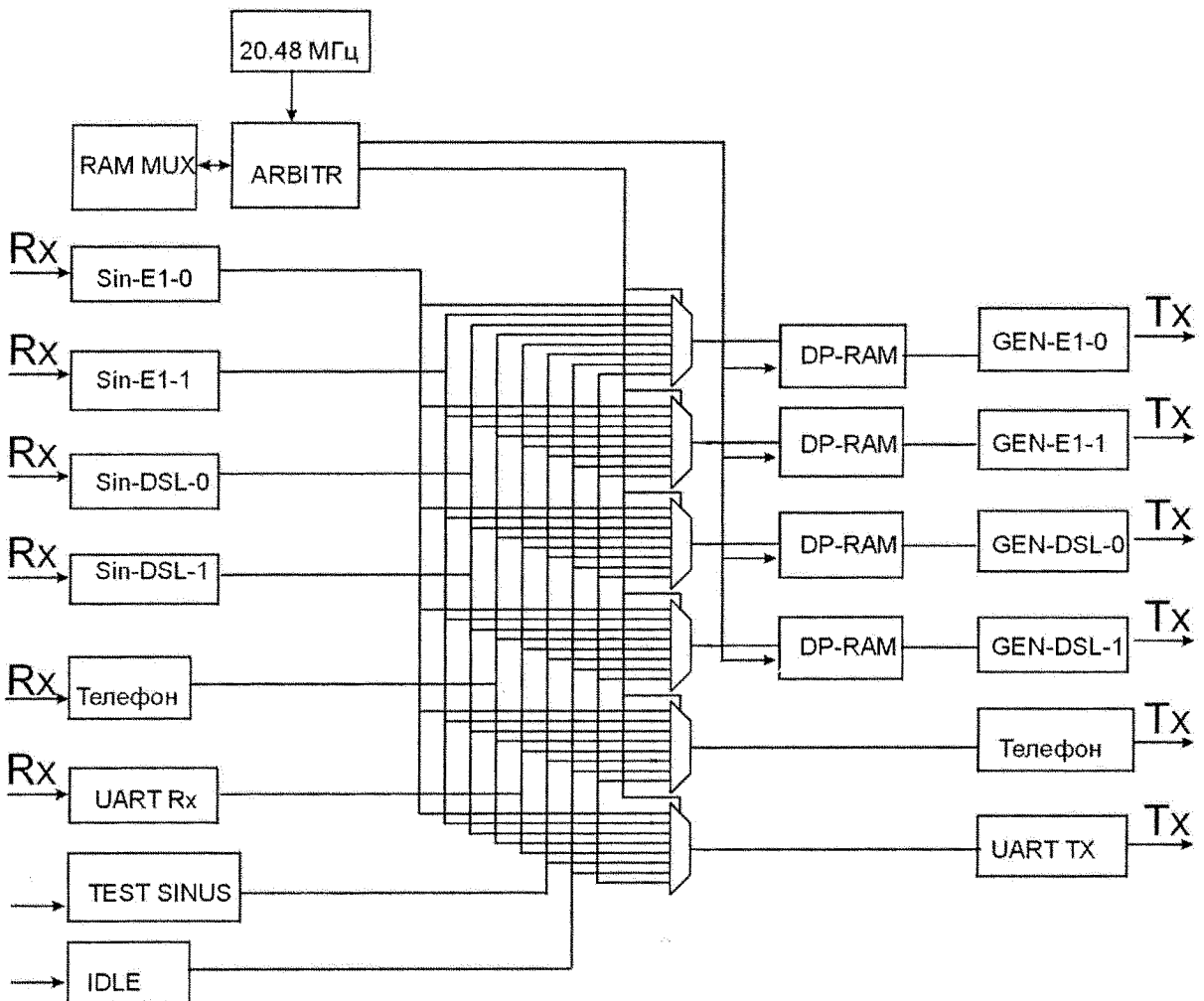


Рис. 4. Структурная схема коммутатора интерфейсов

ем данных по COM-порту) с блоком DP-RAM ОЗУ. Также унифицированы и передающие блоки для идентичности сопряжения с арбитром и мультиплексорами (передатчик E1, передатчик xDSL, передающий кодек-интерфейс, передатчик COM-порта). Такая унификация дает возможность компоновки новых устройств из предложенных структур. Число занимаемых ресурсов (Logic Cells) представлено в табл. 3.

Таблица 3

Название интерфейса	Logic Cells	
	Rx	Tx
E1	116	101
xDSL	92	93
COM-порта	384	338

Главным блоком в ПЛИС является «Арбитр». Он выполняет следующие функции:
управление работой мультиплексоров, выдача адресов для чтения из ОЗУ RAM MUX
выдача адресов для чтения из ОЗУ DP-RAM
формирование служебных сигналов (КИ0, КИ16, frame).

Структурная схема блока «Арбитр» представлена на рис. 5.
Счетчик тактов COUNT отсчитывает этапы, согласно этим этапам выполняются те или иные действия.

На вход пятиразрядного 8-входового мультиплексора MUX1 поступают значения КИ приемных интерфейсов. Этот мультиплексор в зависимости от значения счетчика пропускает на свой выход тот или иной вход.

На вход четырехразрядного 8-входового мультиплексора MUX2 поступает номер цикла. На вход MUX3 поступает значение сигнала стабильных данных из приемного интерфейса.

Значения счетчика дешифрируются блоком DECODE, и вырабатывается сигнал записи в тот или иной интерфейс. Если принят не сигнализационный КИ — вырабатывается адрес чтения из конфигурационного ОЗУ мультиплексора, равный номеру этапа + номер КИ; в другом случае (в зависимости от номера этапа (0...7 и 8...15)) вырабатывается адрес чтения того или иного значения сигнализационного канала (КИ и КИ+16).

Адрес записи данных для ОЗУ передающего интерфейса состоит из GND + номера страницы + номера КИ, прочитанного из конфигурационного ОЗУ коммутатора для случая записи речевых КИ. Для случая записи сигнализационного КИ адрес ОЗУ передающего интерфейса состоит из VCC[8...5] + номера КИ, прочитанного из конфигурационного ОЗУ коммутатора для случая записи сигнализационных КИ.

Такая сложная схема выработки адреса записи в ОЗУ передающего интерфейса вызвана примененным в разработанной аппаратуре более оптимального метода хранения как сигнализационной, так и звуковой информации в одной мега-функции DP-RAM.

На рис. 6 представлена мега-функция DP-RAM ОЗУ. Сложность построения системы заключалась в ограниченном количестве встроенных модулей памяти. Для хранения речевой информации и сигнализации было принято решение использовать один блок памяти.

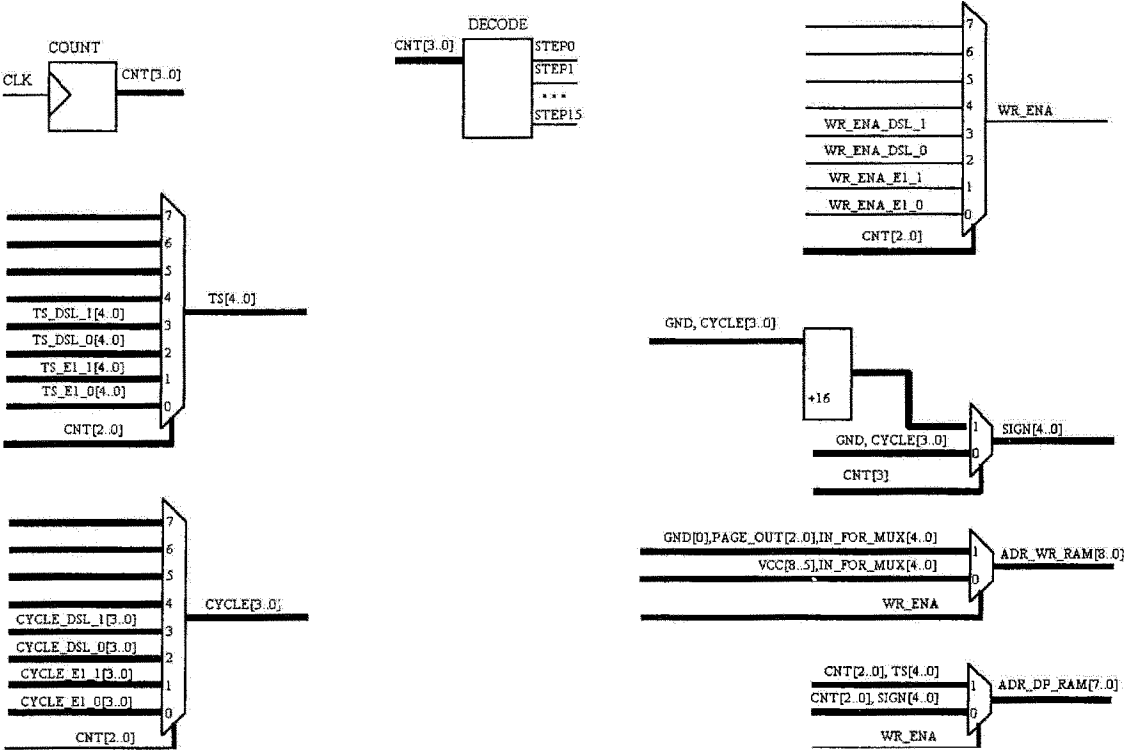


Рис. 5. Структурная схема блока «Арбитр»

В ПЛИС EP1K50-144-3 содержится 10 блоков ОЗУ [3]. При использовании стандартных подходов хранения речевых данных и сигнализации может быть занято либо два блока ОЗУ, либо один блок ОЗУ для хранения речи и 30*2(4) триггеров для хранения сигнализации.

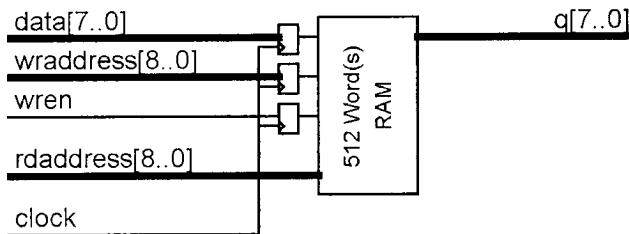


Рис. 6. Блок ОЗУ DP-RAM

В табл. 4 представлена структура DP-RAM ОЗУ. Здесь адреса с 0x000 по 0x0FF выделены для хранения речевых отсчетов (2 ms). В адресном пространстве с 0x1E0 по 0x1FF хранятся сигнализационные данные. Данные по адресу 0x1E0 соответствуют КИ0, по адресу 0x1E1 – КИ1, соответственно по адресу 0x1FF – КИ31. Такой подход хранения в одном блоке ОЗУ речевых отсчетов и сигнализации позволил сократить, с одной стороны, число блоков ОЗУ, а с другой – число триггеров.

Таблица 4

		ДАННЫЕ															
А Д Р Е С	0	0	К	К	К	К	К	К	К	К	К	К	К	К	К	К	К
		1	И	И	И	И	И	И	И	И	И	И	И	И	И	И	И
		2	К	К	К	К	К	К	К	К	К	К	К	К	К	К	К
		3	И	И	И	И	И	И	И	И	И	И	И	И	И	И	И
	2	4	К	К	К	К	К	К	К	К	К	К	К	К	К	К	К
		5	И	И	И	И	И	И	И	И	И	И	И	И	И	И	И
		6	К	К	К	К	К	К	К	К	К	К	К	К	К	К	К
		7	И	И	И	И	И	И	И	И	И	И	И	И	И	И	И
	3	8	К	К	К	К	К	К	К	К	К	К	К	К	К	К	К
		9	И	И	И	И	И	И	И	И	И	И	И	И	И	И	И
		10	К	К	К	К	К	К	К	К	К	К	К	К	К	К	К
		11	И	И	И	И	И	И	И	И	И	И	И	И	И	И	И
	E	12	К	К	К	К	К	К	К	К	К	К	К	К	К	К	К
		13	И	И	И	И	И	И	И	И	И	И	И	И	И	И	И
		14	К	К	К	К	К	К	К	К	К	К	К	К	К	К	К
		15	И	И	И	И	И	И	И	И	И	И	И	И	И	И	И
	1	16	К	К	К	К	К	К	К	К	К	К	К	К	К	К	К
		17	И	И	И	И	И	И	И	И	И	И	И	И	И	И	И
		18	К	К	К	К	К	К	К	К	К	К	К	К	К	К	К
		19	И	И	И	И	И	И	И	И	И	И	И	И	И	И	И

Для возможности поканальной коммутации было выделено конфигурационное ОЗУ (DP-RAM). Это ОЗУ разделено на 8 частей (каждая часть соответствует интерфейсу). В адресном пространстве каждого интерфейса записаны данные следующим образом: старшие 3 бита указывают номер интерфейса, а младшие 5 бит номер канала, который коммутируется в этот интерфейс. В табл. 5 приведена структура RAM MUX.

Таблица 5

	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	Каналы интерфейса E1-1															
1															x	x
2	Каналы интерфейса E1-2														x	x
3															x	x
4	Каналы интерфейса xDSL-1															
5															x	x
6	Каналы интерфейса xDSL-2														x	x
7															x	x
8	Каналы скоростного UARTa															
9															x	x
A	Служебная связь (телефон)															
B															x	x
C	Каналы цифрового тестового синуса															
D															x	x
E	Каналы состояния по умолчанию															
F															x	x

ВЫВОДЫ

Проведенные исследования показали высокую эффективность применения ПЛИС при создании телекоммуникационной аппаратуры для скоростной передачи данных.

Усовершенствование схемы выборки данных позволило осуществлять работу всего устройства с разными тактовыми частотами.

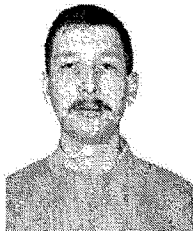
Применение блока ОЗУ, в котором хранятся одновременно речевые и сигнализационные отсчеты, позволило сократить число используемых блоков ОЗУ.

Создание сложной схемы для коммутации интерфейсов позволило осуществлять гибкое мультиплексирование каналов.

Применение синтезированных унифицированных структур на ПЛИС позволило комбинировать различные интерфейсы и сократить время разработки при создании нескольких разновидностей аппаратуры.

Литература: 1. Соловьев В. Структурные модели конечных автоматов при их реализации на ПЛИС // Chip News. 2002. № 9. — С. 2–10 2. Соловьев В., Климович А. Синтез на ПЛИС двухуровневых комбинационных схем // Chip News. 2003. № 8. — С. 38–41 3. ACEX 1K. Programmable Logic Device Family.

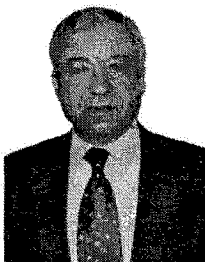
Поступила в редколлегию 21.04.2005



Чечельницкий Владимир Сергеевич, аспирант кафедры РЭС ХНУРЭ. Область научных интересов: разработка аппаратуры с применением ПЛИС.



Цопа Александр Иванович, старший научный сотрудник кафедры РЭС ХНУРЭ. Область научных интересов: разработка и проектирование цифровых систем передачи с использованием xDSL технологий.



Сидоров Геннадий Иванович, кандидат технических наук, профессор, заведующий кафедрой РЭС, ХНУРЭ. Область научных интересов: системы передачи информации.