

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

Національний аерокосмічний університет ім. М.Є. Жуковського
“Харківський авіаційний інститут”

ISSN 1814-4225

РАДІОЕЛЕКТРОННІ
І
КОМП'ЮТЕРНІ СИСТЕМИ

7 (48)

НАУКОВО-ТЕХНІЧНИЙ ЖУРНАЛ

Видається з січня 2003 р.

Виходить 4 рази на рік

Харків "ХАІ" 2010

Засновник журналу **Національний аерокосмічний університет ім. М.Є. Жуковського
"Харківський авіаційний інститут"**

Затверджено до друку вченою радою Національного аерокосмічного університету ім. М.Є. Жуковського "ХАІ", протокол № 7 від 24 березня 2010 р.

Головний редактор	Віктор Михайлович Ілюшко , доктор технічних наук, професор
Редакційна колегія	І.В. Баришев , д-р техн. наук, професор; В.К. Волосюк , д-р техн. наук, професор; В.М. Вартанян , д-р техн. наук, професор; І.А. Жуков , д-р техн. наук, професор; М.В. Замірець , д-р техн. наук, професор; О.О. Зеленський , д-р техн. наук, професор; Б.М. Конорєв , д-р техн. наук, професор, лауреат Державної премії України в галузі науки і техніки; В.А. Краснобаєв , д-р техн. наук, професор, заслужений винахідник України; Г.Я. Красовський , д-р техн. наук, професор; А.С. Кулік , д-р техн. наук, професор, лауреат Державної премії України в галузі науки і техніки; В.В. Лукін , д-р техн. наук, професор; В.В. Печенін , д-р техн. наук, професор; В.В. Піскорж , д-р техн. наук, професор; В.П. Тарасенко , д-р техн. наук, професор, заслужений діяч науки і техніки України, лауреат Державної премії України в галузі науки і техніки; І.Б. Сіроджа , д-р техн. наук, професор; О.Є. Федорович , д-р техн. наук, професор; В.С. Харченко , д-р техн. наук, професор, заслужений винахідник України.
Відповідальний секретар	О.Б. Лещенко , кандидат технічних наук, доцент

Свідectво про державну реєстрацію КВ № 6987 від 19.02.2003 р.
За вірогідність інформації несуть відповідальність автори. В журналі публікуються статті українською, російською та англійською мовами. Рукописи не повертаються. При передруку матеріалів посилання на журнал **«РАДІОЕЛЕКТРОННІ І КОМП'ЮТЕРНІ СИСТЕМИ»** обов'язкові.

Науково-технічний журнал включений до переліку наукових видань, в яких можуть друкуватися основні результати дисертаційних робіт
(див. постанову президії ВАК України №1-05/3 від 8.07.2009)

Реферативна інформація зберігається:

- у загальнодержавній реферативній базі даних **«Україніка наукова»** та публікується у відповідних тематичних серіях УРЖ «Джерело» (вільний он-лайнний доступ до ресурсів на Web-сервері <http://www.nbu.gov.ua>);
 - у реферативній базі даних Всеросійського інституту наукової і технічної інформації (**ВІНІТІ**) Російської академії наук і публікується у відповідних тематичних серіях РЖ (вільний он-лайнний доступ до ресурсів на Web-сервері <http://www.viniti.ru>).
-

В сборнике представлены результаты исследований, касающихся компьютерной инженерии, управления, технической диагностики, автоматизации проектирования, оптимизированного использования компьютерных сетей и создания интеллектуальных экспертных систем. Предложены новые подходы, алгоритмы и их программная реализация в области автоматического управления сложными системами, оригинальные информационные технологии в науке, образовании, медицине.

Для преподавателей университетов, научных работников, специалистов, аспирантов.

У збірнику наведено результати досліджень, що стосуються комп'ютерної інженерії, управління, технічної діагностики, автоматизації проектування, оптимізованого використання комп'ютерних мереж і створення інтелектуальних експертних систем. Запропоновано нові підходи, алгоритми та їх програмна реалізація в області автоматичного управління складними системами, оригінальні інформаційні технології в науці, освіті, медицині.

Для викладачів університетів, науковців, фахівців, аспірантів.

Редакционная коллегия:

В.В. Семенец, д-р техн. наук, проф. (гл. ред.); *М.Ф. Бондаренко*, д-р техн. наук, проф.; *И.Д. Горбенко*, д-р техн. наук, проф.; *Е.П. Пуятин*, д-р техн. наук, проф.; *В.П. Тарасенко*, д-р техн. наук, проф.; *Г.И. Загарий*, д-р техн. наук, проф.; *Г.Ф. Кривуля*, д-р техн. наук, проф.; *Чумаченко С.В.*, д-р техн. наук, проф.; *В.А. Филатов*, д-р техн. наук, проф.; *Е.В. Бодянский*, д-р техн. наук, проф.; *Э.Г. Петров*, д-р техн. наук, проф.; *В.Ф. Шостак*, д-р техн. наук, проф.; *В.М. Левыкин*, д-р техн. наук, проф.; *Е.И. Литвинова*, д-р техн. наук, проф.; *В.И. Хаханов*, д-р техн. наук, проф. (отв. ред.).

Свидетельство о государственной регистрации
печатного средства массовой информации

КВ № 12073-944ПР от 07.12.2006 г.

Адрес редакционной коллегии: Украина, 61166, Харьков, просп. Ленина, 14, Харьковский национальный университет радиоэлектроники, комн. 321, тел. 70-21-326

© Харківський національний університет
радіоелектроніки, 2013

ЗМІСТ

Гарантоздатність сервіс-орієнтованих систем

Белобровый П.В.

ПРИЧИННО-СЛЕДСТВЕННЫЙ КОМПЛЕКС РЫНКА АКЦИЙ КАК ОБЪЕКТ УПРАВЛЕНИЯ И ДИАГНОСТИРОВАНИЯ НАДЕЖНОСТИ СИСТЕМЫ	13
---	----

Гончаров А.С., Фурманов А.А.

АНАЛИЗ ГАРАНТОСПОСОБНОСТИ ДИВЕРСНЫХ СЕРВИС-ОРИЕНТИРОВАННЫХ АРХИТЕКТУР (на англ. яз.)	18
---	----

Блажско А.А., Левченко А.Ю., Пригожев А.С.

МОДЕЛИ ДЛЯ АВТОМАТИЗИРОВАННОЙ ОПТИМИЗАЦИИ ПРОИЗВОДИТЕЛЬНОСТИ СИСТЕМ УПРАВЛЕНИЯ БАЗАМИ ДАННЫХ	24
---	----

Мащенко Е.Н., Иванченко О.В., Смахашева Н.В.

АНАЛИТИКО-СТОХАСТИЧЕСКАЯ МОДЕЛЬ УПРАВЛЕНИЯ ТЕХНИЧЕСКИМ СОСТОЯНИЕМ ИЗДЕЛИЙ КРИТИЧЕСКОГО ПРИМЕНЕНИЯ	30
--	----

Савенко О.С., Мостовий С.В.

ЖИТТЄВИЙ ЦИКЛ ПРОЦЕСІВ КОМП'ЮТЕРНОЇ СИСТЕМИ	35
---	----

Мартынюк А.Н., Васим Аль Шариф

АНАЛИЗ ПРОТОКОЛА WI-FI ВЫЧИСЛИТЕЛЬНЫХ СЕТЕЙ	39
---	----

Горбенко А.В.

ОПРЕДЕЛЕНИЕ ЗАКОНОВ РАСПРЕДЕЛЕНИЯ ЗАДЕРЖЕК, СОСТАВЛЯЮЩИХ ВРЕМЯ ОТКЛИКА WEB-СЛУЖБ (на англ. яз.)	44
--	----

Скаткова Н.А., Воронин Д.Ю., Ткаченко К.С.

ДИСКРИМИНАЦИОННЫЙ АНАЛИЗ СИСТЕМ ИМИТАЦИОННОГО МОДЕЛИРОВАНИЯ С ИСПОЛЬЗОВАНИЕМ ВЕРСИОННО-МОДЕЛЬНОЙ ИЗБЫТОЧНОСТИ	49
---	----

Буй Д.Б., Богатырева Ю.А.

ТЕОРИЯ МУЛЬТИМНОЖЕСТВ: БИБЛИОГРАФИЯ, ПРИМЕНЕНИЕ В ТЕОРИИ ТАБЛИЧНЫХ БАЗ ДАННЫХ	56
--	----

Лахижа Р.Н.

ТАКСОНОМИЧЕСКАЯ СХЕМА И МЕТОДЫ ОБЕСПЕЧЕНИЯ ГАРАНТОСПОСОБНОСТИ БАНКОВСКИХ ИНФОРМАЦИОННЫХ СИСТЕМ	62
---	----

Годунов А.С.

АНАЛИЗ МЕТОДОВ ВЫЧИСЛЕНИЯ КОЭФФИЦИЕНТА РЕЛЕВАНТНОСТИ ДЛЯ ВЕБ-СТРАНИЦ ПОИСКОВЫМИ СИСТЕМАМИ	68
--	----

Андрашов А.А., Дубницкий В.Ю.

НАУКОМЕТРИЧЕСКИЙ АНАЛИЗ ТРУДОВ КОНФЕРЕНЦИИ «ГАРАНТОСПОСОБНЫЕ СИСТЕМЫ, СЕРВИСЫ И ТЕХНОЛОГИИ (DESSERT 2006-2010)»	72
--	----

Інформаційна безпека

Ленишин А.В., Буслов П.В.

МЕТОД ФОРМУВАННЯ ФУНКЦІОНАЛЬНИХ ПРОФІЛІВ ЗАХИЩЕНОСТІ ВІД НЕСАНКЦІОНОВАНОГО ДОСТУПУ	77
---	----

Модель-орієнтовані технології розробки та верифікації

Машиницький М.О.

ІНТЕРПОЛЯЦІЯ БАГАТОПАРАМЕТРИЧНИХ ФУНКЦІЙ НА ОСНОВІ МОДИФІКАЦІЙ РІЗНИЦЕВИХ МЕТОДІВ ГАУСА	82
--	----

Кулик А.С., Чухрай А.Г., Вагин Е.С., Педан С.И.

ФОРМАЛІЗАЦІЯ ГЕНЕРАЦІЙ ЗАДАНИЙ ДЛЯ КОМПЛЕКСА ІНТЕРАКТИВНИХ WEB-ТЕСТОВ ПО МАТЕМАТИКЕ	86
--	----

Твердохлебов В.А.

ОЦЕНКА СЛОЖНОСТИ АЛГОРИТМОВ ПО МОДИФИЦІРОВАННЫМ СХЕМАМ ЯНОВА	90
---	----

Евсеева Л.Г., Яськов Г.Н.

ПРИМЕНЕНИЕ ИНТЕРВАЛЬНОГО МОДЕЛИРОВАНИЯ В ПОРОШКОВОЙ МЕТАЛЛУРГИИ	95
--	----

Шматков С.И.

МЕТОД ФРАГМЕНТАЦИИ ВРЕМЕННЫХ ПАРАЛЛЕЛЬНЫХ МОДЕЛЕЙ ЗАДАЧ С ИСПОЛЬЗОВАНИЕМ ФОРМАЛЬНЫХ ПОЛИНОМОВ	99
--	----

Андрашов А.А.

ТАКСОНОМИЧЕСКИЕ МОДЕЛИ ПРОФИЛИРОВАНИЯ ТРЕБОВАНИЙ ИНФОРМАЦИОННО-УПРАВЛЯЮЩИХ СИСТЕМ КРИТИЧЕСКОГО ПРИМЕНЕНИЯ	104
--	-----

Неткачѐва Е.И.

МЕТОДОЛОГИЯ ОТЧЕТОВ ПО БЕЗОПАСНОСТИ: ПРИНЦИПЫ ПРОЕКТИРОВАНИЯ (на англ. яз.)	109
--	-----

Надійність програмного забезпечення

Лазурик В.Т., Мищенко В.О.

КОНЦЕПЦИЯ И ОСНОВНЫЕ ОСОБЕННОСТИ МОДЕЛИ КАЧЕСТВА РАСТУЩЕГО ПАКЕТА ПРОГРАММ RT-OFFICE	113
---	-----

Конорев Б.М., Сергиенко В.В., Алексеев Ю.Г., Чертков Г.Н.

МОДЕЛЬ ИНВАРИАНТО-ОРИЕНТИРОВАННОЙ ОЦЕНКИ ХАРАКТЕРИСТИК КАЧЕСТВА ПРОГРАММНОГО ОБЕСПЕЧЕНИЯ	117
---	-----

Пічугіна О.С.

КОМБІНАТОРНІ ПІДХОДИ ДО РОЗВ'ЯЗАННЯ ЗАДАЧІ МІНІМІЗАЦІЇ ЧАСУ ВИКОНАННЯ ПРОГРАМНОГО ПАКЕТУ	121
---	-----

Котко Е.А., Волковой А.В., Лебединский С.С.

ПРОЦЕДУРА ВЫБОРА СРЕДСТВ ДЛЯ ОЦЕНКИ СООТВЕТСТВИЯ ПРОГРАММНОГО ОБЕСПЕЧЕНИЯ НОРМАТИВНЫМ ТРЕБОВАНИЯМ	127
--	-----

Сільвейструк Л.М.

БАГАТОСТОРОННІ ЗВ'ЯЗКИ В РОЗШИРЕНІЙ МОДЕЛІ "СУТНІСТЬ-ЗВ'ЯЗОК"	133
---	-----

Відмовостійкі системи

Кошман С.А.

КОНЦЕПЦИЯ СОЗДАНИЯ СИСТЕМЫ ОБРАБОТКИ ЦИФРОВОЙ ИНФОРМАЦИИ НА ОСНОВЕ ИСПОЛЬЗОВАНИЯ СИСТЕМЫ ОСТАТОЧНЫХ КЛАССОВ	138
--	-----

Романкевич А.М., Гроль В.В., Романкевич В.А., Фесенюк А.П.

ОЦЕНКА ПОГРЕШНОСТИ СТАТИСТИЧЕСКОГО РАСЧЕТА НАДЕЖНОСТИ ОМС, КОТОРЫМ СООТВЕТСТВУЮТ ИЕРАРХИЧЕСКИЕ GL-МОДЕЛИ	142
---	-----

Аврунин О.Г., Корж Ю.Н., Крук О.Я., Носова Т.В., Семенец В.В., Тыртышников А.И.

ОБЕСПЕЧЕНИЕ ОТКАЗОУСТОЙЧИВОСТИ ЛАБОРАТОРНЫХ СТЕНДОВ ДЛЯ ИЗУЧЕНИЯ АНАЛОГОВОЙ ЭЛЕКТРОНИКИ И СХЕМОТЕХНИКИ	147
---	-----

Системи контролю та діагностування

Завадская Т.В.

БЛОЧНО-ОРИЕНТИРОВАННАЯ МОДЕЛЬ СИСТЕМЫ АВТОМАТИЧЕСКОГО УПРАВЛЕНИЯ РЕГУЛЯТОРАМИ РАСХОДА ВОЗДУХА В ШАХТНОЙ ВЕНТИЛЯЦИОННОЙ СЕТИ	152
---	-----

Долгов Ю.А., Козак Л.Я., Шестопал О.В.

СХЕМА МАТЕМАТИЧЕСКОГО МОДЕЛИРОВАНИЯ ТЕХНОЛОГИЧЕСКОГО ПРОЦЕССА ПЛАВКИ СТАЛИ	157
---	-----

Андрянов В.А., Мартынюк А.Н.

МОДИФИКАЦИЯ СТРУКТУРНОГО ГЕНЕРАТОРА ТЕСТОВ FAN	161
--	-----

Благодарный Н.П., Троненко Д.С.

САМОДИАГНОСТИРОВАНИЕ ВЫСОКОИНТЕГРИРОВАННЫХ ЦИФРОВЫХ СИСТЕМ РЕАЛЬНОГО ВРЕМЕНИ	166
---	-----

Иванов Д.Е., Зуауи Р.

АЛГОРИТМ СИМУЛЯЦИИ ОТЖИГА ОПТИМИЗАЦИИ РАСРЕЙВАНИЯ ТЕПЛА ДИАГНОСТИЧЕСКИХ ТЕСТОВ	170
---	-----

Арутюнян А.Р., Витер А.В., Кольбик Б.И.

АЛГОРИТМ ТЕСТИРОВАНИЯ ПРОМЫШЛЕННОЙ КОМПЬЮТЕРНОЙ СЕТИ	176
--	-----

Епифанов А.С.

ОЦЕНКА СЛОЖНОСТИ И КЛАССИФИКАЦИЯ МАРШРУТОВ ПО СЛОЖНОСТИ НА ОСНОВЕ СПЕКТРА ПАРАМЕТРОВ	180
---	-----

Кривуля Г.Ф., Кучеренко Д.Е.

МОДЕЛИРОВАНИЕ ДИАГНОСТИЧЕСКИХ СОСТОЯНИЙ И КОМПЕТЕНТНОСТИ ПОЛЬЗОВАТЕЛЯ КОМПЬЮТЕРНОЙ СИСТЕМЫ	185
---	-----

Поморова О.В., Гнатчук Є.Г.

ВИЯВЛЕННЯ НАДЛИШКОВОСТІ ПРАВИЛ В НЕЧІТКИХ БАЗАХ ЗНАНЬ ІНТЕЛЕКТУАЛЬНИХ СИСТЕМ ТЕХНІЧНОГО ДІАГНОСТУВАННЯ	190
---	-----

Ляхов А.Л., Алешин С.П.

ТЕХНИЧЕСКАЯ ДИАГНОСТИКА БОРТОВЫХ РАДИОЛОКАЦИОННЫХ СИСТЕМ В СРЕДЕ STATISTIKA NEURAL NETWORK	195
---	-----

Системи програмованої логіки

Дунець Р.Б., Тиханський Д.Я.

ПРОБЛЕМИ ПОБУДОВИ ЧАСТКОВО РЕКОНФІГУРОВАНИХ СИСТЕМ НА ПЛІС	200
--	-----

Хаханов В.И., Гузь О.А., Побеженко И.А., Ngene Christopher Umerah

ТЕХНОЛОГИЯ ТЕСТИРОВАНИЯ И ВЕРИФИКАЦИИ СИСТЕМНЫХ HDL-МОДЕЛЕЙ	205
---	-----

Биленко А.А., Ситников В.С.

АНАЛИЗ ПОСТРОЕНИЯ ВЫЧИСЛЕНИЙ НА ОСНОВЕ РЕКОНФИГУРИРУЕМЫХ КОМПЬЮТЕРНЫХ СИСТЕМ	212
---	-----

Мельник В.А., Сарайрех З.

ПОБУДОВА ГЕНЕРАТОРІВ ПРОГРАМНИХ МОДЕЛЕЙ КОМП'ЮТЕРНИХ СИСТЕМ НА КРИСТАЛІ	215
--	-----

Клятченко Я.М., Тарасенко В.П., Тесленко О.К., Михайлюк А.Ю.

КОМАНДИ СПЕЦІАЛІЗОВАНОГО ПРОЦЕСОРА НА ПЛІС ДЛЯ АДАПТИВНОГО ПОРІВНЯННЯ ІНФОРМАЦІЙНИХ ОБ'ЄКТІВ	220
---	-----

Куланов В.А., Куланов С.А., Скрынник А.С.

ИНСТРУМЕНТАЛЬНОЕ СРЕДСТВО ЗАСЕВА И МОДЕЛИРОВАНИЯ КОНСТАНТНЫХ НЕИСПРАВНОСТЕЙ ВСТРОЕННЫХ СИСТЕМ НА ПЛИС	225
--	-----

Телекомунікаційні системи та радіoeлектронні пристрої

Бондаренко М.В.

МОДЕЛЬ ФОРМИРОВАНИЯ ЦИФРОВОГО СИГНАЛА В СИСТЕМАХ С АЦП И ЦАП В УСЛОВИЯХ ДЖИТТЕРА ТАКТОВОГО СИГНАЛА	230
---	-----

Литвин В.В., Олейник В.П., Кулиш С.Н., Аль Отти Сами

ГЕНЕРИРОВАНИЕ И ОЦЕНКА ПАРАМЕТРОВ ШИРОКОПОЛОСНОГО ЭЛЕКТРОМАГНИТНОГО ИЗЛУЧЕНИЯ КВЧ ДИАПАЗОНА СВЕРХНИЗКОЙ ИНТЕНСИВНОСТИ ДЛЯ ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ В МЕДИЦИНЕ	233
--	-----

Антощук С.Г., Николенко А.А.

ИНТЕГРАЛЬНОЕ РАСПРЕДЕЛЕНИЕ ЭНЕРГИИ ПО МАСШТАБАМ ВЕЙВЛЕТ-ПРЕОБРАЗОВАНИЯ ПРИ АНАЛИЗЕ ИЗОБРАЖЕНИЙ	236
---	-----

Дегтярев А.Н.

БЫСТРО СХОДЯЩИЕСЯ ОРТОГОНАЛЬНЫЕ РЯДЫ В ТЕОРИИ СВЯЗИ	242
---	-----

Лаврут А.А., Мартиненко А.М., Лаврут Т.В.

ОПИСАНИЕ СИСТЕМЫ СПУТНИКОВОЙ СВЯЗИ КАК СЛОЖНОГО ДИНАМИЧЕСКОГО ОБЪЕКТА ПРИ ПОМОЩИ МЕТОДА КРОНА	251
--	-----

Коваленко А.А., Кучук Г.А., Можжаев А.А.

ПОСТРОЕНИЕ ЭКСПОНЕНЦИАЛЬНЫХ ВРЕМЕННЫХ ШКАЛ ПРИ АНАЛИЗЕ ОЧЕРЕДЕЙ МУЛЬТИСЕРВИСНЫХ СЕТЕЙ	257
--	-----

Функціональна безпека та живучість

Толкачов М.Ю.

МЕТОДИКА РОЗРАХУНКУ ЕЛЕКТРОМАГНІТНОГО ПОЛЯ БЛИСКАВКИ У ОБМЕЖЕНОМУ ЗАМКНУТОМУ ПРОСТОРІ	263
--	-----

Скляр В.В.

АНАЛИЗ ФУНКЦИОНАЛЬНОЙ БЕЗОПАСНОСТИ ИНФОРМАЦИОННО-УПРАВЛЯЮЩИХ СИСТЕМ С ИСПОЛЬЗОВАНИЕМ ЛОГИЧЕСКИХ МОДЕЛЕЙ ОШИБОК КОНТРОЛЯ И УПРАВЛЕНИЯ	267
--	-----

Бабий С.М., Кочкарь Д.А., Чмовж В.В.

АЛГОРИТМ ПОКРЫТИЯ ПЛОЩАДИ ЛЕСНОГО МАССИВА КРУГАМИ ВИДЕОНАБЛЮДЕНИЯ И КОНТРОЛЯ	272
---	-----

Похил В.С., Харыбин А.В.

МЕТОДЫ ОЦЕНИВАНИЯ И ОБЕСПЕЧЕНИЯ ФУНКЦИОНАЛЬНОЙ БЕЗОПАСНОСТИ БОРТОВЫХ ИНФОРМАЦИОННО-УПРАВЛЯЮЩИХ СИСТЕМ ЛЕТАТЕЛЬНЫХ АППАРАТОВ	278
---	-----

Бабешко Е.В., Ильяшенко О.А., Харченко В.С.

МНОГОЭТАПНЫЙ АНАЛИЗ НАДЕЖНОСТИ И БЕЗОПАСНОСТИ
ИНФОРМАЦИОННО-УПРАВЛЯЮЩИХ СИСТЕМ..... 283

Харченко В.С., Зайцева Е.

О ДЕГРАДИРУЮЩИХ СИСТЕМАХ С ДЕГРАДИРУЮЩИМИ КОМПОНЕНТАМИ 288

Сиора А.А.

АНАЛИЗ МОДЕЛЕЙ И КРИТЕРИЕВ ВЫБОРА
МНОГОВЕРСИОННЫХ СИСТЕМ И ТЕХНОЛОГИЙ 293

Харченко В.С.

АНАЛИЗ ПРОБЛЕМ ИТ-ИНЖЕНЕРИИ БЕЗОПАСНОСТИ:
ПРОЕКТ TEMPUS-SAFEGUARD 297

Баркалов А.А., Красичков А.А., Мирошкин А.Н.

РАСШИРЕНИЕ ФОРМАТА МИКРОКОМАНД В КОМПОЗИЦИОННОМ
МИКРОПРОГРАММНОМ УСТРОЙСТВЕ УПРАВЛЕНИЯ
С ЭЛЕМЕНТАРИЗАЦИЕЙ ОПЕРАТОРНЫХ ЛИНЕЙНЫХ ЦЕПЕЙ 301

Зеленцов В.А., Заславский В.А.

ЗАДАЧИ ИЕРАРХИЧЕСКОГО УПРАВЛЕНИЯ
ЭКСПЛУАТАЦИЕЙ СЛОЖНЫХ СИСТЕМ 306

Кочкарь Д.А., Мединцев С.Ю., Орехов А.А.

ОПТИМАЛЬНОЕ РАЗМЕЩЕНИЕ ВЫШЕК НАБЛЮДЕНИЯ НАЗЕМНЫХ
СИСТЕМ ВИДЕО-МОНИТОРИНГА ЛЕСНЫХ ПОЖАРОВ..... 311

АЛФАВІТНИЙ ПОКАЖЧИК..... 315

CONTENTS

Dependability of service-oriented systems

Belobrov P.V.

CAUSE-EFFECT COMPLEX OF THE SHARE MARKET AS THE OBJECT OF MANAGEMENT AND DIAGNOSING OF SYSTEM RELIABILITY	13
--	----

Goncharov A.S., Furmanov A.A.

MULTI VERSION SERVICE ORIENTED ARCHITECTURES DEPENDABILITY ANALYSIS	18
--	----

Blazhko O.A., Levchenko O.Yu., Prigozhev O.S.

MODELS FOR AUTOMATED OPTIMIZATION DBMS PERFORMANCE	24
--	----

Mashenko O.M., Ivanchenko O.V., Smachasheva N.V.

ANALYTICAL AND STOCHASTIC MODEL OF TECHNICAL STATE MANAGEMENT OF CRITICAL PRODUCT	30
--	----

Savenko O.S., Mostovy S.V.

LIFE CYCLE OF PROCESSES OF COMPUTER SYSTEM	35
--	----

Martynyuk O.M., Waseem Al Sharif

ANALYZE OF NETWORK PROTOCOL WI-FI	39
---	----

Gorbenko A.V.

DETERMINATION OF DISTRIBUTION LAWS OF DELAYS CONTRIBUTING TO WEB-SERVICES RESPONSE TIME	44
--	----

Skatkova N.A., Voronin D.Y., Tkachenko K.S.

DISCRIMINATORY ANALYSIS OF SIMULATION SOFTWARE USING VERSION-MODEL REDUNDANCY	49
--	----

Buy D.B., Bogatyreva J.O.

MULTISET'S THEORY: BIBLIOGRAPHY, APPLICATION IN TABLE DATABASES THEORY	56
---	----

Lakhyzha R.M.

TAXONOMY SCHEME AND METHODS OF BANKING INFORMATION SYSTEMS DEPENDABILITY PROVIDING	62
---	----

Godunov O.S.

ANALYSIS OF RELEVANCE RATIO'S CALCULATION METHODS FOR WEB PAGES BY SEARCH ENGINES	68
--	----

Andrashov A.A., Dubnickiy V.Y.

SCIENTOMETRIC ANALYSIS OF «DEPENDABLE SYSTEMS, SERVICES AND TECHNOLOGIES (DESSERT 2006 -2010)» CONFERENCE PROCEEDINGS	72
--	----

Information security

Lyenshyn A.V., Buslov P.V.

METHOD FOR DESIGN OF THE FUNCTIONALITY PROFILES OF UNAUTHORIZED ACCESS PROTECTION	77
--	----

Model-oriented technologies of development and verification

Mashnitsky M.O.

MULTI-PARAMETERS FUNCTION INTERPOLATION BASED ON MODIFICATION OF GAUSS DIFFERENCE INTERPOLATION METHODS.....	82
---	----

Kulik A.S., Chukhray A.G., Vagin Ie.S., Pedan S.I.

FORMALIZATION OF GENERATION OF TASKS FOR COMPLEX OF MATHEMATICAL WEB-TESTS.....	86
--	----

Tverdokhlebov V.A.

ESTIMATION OF COMPLEXITY OF ALGORITHMS BY MODIFIED YANOV'S SCHEMES	90
---	----

Yevseeva L.G., Yaskov G.M.

APPLICATION OF INTERVAL MODELLING TO POWDER METALLURGY	95
--	----

Shmatkov S.I.

FRAGMENTATION METHOD OF TEMPORAL PARALLEL MODELS OF TASKS WITH THE USE OF FORMAL POLYNOMIALS	99
---	----

Andrashov A.O.

TAXONOMIC MODELS FOR CRITICAL APPLICATION I&C SYSTEMS REQUIREMENTS PROFILING	104
---	-----

Netkachova K.I.

SAFETY CASE METHODOLOGY: ARCHITECTING PRINCIPLES.....	109
---	-----

Software reliability

Lazurik V.T., Mishenko V.O.

CONCEPTION AND FEATURES OF THE QUALITY MODEL FOR THE GROWING PROGRAM PACKAGE RT-OFFICE.....	113
--	-----

Konorev B.M., Sergiyenko V.V., Alexeev U.G., Chertkov G.N.

INVARIANT-ORIENTED MODEL FOR SOFTWARE QUALITY CHARACTERISTICS ASSESSMENT	117
---	-----

Pichugina O.S.

THE COMBINATORIAL APPROACHES TO DECISION OF TIME MINIMIZATION PROBLEM OF SOFTWARE PACKAGE RUNNING.....	121
---	-----

Kotko E.A., Volkoviy A.V., Lebedinskiy S.S.

SELECTION PROCEDURE FOR MEANS OF SOFTWARE NORMATIVE REQUIREMENTS CONFORMANCE EVALUATION.....	127
---	-----

Silveystruk L.M.

MULTIWAY RELATIONSHIPS OF EXTENDED ENTITY-RELATIONSHIP MODEL.....	133
---	-----

Fault-tolerant systems

Koshman S.O.

CONCEPTION OF CREATION OF INFORMATION-PROCESSING SYSTEM ON BASIS OF THE USE SYSTEMS OF REMAINING CLASSES.....	138
--	-----

Romankevich O.M., Grol V.V., Romankevich V.O., Feseniuk A.P.

ALCULATION OF FAULT-TOLERANT MULTIPROCESSOR SYSTEMS, DESCRIBED BY HIERARCHICAL GL-MODELS	142
---	-----

<i>Avrunin O.G., Korzh Yu.M., Kruk O.Ya., Nosova T.V., Semenec V.V., Tirtishnikov O.I.</i> FAULT-TOLERANCE SUPPORT FOR LAB TEST BENCH USED FOR STUDING ANALOG ELECTRONICS AND CIRCUIT ENGINEERING	147
---	-----

Systems of diagnostics and checking

<i>Zavadskaya T.V.</i> BLOCK-ORIENTED MODEL OF AUTOMATIC CONTROL SYSTEM OF REGULATOR AIRFLOW IN MINE VENTILATION NETWORK.....	152
<i>Dolgov Y.A., Cossack L.Y., Shestopal O.V.</i> SCHEME OF MATHEMATICAL MODELLING OF STEEL FOUNDING TECHNOLOGICAL PROCESS.....	157
<i>Andriyanov V.O., Martinyuk O.M.</i> MODIFICATION OF STRUCTURAL TEST PATTERN GENERATION ALGORITHM FAN	161
<i>Blagodarniy M.P., Tronenko D.S.</i> SELF-DIAGNOSTIC HIGHT-INTEGRATED DIGITAL SYSTEMS OF REAL TIME.....	166
<i>Ivanov D.E., Zouaoui R.</i> THE SIMULATING ANNEALING ALGORITHM FOR THE OPTIMIZATION OF THE POWER DISSIPATION OF THE INPUT TEST SEQUENCES.....	170
<i>Arutyunyan A.R., Viter A.V., Kolbik B.I.</i> ALGORITHM OF TESTING INDUSTRIAL COMPUTER NETWORK	176
<i>Epifanov A.S.</i> ESTIMATION OF COMPLEXITY AND CLASSIFICATION OF ROUTES ON COMPLEXITY ON THE BASIS OF A SPECTRUM OF PARAMETERS.....	180
<i>Krivoulya G.F., Kucherenko D.E.</i> SIMULATION OF DIAGNOSTIC STATES AND COMPETENCE OF COMPUTER'S SYSTEM USER	185
<i>Pomorova O.V., Gnatchuk E.G.</i> REVEALING SUPERFLUITY OF RULES IN FUZZY KNOWLEDGE BASES OF INTELLIGENT TECHNICAL DIAGNOSIS SYSTEMS	190
<i>Lyakhov O.L., Aleshin S.P.</i> TECHNICAL DIAGNOSTICS BOARD RADAR SYSTEMS IN THE MEDIUM STATISTIKA NEURAL NETWORK.....	195

Systems with programmable logic

<i>Dunets R.B., Tykhansky D.Y.</i> PROBLEMS OF PARTIALLY RECONFIGURABLE FPGA-BASED SYSTEM DESIGN	200
<i>Hahanov V.I., Guz O.O., Pobizhenko I.O., Ngene Christopher Umerah</i> TECHNOLOGY FOR TESTING AND VERIFICATION OF SYSTEM HDL-MODELS	205
<i>Bilenko A.O., Sitnikov V.S.</i> THE ANALYSIS OF CONSTRUCTION OF CALCULATIONS ON THE BASIS OF RE-CONFIGURED COMPUTER SYSTEMS	212
<i>Melnyk V.A., Saraireh Z.</i> DEVELOPMENT OF GENERATORS OF THE SOFTWARE MODELS OF COMPUTER SYSTEMS ON A CHIP	215

<i>Klyatchenko Y.M., Tarasenko V.P., Teslenko O.K., Mykhailiuk A.Y.</i> INSTRUCTIONS IMPLEMENTATION OF SPECIALIZED PLD-BASED PROCESSOR FOR ADAPTIVE COMPARISON OF INFORMATION OBJECTS	220
---	-----

<i>Kulanov V.O., Kulanov S.O., Skrynnik O.S.</i> STUCK-AT-FAULT INJECTION AND MODELING TOOL FOR EMBEDDED FPGA-BASED PROJECTS	225
--	-----

Telecommunication systems and radio-electronic units

<i>Bondarenko M.V.</i> DIGITAL SIGNAL FORMING MODEL BY SYSTEMS IN ADC AND DAC CLOCK JITTER CONDITIONS.....	230
--	-----

<i>Litvin V.V., Oliynyk V.P., Kulish S.M., Al Otti Sami</i> GENERATION AND EVALUATE PARAMETRIES OF WIDEBAND ELECTROMAGNETIC RADIATION OVER A WEAK INTENSITY FOR INFORMATIVE TECHNOLOGIES IN MEDICINE.....	233
--	-----

<i>Antoshchuk S.G., Nikolenko A.O.</i> INTEGRAL ENERGY DISTRIBUTION ON WAVELET TRANSFORM SCALES AT IMAGE ANALYSIS.....	236
--	-----

<i>Degtyarev A.M.</i> QUICKLY CONVERGING ORTOGONAL ROWS IN COMMUNICATION THEORY.....	242
---	-----

<i>Lavrut O.O., Martinenko A.M., Lavrut T.V.</i> DESCRIPTION OF SATELLITE COMMUNICATION NETWORK AS DIFFICULT DYNAMIC OBJECT THROUGH METHOD OF KRON	251
--	-----

<i>Kovalenko A.A., Kuchuk G.A., Mogaev A.A.</i> CREATION OF EXPONENTIAL TIMESCALES IN MULTISERVICE NETWORK QUEUES ANALYSIS	257
--	-----

Functional safety and survivability

<i>Tolkachov M.U.</i> A TECHNIQUE FOR CALCULATING ELECTROMAGNETIC FIELD OF LIGHTNING IN A CONFINED CLOSED SPACE.....	263
--	-----

<i>Sklyar V.V.</i> FUNCTIONAL SAFETY ANALYSIS OF INSTRUMENTATION AND CONTROL SYSTEMS BY USE OF LOGICAL MODELS OF CHECKING AND CONTROL ERRORS	267
--	-----

<i>Babiy S.M., Kochkar D.A., Chmovzh V.V.</i> ALGORITHM OF OVERLAYING WOODLAND AREA BY VIDEO SURVIELLANCE AND CONTROL CIRCLES.....	272
--	-----

<i>Pohyl V.S., Kharybin O.V.</i> THE ESTIMATION AND SUPPORTING METHODS OF THE FUNCTIONAL SAFETY OF THE AIRCRAFT ONBOARD CONTROL & INFORMATION SYSTEM.....	279
---	-----

<i>Babeshko E.V., Illiashenko O.O., Kharchenko V.S.</i> MULTISTAGE RELIABILITY AND SAFETY ANALYSIS OF INFORMATION AND CONTROL SYSTEMS	283
---	-----

<i>Kharchenko V.S., Zaitseva E.</i> ABOUT MULTI-STATE SYSTEMS OUT OF MULTI-STATE COMPONENTS	288
<i>Siora A.A.</i> MODELS AND CRITERIA FOR CHOICE OF MULTI-VERSION SYSTEMS AND TECHNOLOGIES	293
<i>Kharchenko V.S.</i> ANALYSIS OF THE PROBLEMS OF SAFEWARE ENGINEERING: THE PROJECT TEMPUS-SAFEGUARD	297
<i>Barkalov A.A., Krasichkov A.A., Miroshkin A.N.</i> EXTENSION OF MICROINSTRUCTION FORMAT IN COMPOSITIONAL MICROPROGRAM CONTROL UNIT WITH CODE SHARING AND LINEAR CHAINS ELEMENTARIZATION	301
<i>Zelentsov V.A., Zaslavsky V.A.</i> HIERARCHICAL MAINTENANCE CONTROL PROBLEMS OF THE COMPLEX SYSTEMS	306
<i>Kochkar D.A., Medintsev S.U., Orekhov O.O.</i> OPTIMUM ALLOCATION OBSERVANT TOWERS GROUND SYSTEMS OF VIDEO MONITORING OF FOREST FIRES	311
INDEX	315

УДК 681.326:519.613

В.И. ХАХАНОВ, О.А. ГУЗЬ, И.А. ПОБЕЖЕНКО, NGENE CHRISTOPHER UMERAN

Харьковский национальный университет радиоэлектроники, Украина

ТЕХНОЛОГИЯ ТЕСТИРОВАНИЯ И ВЕРИФИКАЦИИ СИСТЕМНЫХ HDL-МОДЕЛЕЙ

Технология позволяет осуществлять поиск ошибок с заданной глубиной в программном HDL-коде за приемлемое для разработчика время путем введения **ассерционной** избыточности в критические точки программной модели, определяемые с помощью синтезированных логических функций тестопригодности. Рассмотрены инновационные технологии тестопригодного проектирования программных и аппаратных продуктов, ориентированные на эффективную разработку тестов и верификацию компонентов цифровых систем на кристаллах. Таким образом, используемые в *hardware design and test* критерии управляемости и наблюдаемости применены для оценки качества программного кода в целях его улучшения и эффективного диагностирования семантических ошибок.

Ключевые слова: тестирование, тестопригодность, верификация, ассерция, HDL-модель.

Введение

Цель – улучшение технологии тестирования и верификации цифровых систем для диагностирования и исправления ошибок HDL-моделей путем совместного использования механизма ассерций и технологий тестопригодного проектирования.

Задачи исследования:

1. Классификация технологий тестопригодного проектирования HDL-моделей для создания цифровых систем на кристаллах.
2. Разработка модели верификации и тестирования системной HDL-модели на основе использования ассерций.
3. Разработка метрики оценивания тестопригодности HDL-моделей на основе новой логической функции тестопригодности.
4. Применение технологической модели ассерций для верификации IP-core фильтра на основе дискретного косинусного преобразования.
5. Практические результаты и направления дальнейших исследований.

Источники исследования:

1. Технологии и средства создания тестов и testbench представлены в работах [1 – 3].
2. Модели и методы верификации системных моделей на основе механизма ассерций описаны в публикациях [4 – 7]. Тестопригодное проектирование программных продуктов использует стандарты IEEE [8 – 10], а также инновационные решения для верификации и анализа тестопригодности системных HDL-моделей [11 – 18].

1. Тестопригодность программно-аппаратных продуктов

Иницирующим ядром появления новых технологий тестирования и верификации в программной и компьютерной инженерии следует считать силиконовый кристалл, являющийся основой для создания вычислительных и/или коммуникационных устройств. Кристалл рассматривается как испытательный полигон для апробации новых средств и методов трассировки, размещения, синтеза и анализа компонентов. Технологические решения, выдержавшие испытания временем в микроэлектронике, далее захватываются и адаптируются в макроэлектронике, представленной компьютерными системами и сетями.

Сближение и взаимопроникновение технологий приводит к изоморфным методам проектирования, тестирования и верификации по отношению к программным и аппаратным комплексам, что по существу является закономерным процессом ассимиляции прогрессивных концепций. Тому способствует факт, что наиболее важные параметры жизненного цикла изделия, такие как *time-to-market* и *yield* становятся соизмеримыми по времени и выходу годной продукции. Кривая жизненного цикла аппаратного изделия, представленная на рис. 1, с точностью до изоморфизма отображает временные этапы программного продукта, который проходит аналогичные стадии: проектирование, увеличение объема выпуска и производство с доработкой и сопровождением изделия.

В контексте жизненного цикла существуют две актуальные проблемы, которые связаны с поднятием графика (кривой) вверх по оси ординат, а также с компрессией упомянутой кривой по временной оси, означающей уменьшение параметра time-to-market. Здесь повышение yield происходит на всех стадиях: design – за счет устранения ошибок разработки; production ramp up – за счет исправления кода, имплементированного в память системы на кристалле; volume – за счет выпуска service pack, корректирующих ошибки путем распространения через Internet или спутники (satellites).

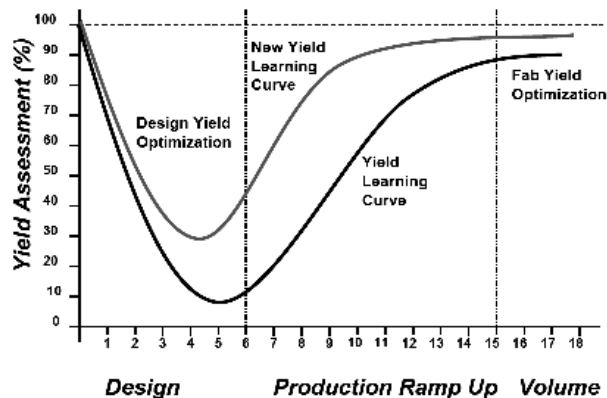


Рис. 1. График жизненного цикла программно-аппаратного комплекса

Согласно [13] стоимость верификации программно-аппаратных продуктов на основе ASIC, IP-core, SoC составляет 70% от общих затрат проектирования. Аналогичная оценка, около 80 %, определяет размерность testbench-кода от общей длины формального описания проекта. Задачи, решаемые в процессе верификации, связаны с устранением ошибок проектирования как можно на более ранней его стадии в целях приведения кода прототипа в соответствие с его спецификацией. Пропуск ошибки увеличивает ее стоимость на порядок при переходе от уровня проектирования блока до уровня кристалла и далее к системе.

Введение в проект программной избыточности – механизма ассерций [15] – позволяет выполнять анализ основных специфицированных условий в процессе моделирования проекта и диагностировать ошибки в случае их обнаружения на ранних стадиях проектирования программы (C++) или аппаратуры (HDL).

2. Инфраструктура процесса верификации проекта

Модель процесса верификации проекта на системном уровне можно представить в виде обобщенного уравнения обнаружения ошибок $T \oplus S = L$ или более подробно в компонентах:

$$(T, A) \oplus (P, S, F) = (L_V).$$

Здесь: T, A – тестовые и ассерционные воздействия с ожидаемыми реакциями; P, S, F – спецификация, HDL-модель функциональное покрытие оценки полноты теста для верификации проектируемого изделия. При тестировании аппаратной реализации вступает в силу аналитическое выражение $(T) \oplus (S, B) = (L_T)$, где B – регистр граничного сканирования от стандарта IEEE 1500, используемый в качестве дополнения к модели для обеспечения требуемой глубины диагностирования. При этом L_V, L_T – списки ошибок и неисправностей, полученные на стадиях верификации проекта и тестирования готового изделия.

Для более точного понимания соотношений между ключевыми понятиями верификация, валидация, ассерция вводятся следующие определения [13, 14]. Верификация – есть процесс анализа системы или компонентов для определения корректности преобразований входного описания на очередной стадии проектирования. Валидация – есть процесс определения работоспособности системы и ее компонентов путем проверки соответствия основным требованиям спецификации после выполнения каждой стадии проектирования. Сертификация – есть письменная гарантия того, что система или ее компоненты полностью удовлетворяют требованиям спецификации и приемлемы для использования по назначению. Ассерция – есть высказывание системного уровня, определяющее корректность преобразований в процессе проектирования относительно входного описания текущего этапа или требований спецификации. Следуя последнему определению ассерцию можно записать в виде предиката $A_i = f(A_{i1}, A_{i2}, \dots, A_{ij}, \dots, A_{in}) = Y = \{0,1\}$, который на множестве переменных i_n принимает значения $\{true, false\}$. В соответствии с упомянутым определением ассерции можно дифференцировать на три типа $A = \{A_f, A_p, A_s\}$ – проверки неисправностей, функциональных путей и возможных состояний проектируемого изделия. Такая классификация позволяет проверить в программном коде, как механизм вычислений, так и управления вычислительными процессами. Механизм ассерций – есть полная система высказываний $A = (A_1, A_2, \dots, A_i, \dots, A_n)$ и средства их анализа, предназначенные для верификации и валидации процесса проектирования, а также диагностирования ошибок.

Стратегии верификации и тестирования имеют различные модели приложения технологий, ориентированные на упомянутые процессы. Для верификации характерным признаком является работа

с HDL-моделью, полученной по спецификации проекта, которая проходит стадии преобразований, связанных с его проектированием (рис. 2) (синтез и имплементация) в силиконовый кристалл. Процесс тестирования здесь отображает взаимодействие аппаратной и HDL-модели на несистемном (регистровом или вентильном) уровне проектирования при имплементации идеи в кристалл программируемой логики. Для кристаллов ASIC такая технология нецелесообразна, поскольку перепрограммирование ошибки здесь будет стоить до миллиона долларов.

С учетом приведенных определений и пояснений модель среды или макропроцесса верификации программной стадии проекта ориентирована на уменьшение времени создания изделия и повышение уровня выхода годной продукции за счет использования избыточности кода в виде механизма ассерций и использования Testbench совместно с метрикой определения качества теста или функциональной полноты.

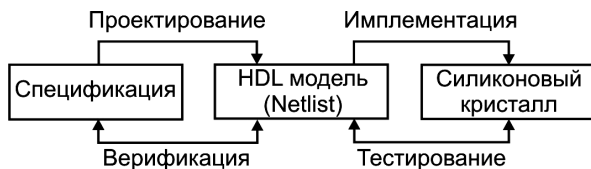


Рис. 2. Стратегия разработки проекта

Технология тестирования и верификации HDL-модели представлена на рис. 3, где спецификация проекта, описанная на формальном языке высокого уровня, является исходной информацией для: создания метрики оценивания качества теста, модели проекта, теста с эталонными реакциями – testbench, ассерционной структуры, служащей дополнением к основной модели, что необходимо для ускорения тестирования и отладки проекта.

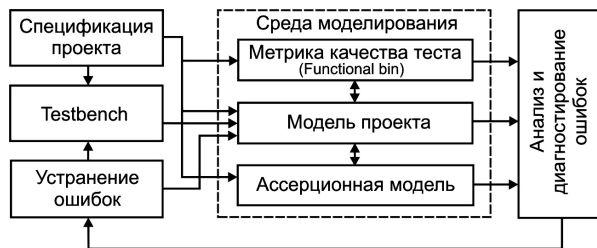


Рис. 3. Среда верификации проекта

Среда верификации представлена системой моделирования (например, Questa, Mentor Graphics), тестирования (Testbench), механизмом ассерций (Assertion Engine) и собственно системным кодом модели на языках VHDL, Verilog, System Verilog. Модуль Testbench задает входные стимулы и эталонные реакции на них, записанные на HDL-языках, ориентированные на проверку функциональностей

(переменные, функции, последовательности), параметры которых определяются в функциональной корзине. Механизм ассерций – модельная избыточность, дополняющая testbench, в части проверки внутренних по времени состояний проекта, представленная вход-выходными высказываниями и предназначенная для ускорения тестирования, верификации, диагностирования и исправления ошибок проектирования в системном коде. Ассерции можно сгенерировать не по спецификации, но и по HDL-модели, убирая ненужные конструкции, а остальные необходимо модифицировать к форме ассерций.

3. Анализ тестопригодности программных HDL-моделей

Для идентификации обобщенного состояния HDL-модели формируются эталонные сигнатуры критических точек во времени и в пространстве. Затем выполняется диагностирование HDL-модели по сигнатурам ассерционной матрицы, описывающей состояние проекта во времени и в пространстве. Целесообразно формировать ассерционную матрицу независимо от HDL-модели проекта. Ассерционная и функциональная модели обрабатываются параллельно и независимо друг от друга средой моделирования. Ассерционная модель ориентирована на тестирование внутренних во времени и в пространстве точек проекта, обозначенных его пространственно-временной матрицей. Ассерционная модель определяет поведение проекта в существенных точках пространственно-временной эталонной матрицы. Формат ассерций должен соответствовать формату матрицы HDL-модели проекта. Ассерции ориентированы на дополнение полноты Testbench в части тестирования внутренних точек матрицы HDL-модели. Аналитическая форма представления инфраструктуры верификации представлена следующими выражениями (P – спецификация проекта, S – soft-модель, A – ассерционная модель, T – Testbench, F – корзина задания функциональностей для определения их полноты покрытия, D – модуль диагностирования ошибок и C – условия диагностирования ошибок):

$$M = \{P, S, A, T, F, D, C\},$$

$$1) S = f_1(P) = |S_{ij}|;$$

$$2) F = f_2(P, S) = \{F_1, F_2, \dots, F_n\};$$

$$3) T = f_3(P, S, F) = \{T_1, T_2, \dots, T_n\};$$

$$4) A = f_4(P, S, F, T) = |A_{ij}|;$$

$$5) D = f_5(P, S, F, T, A) = |L_{ij}| \in [L^V \vee L^T];$$

$$6) C = [\bigcup_{i=1}^n F_i \in F = P] \wedge [\bigcup_{i=1}^n T_i \in T = F];$$

$$7) L^V = (T \oplus P) \vee (A = T^A \oplus P^A);$$

$$8) L^T = (T \oplus S).$$

Здесь выражение 6 определяет условия полноты функциональных корзин относительно спецификации и полноты теста относительно функциональностей проекта. Строка 7 задает функцию вычисления ошибок проектирования при переходе от системного к регистровому уровню, используя все атрибуты верификационной инфраструктуры. Функция 8 регламентирует нахождение неисправностей на стадии эксплуатации цифровой системы на кристалле. Следует отметить, что ассерционная избыточность является функцией от критических точек функциональной модели, предельное число которым может быть равно числу, определенных спецификацией, временных фреймов функциональных компонентов, что иллюстрируется следующими взаимодействующими матрицами ($T_i^B, T_i^A, S_i^t, A_i^t, R_i^B, R_i^A$ – testbench, ассерционные входные стимулы, функциональный компонент в момент t , ассерционный компонент в момент t , реакция функции, реакция ассерции):

T_1^B	Sim →	S_1^1	S_1^2	S_1^t	S_1^m	Sim →	R_1^B
T_2^B		S_2^1	S_2^2	S_2^t	S_2^m		R_2^B
T_i^B		S_i^1	S_i^2	S_i^t	S_i^m		R_i^B
T_n^B		S_n^1	S_n^2	S_n^t	S_n^m		R_n^B
		↕					
T_1^A	Sim →	A_1^1	A_1^2	A_1^t	A_1^m	Sim →	R_1^A
T_2^A		A_2^1	A_2^2	A_2^t	A_2^m		R_2^A
T_i^A		A_i^1	A_i^2	A_i^t	A_i^m		R_i^A
T_n^A		A_n^1	A_n^2	A_n^t	A_n^m		R_n^A

Матрица ассерций должна создаваться независимо от матрицы функциональностей и желательно другим разработчиком. Такое условие обеспечит диверсификацию упомянутых моделей относительно единой спецификации, а также обнаружение и исправление ошибок в обеих матрицах.

Интерес представляет и последовательность действий по созданию среды верификации, где единственным аргументом является спецификация проекта, все остальное – производные от нее, представленные матрицей контрдостижимостей:

$$M = \begin{array}{|c|c|c|c|c|c|} \hline P & S & & & & \\ \hline P & S & F & & & \\ \hline P & S & F & T & & \\ \hline P & S & F & T & A & \\ \hline P & S & F & T & A & D \\ \hline \end{array}$$

В соответствии с моделью M на рис. 4 изображена структура взаимосвязей процесса проектирования и диагностирования с последующим исправлением ошибок в HDL-коде программы.

Достаточно существенная избыточность HDL-модели предполагает определение эффективности ее использования в целях повышения тестопригодности структуры разработанного или написанного кода.

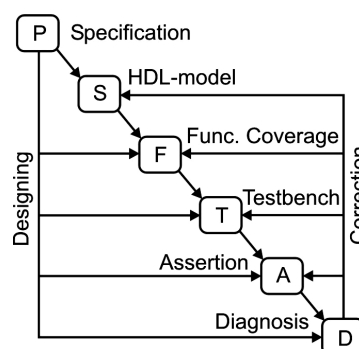


Рис. 4. Маршрут верификации проекта

Используя стандарты тестопригодного проектирования аппаратуры, можно перенести и адаптировать основные понятия применительно к HDL-коду системных и регистровых программных моделей. Здесь можно использовать граф регистровых или транзакционных передач С.Г. Шаршунова, который предоставляет пользователю информацию о взаимосвязях булевых и регистровых переменных, памяти и интерфейсных шинах. Такие данные достаточно легко можно получить автоматически, анализируя синтаксис строк HDL-кода. Сгенерированный граф должен покрывать упомянутые выше компоненты программной модели и обозначать все существующие связи для приема, передачи и преобразования информации между вершинами графа транзакций (TG – Transaction Graph).

Управляемость и наблюдаемость есть метрика оценивания тестопригодности не соединительных линий, а компонентов HDL-кода, таких как: регистр, счетчик, память или массивы, вход-выходные шины, векторы, логические или арифметические переменные. Указанные выше характеристики имеют функциональную зависимость от структурной глубины нахождения компонента (в пространстве или во времени), а также от процентного отношения числа команд, имеющих входной (выходной) доступ к вершине при анализе данной программы:

$$Q = \frac{1}{Z}(U \times N) = \frac{Z(S)}{Z(S) + Z(F) + Z(T) + Z(A)} \times$$

$$\times \left(\frac{1}{n} \sum_{i=1}^n U_i \right) \times \left(\frac{1}{n} \sum_{i=1}^n N_i \right);$$

$$U_i = \frac{1}{T} \sum_{j=1}^{x_i} T_j^i \times \frac{1}{d_i^x \vee t_i^x};$$

$$N_i = \frac{1}{T} \sum_{j=1}^{y_i} T_j^i \times \frac{1}{d_i^y \vee t_i^y}.$$

Тестопригодность Q , представленная в (1), зависит от управляемости U , наблюдаемости (N), а также от модельной избыточности, представленной компонентами: метрика функционального покрытия (F), testbench (T), механизм ассерций (A). При этом управляемость (наблюдаемость) есть функция от числа операторов, входящих в вершину (исходящих из вершины) транзакционного графа, а также от структурной глубины рассматриваемого элемента – расстояния от входной (выходной) шины или от количества временных тактов, необходимых для управления (наблюдения) компонента в заданном состоянии на временной оси. Приведенный критерий тестопригодности может быть также использован и для оценки качества граф-схемы управления вычислительным процессом. Здесь рассматриваются только операторные вершины, нагруженные входными условиями, а также позиция вершины по отношению к началу или окончанию схемы управления. Позиция операторной вершины коррелируется с временным тактом управления вычислительным процессом. Количество условий выполнения совокупности операций в каждой вершине, объединенное операцией Or , повышает тестопригодность графа в части управляемости. Аналогично вычисляется наблюдаемость, на которую влияет не только структурная глубина, но и мощность условий, создаваемая функциональными операциями And , Or . Структурная глубина рассматриваемой вершины, а значит и тестопригодность может быть опосредована только логической функцией, заданной в виде конъюнктивной нормальной формы КНФ. При этом тестопригодность (управляемость и наблюдаемость) будет определяться оценкой по Квайну вычислительной сложности КНФ. В общем случае логические функции управляемости и наблюдаемости текущей вершины транзакционного графа представлены конъюнкцией дизъюнктивных термов:

$$U_i = \frac{1}{T} \left(\bigwedge_{j=1}^{x_i} T_{ij}^x \right) \dots \left(\bigwedge_{j=1}^{x_{i-1}} T_{i-1,j}^x \right) \left(\bigvee_{i=1}^{x_i} T_{ij}^x \right);$$

$$N_i = \frac{1}{T} \bigwedge_{j=1}^{x_i} T_j^i \left(\bigvee_{i=1}^{x_i} d_i^x \vee t_i^x \right).$$

Здесь мощность дизъюнктивных термов соответствует количеству входящих в вершину дуг,

а число конъюнкций есть структурная глубина местоположения рассматриваемого компонента.

Интересным представляется решение, когда управляемость и наблюдаемость текущей вершины транзакционного графа вычисляется на основании построенных логических функций управляемости и наблюдаемости (U_i, N_i) при использовании аппарата – алгебраической формы представления графа [18]. Формулы подсчета упомянутых критериев имеют следующий вид:

$$U_i = \frac{1}{t_{\max}^x \times n_t^x} \times \sum_{i=1}^{n_t^x} \sum_{j=1}^{k_i^x} (t_{\max}^x - |t_{ij}^x| + 1);$$

$$N_i = \frac{1}{t_{\max}^y \times n_t^y} \times \sum_{i=1}^{n_t^y} \sum_{j=1}^{k_i^y} (t_{\max}^y - |t_{ij}^y| + 1), \quad (3)$$

где $t_{\max}^x, n_t^x, k_i^x, |t_{ij}^x|$ – для критерия управляемости конъюнктивный терм максимальной длины; количество термов в логической функции управляемости; количество транзакций (букв) в текущем терме функции; мощность рассматриваемой транзакции в терме. Аналогичные обозначения используются и для критерия наблюдаемости – $t_{\max}^y, n_t^y, k_i^y, |t_{ij}^y|$.

Для фрагмента графа, представленного на рис. 5, преобразование конъюнктивной формы в дизъюнктивную структуру для вершины V_3 по выражению (2) формирует логическую функцию управляемости:

$$V_3 = (T_1 \vee T_2 \vee T_3) T_5 T_8 \vee (T_4 \vee T_6) T_8 \vee (T_7 \vee T_9) =$$

$$T_1 T_5 T_8 \vee T_2 T_5 T_8 \vee T_3 T_5 T_8 \vee T_4 T_8 \vee T_6 T_8 \vee T_7 \vee T_9.$$

$$V_2 = (T_1 \vee T_2 \vee T_3) T_5 \vee T_4 \vee T_6 =$$

$$= T_1 T_5 \vee T_2 T_5 \vee T_3 T_5 \vee T_4 \vee T_6.$$

$$V_1 = T_1 \vee T_2 \vee T_3.$$

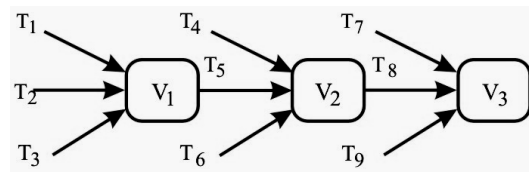


Рис. 5. Фрагмент графа для подсчета управляемости

Следуя правилам, представленным в формуле (3), осуществляется определение управляемости компонента V_3 :

$$U_i = \frac{1}{t_{\max}^x \times n_t^x} \times \sum_{i=1}^{n_t^x} \sum_{j=1}^{k_i^x} (t_{\max}^x - |t_{ij}^x| + 1) =$$

$$= \frac{1}{3 \times 7} \times (1 + 1 + 1 + 2 + 2 + 3 + 3) = 0,61$$

Для другого фрагмента графа, представленного на рис. 6, преобразование конъюнктивной формы в дизъюнктивную структуру позволяет определить логическую функцию наблюдаемости вершины V_1 :

$$\begin{aligned} V_1 &= T_6 \vee T_7 (T_3 \vee T_5 \vee T_4 (T_1 \vee T_2)) = \\ &= T_6 \vee T_7 T_3 \vee T_7 T_5 \vee T_7 T_4 T_1 \vee T_7 T_4 T_2; \\ V_2 &= T_3 \vee T_5 \vee T_4 (T_1 \vee T_2) = T_3 \vee T_5 \vee T_4 T_1 \vee T_4 T_2; \\ V_3 &= T_1 \vee T_2. \end{aligned}$$

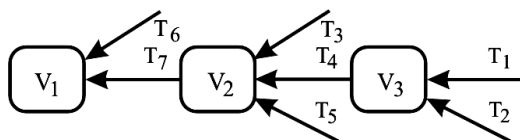


Рис. 6. Фрагмент графа для подсчета наблюдаемости

$$\begin{aligned} N_i &= \frac{1}{t_{\max}^y \times n_t^y} \times \sum_{i=1}^{n_t^y} \sum_{j=1}^{k_i^y} (t_{\max}^y - |t_{ij}^y| + 1) = \\ &= \frac{1}{3 \times 5} \times (3 + 2 + 2 + 1 + 1) = \frac{9}{15} = 0,6 \end{aligned}$$

Для случая, когда дуги в транзакционном графе имеют весовые коэффициенты, показывающие число операторов, задействованных в передаче информации между вершинами (компонентами), формулы подсчета тестопригодности имеют следующий вид:

$$\begin{aligned} U_i &= \frac{1}{t_{\max}^x \times (n_t^x = \sum_{i=1}^{n_t^x} \prod_{j=1}^{k_i^x} b_{ij}^x)} \times \\ &\times \sum_{i=1}^{n_t^x} \prod_{j=1}^{k_i^x} b_{ij}^x (t_{\max}^x - |t_{ij}^x| + 1); \\ N_i &= \frac{1}{t_{\max}^y \times n_t^y = (\sum_{i=1}^{n_t^y} \prod_{j=1}^{k_i^y} b_{ij}^y)} \times \\ &\times \sum_{i=1}^{n_t^y} \prod_{j=1}^{k_i^y} b_{ij}^y (t_{\max}^y - |t_{ij}^y| + 1). \end{aligned}$$

Заключение

Рассмотрены инновационные технологии тестопригодного проектирования программных и аппаратных продуктов [1 – 17], ориентированные на эффективную разработку тестов и верификацию компонентов цифровых систем на кристаллах.

1. Показаны основные направления использования технологий тестопригодного проектирования цифровых систем на кристаллах в задачах тестирования и верификации программных продуктов.

2. Представлена универсальная модель программного компонента в виде транзакционного графа, на котором можно решать задачи анализа тестопригодности в целях достижения требуемой глубины диагностирования HDL-кода.

3. Предложены логические функции тестопригодности HDL-моделей на основе использования транзакционного графа в целях вычисления оценок тестопригодности (управляемость и наблюдаемость) программных компонентов и всего HDL-проекта в целом.

4. Приведены примеры и графики оценивания тестопригодности (управляемости и наблюдаемости) программных моделей, представленных фрагментами транзакционных графов.

Литература

1. Abramovici M. *Digital System Testing and Testable Design*. Computer Science Press / M. Abramovici, M.A. Breuer, A.D. Friedman. – 1998. – 652 p.
2. Bayraktaroglu I. *The Construction of Optimal Deterministic Partitionings in Scan-Based BIST Fault Diagnosis: Mathematical Foundations and Cost-Effective Implementations* / I. Bayraktaroglu, A. Orailoglu // *IEEE Transactions on Computers*. – 2005. – P.61-75.
3. Douglas D. *A Platform-Based taxonomy for ESL Design* / D. Douglas, P. Roberto, S.V. Alberto // *Design & Test of computers*. – September-October, 2006. – P. 359-373.
4. Francisco D. *Overview of the IEEE P1500 Standard* / D. Francisco, Z. Yervant, W. Lee, A. Karim, K. Rohit // *ITC International Test Conference*. – 2003. – P. 988-997.
5. Rashinkar P. *System-on-chip Verification: Methodology and Techniques* / P. Rashinkar, P. Paterson, L. Singh. – Kluwer Academic Publishers. – 2002. – 324 p.
6. Zorian Y. *What is Infrastructure IP?* / Y. Zorian // *IEEE Design & Test of Computers*. – 2002. – P. 5-7.
7. Zorian Y. *Guest editors' introduction: Design for Yield and reliability* / Y. Zorian, D. Gizopoulos // *IEEE Design & Test of Computers*. – 2004. – P. 177-182.
8. Zorian Y. *Guest Editor's Introduction: Advances in Infrastructure IP* / Y. Zorian // *IEEE Design and Test of Computers*. – 2003. – 49 p.
9. Thatté S.M. *Test generation for microprocessors* / S.M. Thatté, J.A. Abraham // *IEEE Trans. Comput.* – 1980. – C-29. No 6. – P. 429-441.
10. Шариунов С.Г. *Построение тестов микропроцессоров. 1. Общая модель. Проверка обработки данных* / С.Г. Шариунов // *Автоматика и телемеханика*. – 1985. – №11. – С. 145-155.
11. Jerraya A.A. *System Level Synthesis SLS. TIMA Laboratory. Annual Report* / A.A. Jerraya. – 2002. – P. 65-75.
12. Frank G. *Transaction Level Modeling with SystemC. TLM Concepts and Applications for Embedded Systems*. / G. Frank // *Published by Springer*. – 2005. – 282 p.

13. Bergeron J. *Writing testbenches: functional verification of HDL models.* / J. Bergeron. – Boston: Kluwer Academic Publishers. – 2001. – 354 p.

14. Janick B. *Verification Methodology. Manual for SystemVerilog* / B. Janick, C. Eduard, H. Alan, N. Andrew. – Springer, 2005. – 528 p.

15. Harry F. *Assertion-based design. – Second edition* / F. Harry, K. Adam, L. David. – Kluwer Academic Publishers – Springer, 2005. – 392 p.

16. Rashinkar P. *System-on-chip Verification: Methodology and Techniques* / P. Rashinkar, P. Paterson, L. Singh. – Kluwer Academic Publishers, 2002. – 393 p.

17. Meyer A.S. *Principles of Functional Verification.* Elsevier Science, 2004. – 206 p.

18. Хаханов В.И. *Проектирование и тестирование цифровых систем на кристаллах* / В.И. Хаханов, Е.И. Литвинова, О.А. Гузь. – Х., 2009. – 484 с.

Поступила в редакцию 10.02.2010

Рецензент: д-р техн. наук, проф., проф. кафедры Ф.В. Новиков, Харьковский национальный экономический университет, Украина.

ТЕХНОЛОГІЯ ТЕСТУВАННЯ ТА ВЕРИФІКАЦІЇ СИСТЕМНИХ HDL-МОДЕЛЕЙ

В.І. Хаханов, О.О. Гузь, І.О. Побіженко, Ngene Christopher Umerah

Технологія дозволяє здійснювати пошук помилок із заданою глибиною в програмному HDL-коді за прийнятний для розробника час шляхом введення асерційної надмірності в критичні точки програмної моделі, що визначаються за допомогою синтезованих логічних функцій тестопридатності. Розглянуто інноваційні технології тестопридатного проектування програмних та апаратних продуктів, орієнтовані на ефективну розробку тестів і верифікацію компонентів цифрових систем на кристалах. Таким чином, використувані в hardware design and test критерії спостереження та управління застосовані для оцінки якості програмного коду з метою його покращення та ефективного діагностування семантичних помилок.

Ключові слова: тестування, тестопридатність, верифікація, асерція, HDL-модель.

TECHNOLOGY FOR TESTING AND VERIFICATION OF SYSTEM HDL-MODELS

V.I. Hahanov, O.O. Guz, I.O. Pobizhenko, Ngene Christopher Umerah

The technology allows you to search for bugs with a given depth in the program HDL-code within a reasonable time for the developer by introducing assertions redundancy in the critical points of the programming model, that are defined by the synthesized logic functions testability. Testability is considered to be innovative in technologies that design software and hardware products, targeting the effective development of test and verification components of digital systems in crystals. Thus, they are used in hardware design and in order to test the criteria for controllability and observability, they are applied to assess the quality of code in order to improve and effectively diagnose semantic errors.

Keywords: testing, testability, verification, assertion, HDL-model.

Хаханов Владимир Иванович – декан факультета КИУ ХНУРЭ, д-р техн. наук, проф. кафедры автоматизации проектирования вычислительной техники, Харьковский национальный университет радиоэлектроники, Харьков, Украина, e-mail: hahanov@kture.kharkov.ua.

Гузь Олеся Алексеевна – зав. кафедрой специализированных компьютерных систем, Донецкая академия автомобильного транспорта, Донецк, Украина, e-mail: hahanov@kture.kharkov.ua.

Побеженко Ирина Александровна – аспирантка кафедры автоматизации проектирования вычислительной техники, Харьковский национальный университет радиоэлектроники, Харьков, Украина, e-mail: hahanov@kture.kharkov.ua.

Ngene Christopher Umerah – аспирант кафедры автоматизации проектирования вычислительной техники, Харьковский национальный университет радиоэлектроники, Харьков, Украина, e-mail: hahanov@kture.kharkov.ua.