

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

Національний аерокосмічний університет ім. М.Є. Жуковського
“Харківський авіаційний інститут”

ISSN 1814-4225

РАДІОЕЛЕКТРОННІ
І
КОМП'ЮТЕРНІ СИСТЕМИ

6 (47)

НАУКОВО-ТЕХНІЧНИЙ ЖУРНАЛ

Видається з січня 2003 р.

Виходить 4 рази на рік

Харків "ХАІ" 2010

Засновник журналу **Національний аерокосмічний університет ім. М.Є. Жуковського
“Харківський авіаційний інститут”**

Затверджено до друку вченою радою Національного аерокосмічного університету ім. М.Є. Жуковського "ХАІ", протокол № 7 від 24 березня 2010 р.

Головний редактор	Віктор Михайлович Ілюшко , доктор технічних наук, професор
Редакційна колегія	І.В. Баришев , д-р техн. наук, професор; В.К. Волосюк , д-р техн. наук, професор; В.М. Вартанян , д-р техн. наук, професор; І.А. Жуков , д-р техн. наук, професор; М.В. Замірець , д-р техн. наук, професор; О.О. Зеленський , д-р техн. наук, професор; Б.М. Конорєв , д-р техн. наук, професор, лауреат Державної премії України в галузі науки і техніки; В.А. Краснобаєв , д-р техн. наук, професор, заслужений винахідник України; Г.Я. Красовський , д-р техн. наук, професор; А.С. Кулік , д-р техн. наук, професор, лауреат Державної премії України в галузі науки і техніки; В.В. Лукін , д-р техн. наук, професор; В.В. Печєнін , д-р техн. наук, професор; В.В. Піскорж , д-р техн. наук, професор; В.П. Тарасенко , д-р техн. наук, професор, заслужений діяч науки і техніки України, лауреат Державної премії України в галузі науки і техніки; І.Б. Сіроджа , д-р техн. наук, професор; О.Є. Федорович , д-р техн. наук, професор; В.С. Харченко , д-р техн. наук, професор, заслужений винахідник України.
Відповідальний секретар	О.Б. Лещенко , кандидат технічних наук, доцент

Свідоцтво про державну реєстрацію КВ № 6987 від 19.02.2003 р.
За вірогідність інформації несуть відповідальність автори. В журналі публікуються статті українською, російською та англійською мовами. Рукописи не повертаються. При передруку матеріалів посилання на журнал **«РАДІОЕЛЕКТРОННІ І КОМП'ЮТЕРНІ СИСТЕМИ»** обов'язкові.

Науково-технічний журнал включений до переліку наукових видань, в яких можуть друкуватися основні результати дисертаційних робіт
(див. постанову президії ВАК України №1-05/3 від 8.07.2009)

Реферативна інформація зберігається:

– у загальнодержавній реферативній базі даних **«Україніка наукова»** та публікується у відповідних тематичних серіях УРЖ «Джерело» (вільний он-лайнний доступ до ресурсів на Web-сервері <http://www.nbu.gov.ua>);

– у реферативній базі даних Всеросійського інституту наукової і технічної інформації (**ВІНІТІ**) Російської академії наук і публікується у відповідних тематичних серіях РЖ (вільний он-лайнний доступ до ресурсів на Web-сервері <http://www.viniti.ru>).

В сборнике представлены результаты исследований, касающихся компьютерной инженерии, управления, технической диагностики, автоматизации проектирования, оптимизированного использования компьютерных сетей и создания интеллектуальных экспертных систем. Предложены новые подходы, алгоритмы и их программная реализация в области автоматического управления сложными системами, оригинальные информационные технологии в науке, образовании, медицине.

Для преподавателей университетов, научных работников, специалистов, аспирантов.

У збірнику наведено результати досліджень, що стосуються комп'ютерної інженерії, управління, технічної діагностики, автоматизації проектування, оптимізованого використання комп'ютерних мереж і створення інтелектуальних експертних систем. Запропоновано нові підходи, алгоритми та їх програмна реалізація в області автоматичного управління складними системами, оригінальні інформаційні технології в науці, освіті, медицині.

Для викладачів університетів, науковців, фахівців, аспірантів.

Редакционная коллегия:

В.В. Семенец, д-р техн. наук, проф. (гл. ред.); *М.Ф. Бондаренко*, д-р техн. наук, проф.; *И.Д. Горбенко*, д-р техн. наук, проф.; *Е.П. Пуятин*, д-р техн. наук, проф.; *В.П. Тарасенко*, д-р техн. наук, проф.; *Г.И. Загарий*, д-р техн. наук, проф.; *Г.Ф. Кривуля*, д-р техн. наук, проф.; *Чумаченко С.В.*, д-р техн. наук, проф.; *В.А. Филатов*, д-р техн. наук, проф.; *Е.В. Бодянский*, д-р техн. наук, проф.; *Э.Г. Петров*, д-р техн. наук, проф.; *В.Ф. Шостак*, д-р техн. наук, проф.; *В.М. Левыкин*, д-р техн. наук, проф.; *Е.И. Литвинова*, д-р техн. наук, проф.; *В.И. Хаханов*, д-р техн. наук, проф. (отв. ред.).

Свидетельство о государственной регистрации
печатного средства массовой информации

КВ № 12073-944ПР от 07.12.2006 г.

Адрес редакционной коллегии: Украина, 61166, Харьков, просп. Ленина, 14, Харьковский национальный университет радиоэлектроники, комн. 321, тел. 70-21-326

© Харківський національний університет
радіоелектроніки, 2013

ЗМІСТ

Гарантоздатність сервіс-орієнтованих систем

Туркин И.Б., Соколова Е.В.

МОДЕЛЬ ВЫЧИСЛЕНИЙ, УПРАВЛЯЕМЫХ ДАННЫМИ, В ПРОГРАММНОМ
ОБЕСПЕЧЕНИИ СИСТЕМ РЕАЛЬНОГО ВРЕМЕНИ 13

Плахтеев А.П., Плахтеев П.А.

МОДЕЛИРОВАНИЕ И ИССЛЕДОВАНИЕ ПРОЦЕССОВ ВЗАИМОДЕЙСТВИЯ
ЭЛЕМЕНТОВ БЕСПРОВОДНЫХ СЕНСОРНЫХ СЕТЕЙ 20

Кислиця Л.М.

ІНФОРМАЦІЙНА ТЕХНОЛОГІЯ ПІДТРИМКИ ПРИЙНЯТТЯ РІШЕНЬ НА ОСНОВІ
ІЄРАРХІЧНОГО ПІДХОДУ ДЛЯ АНАЛІЗУ ЧАСОВИХ РЯДІВ 25

Дужий В.И., Харченко В.С., Старов А.А., Русин Д.О.

ИССЛЕДОВАНИЕ СЕРВИСОВ СПОРТИВНОГО ПРОГРАММИРОВАНИЯ
КАК МНОГОВЕРСИОННЫХ ПРОЕКТОВ 29

Бохан К.А., Худолей М.С.

МОДЕЛИ КОРПОРАТИВНЫХ СЕРВИСОВ НА ОСНОВЕ
ИЕРАРХИЧЕСКИХ СЕТЕЙ ПЕТРИ..... 36

Скатков А.В., Смагина А.О.

ОПТИМИЗАЦИЯ СТРУКТУРНЫХ РЕШЕНИЙ ПО КОНТРОЛЮ ДОСТУПА
В СИСТЕМАХ ПЕРЕДАЧИ ДАННЫХ 42

Федосеева А.А.

ИНФОЛОГИЧЕСКАЯ МОДЕЛЬ «ЛЕКАРСТВЕННОЕ СЫРЬЕ - ЛЕКАРСТВЕННЫЙ
ПРЕПАРАТ» ДЛЯ ФАРМАЦЕВТИЧЕСКИХ ПРЕДПРИЯТИЙ НА ОСНОВЕ
ER-ДИАГРАММ 47

Потий А.В., Пилипенко Д.Ю.

КОНЦЕПЦИЯ СТРАТЕГИЧЕСКОГО УПРАВЛЕНИЯ ИНФОРМАЦИОННОЙ
БЕЗОПАСНОСТЬЮ..... 53

Липская О.В.

МЕТОД ПОИСКА И ГРУППИРОВАНИЯ ОБЪЕКТОВ БАЗ ДАННЫХ
В УСЛОВИЯХ НЕОПРЕДЕЛЕННОСТИ ВРЕМЕННЫХ ХАРАКТЕРИСТИК..... 59

Горбенко А.В.

АНАЛИЗ НЕСТАБИЛЬНОСТИ ЗАДЕРЖЕК, СОСТАВЛЯЮЩИХ
ВРЕМЯ ОТКЛИКА WEB-СЛУЖБ (на англ. яз.) 63

Куланов С.А.

МЕТОД ПЛАНИРОВАНИЯ ЗАДАЧ И РАСПРЕДЕЛЕНИЯ РЕСУРСОВ
В ГРИД НА ОСНОВЕ ПРОЦЕДУР ПРОГНОЗИРОВАНИЯ 68

Воронин Д.Ю.

ОПЕРАТИВНАЯ ДИСПЕТЧЕРИЗАЦИЯ В РАСПРЕДЕЛЕННЫХ
ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМАХ НА ОСНОВЕ
НЕЙРОСЕТЕВЫХ МОДЕЛЕЙ 73

Інформаційна безпека

Капгер И.В., Южаков Ал-р А., Южаков Ал-й А.

РЕАЛИЗАЦИЯ КРИПТОГРАФИЧЕСКИХ ПРЕОБРАЗОВАНИЙ СООБЩЕНИЙ В СИСТЕМАХ УПРАВЛЕНИЯ ПРОМЫШЛЕННЫХ СЕТЕЙ LON ИНТЕЛЛЕКТУАЛЬНЫХ ЗДАНИЙ	78
--	----

Певнев В.Я.

АНАЛИЗ УГРОЗ ИНФОРМАЦИОННОЙ БЕЗОПАСНОСТИ ЗАМКНУТЫХ СИСТЕМ.....	83
--	----

Лисицкая И.В., Лисицкий К.Е., Широков А.В., Мельничук Е.Д.

ЭКСПЕРИМЕНТАЛЬНАЯ ПРОВЕРКА РАБОТОСПОСОБНОСТИ НОВЫХ КРИТЕРИЕВ ОТБОРА СЛУЧАЙНЫХ ПОДСТАНОВОК.....	87
---	----

Погребняк К.А., Ищенко Ю.М.

АНАЛИЗ СОВРЕМЕННЫХ ГРУППОВЫХ ПОДПИСЕЙ НА ОСНОВЕ ПАРНЫХ ОТОБРАЖЕНИЙ И ПЕРСПЕКТИВЫ ИХ ИСПОЛЬЗОВАНИЯ В НАЦИОНАЛЬНОМ ЭЛЕКТРОННОМ ДОКУМЕНТООБОРОТЕ.....	94
--	----

Шапочка Н.В.

АНАЛІЗ АТАК НА ГЕНЕРАТОРИ ВИПАДКОВИХ БІТІВ.....	99
---	----

Нейванов А.В., Горбенко И.Д.

СРАВНИТЕЛЬНЫЙ АНАЛИЗ АППАРАТНЫХ ПОТОЧНЫХ СИММЕТРИЧНЫХ ШИФРОВ ПОБЕДИТЕЛЕЙ ПРОЕКТА ESTREAM	105
---	-----

Горбенко І.Д., Кравченко П.О.

БЕЗПЕКА КОМБІНОВАНОЇ СХЕМИ ІНФРАСТРУКТУРИ ВІДКРИТИХ КЛЮЧІВ ДЛЯ МОДЕЛІ ВИПАДКОВОГО ОРАКУЛА	111
--	-----

Рувинская В.М., Лотоцкий А.А.

СЦЕНАРИИ ДЛЯ ОПИСАНИЯ РАЗЛИЧНЫХ ТИПОВ ВРЕДНОСНЫХ ПРОГРАММ И ИХ ТЕСТИРОВАНИЕ	117
--	-----

Тарасенко В.П., Тесленко О.К., Яновська О.Ю.

ВЛАСТИВОСТІ ПОВНИХ ПІДСТАНОВОК, ЯКІ РЕАЛІЗУЮТЬСЯ НАЙПРОСТІШИМ ОДНОНАПРАВЛЕНИМ РЕГУЛЯРНИМ ОДНОВИМІРНИМ КАСКАДОМ КОНСТРУКТИВНИХ МОДУЛІВ	123
---	-----

Глухов В.С., Еліас Р.

ВИЯВЛЕННЯ ПОМИЛОК ПРИ ЗНАХОДЖЕННІ ОБЕРНЕНОГО ЕЛЕМЕНТА В ГАУСІВСЬКОМУ НОРМАЛЬНОМУ БАЗИСІ ТИПУ 2 ПОЛІВ ГАЛУА $GF(2^M)$	129
---	-----

Модель-орієнтовані технології розробки та верифікації

Прохорова Ю.Н.

ИСПОЛЬЗОВАНИЕ МЕТОДА АНАЛИЗА ДЕРЕВЬЕВ ОТКАЗОВ ДЛЯ СОЗДАНИЯ СПЕЦИФИКАЦИЙ ФУНКЦИОНАЛЬНО БЕЗОПАСНЫХ СИСТЕМ В EVENT-B.....	135
--	-----

Гахов А.В., Мищенко В.О.

СХЕМА ПАРАЛЛЕЛЬНОЙ МОДИФИКАЦИИ СИСТЕМ КОМПЬЮТЕРНОГО МОДЕЛИРОВАНИЯ, ИСПОЛЬЗУЮЩИХ МЕТОДЫ ДИСКРЕТНЫХ ОСОБЕННОСТЕЙ.....	143
---	-----

Чухрай А.Г., Педан С.И., Анценбергер П.

ОБ ОДНОМ ПОДХОДЕ К МОДЕЛИРОВАНИЮ ПРОЦЕССА ОБУЧЕНИЯ ИНЖЕНЕРНЫМ КОМПЕТЕНЦИЯМ.....	148
--	-----

Остроумов С.Б., Лайбинис Л.В., Е.А. Трубицина Е.А.

EVENT-В ШАБЛОНЫ ДЛЯ РАЗРАБОТКИ ОТКАЗОУСТОЙЧИВЫХ АППАРАТНЫХ СРЕДСТВ (на англ. яз.).....	154
---	-----

Надійність технічних засобів

Долгов Ю.А., Долгов А.Ю., Ваняшкин М.М., Деткова А.В.

ОПРЕДЕЛЕНИЕ ГРАНИЦ И ШИРИНЫ ЯДРА ЭКВИВАЛЕНТНЫХ ВЫБОРОК В МЕТОДЕ ТОЧЕЧНЫХ РАСПРЕДЕЛЕНИЙ	161
---	-----

Баркалов А.А., Мальчева Р.В., Солдатов К.А.

МАТРИЧНАЯ РЕАЛИЗАЦИЯ АВТОМАТА МУРА С РАСШИРЕНИЕМ ПРОСТРАНСТВА КОДИРОВАНИЯ	166
--	-----

Никитина Т.С.

МЕТОД ОЦЕНКИ ТРЕБОВАНИЙ К КЭШ-ПАМЯТИ ДЛЯ ПЕРИОДИЧЕСКИХ ЗАДАЧ В СИСТЕМАХ НА ОСНОВЕ МНОГОЯДЕРНЫХ ПРОЦЕССОРОВ.....	173
--	-----

Паулин О.Н.

СРАВНИТЕЛЬНЫЙ АНАЛИЗ МЕТОДОВ ПРОЕКТИРОВАНИЯ УМНОЖИТЕЛЕЙ.....	177
--	-----

Надійність програмного забезпечення

Скляр В.В., Малохатко С.А.

ОПТИМИЗАЦИЯ ПРОГРАММНОГО КОДА С ИСПОЛЬЗОВАНИЕМ МЕТОДОВ МАТЕМАТИЧЕСКОГО ПРОГРАММИРОВАНИЯ.....	181
---	-----

Брюханков С.С., Конорев Б.М., Львов М.С., Жолткевич Г.Н.

ПРО СТАТИЧЕСКИЙ АНАЛИЗ РАЗМЕРНОСТИ ПЕРЕМЕННЫХ ДЛЯ ПРОГРАММНОГО ОБЕСПЕЧЕНИЯ КРИТИЧЕСКОГО ПРИМЕНЕНИЯ (на англ. яз.)	186
---	-----

Вилкомир С.А.

ПОДХОДЫ К СРАВНЕНИЮ КРИТЕРИЕВ ТЕСТИРОВАНИЯ ПРОГРАММНОГО ОБЕСПЕЧЕНИЯ.....	192
---	-----

Руденко А.А., Одаруценко О.Н., Харченко В.С.

МОДЕЛИ ОЦЕНКИ НАДЕЖНОСТИ ПРОГРАММНЫХ СРЕДСТВ С УЧЕТОМ НЕДЕТЕРМИНИРОВАННОГО ЧИСЛА ВТОРИЧНЫХ ДЕФЕКТОВ	197
--	-----

Антощук С.Г., Маевский Д.А., Яремчук С.А.

ПРОГНОЗИРОВАНИЕ КОЛИЧЕСТВА ОШИБОК НА ЭТАПЕ ЭКСПЛУАТАЦИИ АДАПТИРУЕМЫХ УЧЕТНЫХ ИНФОРМАЦИОННЫХ СИСТЕМ.....	204
--	-----

Поморова О.В., Говоруценко Т.О.

ИНТЕЛЕКТУАЛЬНЫЙ МЕТОД ОЦІНЮВАННЯ РЕЗУЛЬТАТІВ ПРОЕКТУВАННЯ ТА ПРОГНОЗУВАННЯ ХАРАКТЕРИСТИК ЯКОСТІ ПРОГРАМНОГО ЗАБЕЗПЕЧЕННЯ	211
---	-----

Пригожев А.С.

ПОСТРОЕНИЕ КЛАССОВ ЭКВИВАЛЕНТНОСТИ

С ИСПОЛЬЗОВАНИЕМ ГРАФА ЗАДАЧ 219

Кузнецова Ю.А., Туркин И.Б.

АНАЛИЗ ЭРГОНОМИЧЕСКИХ КРИТЕРИЕВ И ПОКАЗАТЕЛЕЙ КАЧЕСТВА

ЧЕЛОВЕКО-КОМПЬЮТЕРНЫХ ИНТЕРФЕЙСОВ В SCADA-СИСТЕМАХ 222

Відмовостійкі системи

Благодарный Н.П.

МОДЕЛИ ЭФФЕКТИВНОСТИ ИСПОЛЬЗОВАНИЯ ОДНОРОДНЫХ

ПРОЦЕССОРНЫХ СРЕД 229

Романкевич А.М., Майданюк И.В., Романкевич В.А.

ЧАСТНЫЙ СЛУЧАЙ ГРАНИЧНЫХ ОЦЕНОК ПРИ ПОСТРОЕНИИ

И ПРЕОБРАЗОВАНИИ GL-МОДЕЛИ 236

Системи контролю та діагностування

Скобцов Ю.А., Скобцов В.Ю.

АНАЛИТИЧЕСКИЙ ПОДХОД К ГЕНЕРАЦИИ ПРОВЕРЯЮЩИХ ТЕСТОВ

ДЛЯ СХЕМ С ПАМЯТЬЮ 244

Комлевая Н.О.

ПОСТРОЕНИЕ СИСТЕМЫ ДИАГНОСТИЧЕСКИХ ПРИЗНАКОВ

С ИСПОЛЬЗОВАНИЕМ МЕТОДА ДИСКРИМИНАНТНОГО АНАЛИЗА

В ОФТАЛЬМОЛОГИЧЕСКИХ ИССЛЕДОВАНИЯХ 250

Глухов В.С.

ВБУДОВАНИЙ КОНТРОЛЬ МНОЖЕНИЯ В ГАУСІВСЬКОМУ НОРМАЛЬНОМУ

БАЗИСІ ПОЛІВ ГАЛУА $GF(2^M)$ 255

Кривуля Г.Ф., Давыдов А.А.

ОПТИМИЗАЦИЯ БИНАРНЫХ РЕШАЮЩИХ ДЕРЕВЬЕВ

ПРИ ИНТЕЛЛЕКТУАЛЬНОЙ ДИАГНОСТИКЕ КОМПЬЮТЕРНЫХ СИСТЕМ 260

Кондратенко Ю.П., Коробко О.В.

КОМП'ЮТЕРНА СИСТЕМА АВТОМАТИЧНОЇ ДІАГНОСТИКИ

СУДНОВИХ ЕНЕРГЕТИЧНИХ УСТАНОВОК 266

Монтаха М. Саид Моуафак, Лобачев М.В., Милейко И.Г., Дрозд А.В.

МЕТОДЫ РАБОЧЕГО ДИАГНОСТИРОВАНИЯ ДЛЯ ПОВЫШЕНИЯ

ДОСТОВЕРНОСТИ КОНТРОЛЯ ПРИБЛИЖЕННЫХ РЕЗУЛЬТАТОВ

В МАТРИЧНЫХ АРИФМЕТИЧЕСКИХ УСТРОЙСТВАХ 273

Марченко И.П., Андрашов А.А., Педе Т.Ю.

ОСОБЕННОСТИ ИНФОРМАЦИОННОГО ОБЕСПЕЧЕНИЯ

АВТОМАТИЗИРОВАННОЙ СИСТЕМЫ СОПРОВОЖДЕНИЯ ПРОВЕДЕНИЯ

КВАЛИФИКАЦИОННЫХ ИСПЫТАНИЙ БОРТОВОЙ АППАРАТУРЫ

РАКЕТНО-КОСМИЧЕСКОЙ ТЕХНИКИ 279

Кльоц Ю.П., Колісник А.С., Рудий Я.М.

ОЦІНКА ТРУДОМІСТКОСТІ АЛГОРИТМІВ БЕЗСЛОВНИКОВОГО ДІАГНОСТУВАННЯ ЦИФРОВИХ СИСТЕМ.....	284
---	-----

Системи програмованої логіки

Малиновский М.Л., Фурман И.А., Аллашев А.Ю., Конищева А.П., Святобатько А.В.

КОНЦЕПЦИЯ СОЗДАНИЯ ТАБЛИЧНЫХ ЯЗЫКОВ ОПИСАНИЯ АППАРАТУРЫ	289
---	-----

Хаханов В.И., Литвинова Е.И., Побеженко И.А., Yves Tiesoura

ПРИМЕР ОПРЕДЕЛЕНИЯ ТЕСТОПРИГОДНОСТИ ЦИФРОВОГО ПРОЕКТА	292
---	-----

Кургаев О.П., Савченко І.В.

ПРОЕКТУВАННЯ УПРАВЛЯЮЩОЇ ЧАСТИНИ ІР-БЛОКІВ НА ПЛІС.....	298
---	-----

Мельник А.О., Аль Равашдех Д.Х.

СТРУКТУРНА ОРГАНІЗАЦІЯ ПАМ'ЯТІ З ВПОРЯДКОВАНИМ ДОСТУПОМ НА ОСНОВІ СОРТУВАЛЬНИХ МЕРЕЖ.....	303
--	-----

Телекомунікаційні системи та радіоелектронні пристрої

Польщиков К.А., Рвачева Н.В., Любченко Е.Н.

МЕТОДИКА МОДЕЛИРОВАНИЯ ИНТЕНСИВНОСТИ ТРАФИКА РЕАЛЬНОГО ВРЕМЕНИ В КАНАЛЕ ТЕЛЕКОММУНИКАЦИОННОЙ СЕТИ С КОММУТАЦИЕЙ ПАКЕТОВ (на англ. яз.).....	312
---	-----

Польщиков К.О., Шкіцькій В.В., Здоренко Ю.М.

ІМІТАЦІЙНА МОДЕЛЬ ПЕРЕДАВАННЯ ДАНИХ В ТЕЛЕКОМУНІКАЦІЙНІЙ МЕРЕЖІ, В ЯКІЙ УПРАВЛІННЯ ВІКНОМ ПЕРЕВАНТАЖЕННЯ ЗДІЙСНЮЄТЬСЯ ЗГІДНО З ПРОТОКОЛОМ TCP	316
---	-----

Функціональна безпека та живучість

Меленець А.В.

ВИБІР ТИПІВ ІНТЕГРАЦІЇ БАЗ ДАНИХ ПРО НЕБЕЗПЕЧНІ ОБ'ЄКТИ З ВИКОРИСТАННЯМ МЕТОДУ АНАЛІЗУ ІЄРАРХІЙ.....	324
---	-----

Коваленко Н.С., Харченко В.С.

МОДЕЛИ АВТОМАТИЗИРОВАННЫХ СИСТЕМ ПЕРИМЕТРОВОЙ ОХРАНЫ ОБЪЕКТОВ С "ПАССИВНЫМ" НАРУШИТЕЛЕМ.....	329
---	-----

Неділько С.М., Пальоний А.С.

СИСТЕМА ПІДТРИМКИ ПРИЙНЯТТЯ РІШЕНЬ ДЛЯ ІНСТРУКТОРА ПРОЦЕДУРНОГО ТРЕНАЖЕРУ УПРАВЛІННЯ ПОВІТРЯНИМ РУХОМ	336
--	-----

Бакаев О.В.

КОНЦЕПЦИЯ ПОСТРОЕНИЯ ИНФОРМАЦИОННОЙ СИСТЕМЫ МОНИТОРИНГА ГЕОДИНАМИЧЕСКИХ ПРОЦЕССОВ В УГЛЕПОРОДНОМ МАССИВЕ УГОЛЬНЫХ ШАХТ.....	343
---	-----

АЛФАВІТНИЙ ПОКАЖЧИК.....	349
--------------------------	-----

CONTENTS

Dependability of service-oriented systems

Turkin I.B., Sokolova E.V.

THE CALCULATIONS MODEL, OPERATED DATA, IN THE REAL TIME SYSTEMS SOFTWARE	13
---	----

Plakhtyeyev A.P., Plakhtyeyev P.A.

MODELING AND INVESTIGATION PROCESS INTERWORKING ELEMENTS WIRELESS SENSOR NETWORK.....	20
--	----

Kislitsa L.N.

INFORMATION TECHNOLOGY OF SUPPORT OF DECISION-MAKING IS ON BASIS OF HIERATICAL APPROACH FOR ANALYSIS OF ROWS OF SENTINELS	25
--	----

Duzhyi V.I., Kharchenko V.S., Starov O.O., Rusin D.O.

RESEARCH SPORTS PROGRAMMING SERVICES AS MULTIVERSION PROJECTS	29
---	----

Bokhan K.A., Khudoley M.S.

MODEL OF CORPORATE SERVICES BASED ON HIERARCHICAL PETRI NETS.....	36
---	----

Skatkov A.V., Smagina A.O.

OPTIMIZATION OF STRUCTURAL SOLUTIONS FOR ACCESS CONTROL IN SYSTEMS OF DATA.....	42
--	----

Fedoseeva A.A.

INFOLOGICAL MODEL "CRUDE DRUG - DRUG" FOR PHARMACEUTICAL ENTERPRISES BASED ON ER-DIAGRAMS	47
--	----

Potiy A.V., Pilipenko D.J.

THE CONCEPT OF INFORMATION SECURITY STRATEGIC MANAGEMENT	53
--	----

Lipska O.V.

THE METHOD OF FINDING AND GROUPING OBJECTS STORED IN DATABASES IN CONDITIONS OF TIMELINE CHARACTERISTICS INDETERMINACY	59
---	----

Gorbenko A.V.

INSTABILITY ANALYSIS OF DELAYS CONTRIBUTING TO WEB SERVICE RESPONSE TIME	63
---	----

Kulanov S.A.

METHOD FOR JOB PLANNING AND RESOURCE DISTRIBUTION IN GRID BASED ON THE FORECASTING PROCEDURES	68
--	----

Voronin D.Y.

OPERATIONAL SCHEDULING IN THE DISTRIBUTED CALCULATING SYSTEMS BASED ON NEURAL MODELS	73
---	----

Information security

Kapger I.V., Yuzhakov Al-r A., Yuzhakov Al-y A.

IMPLEMENTATION OF CRYPTOGRAPHIC CONVERSIONS OF THE MESSAGES IN CONTROL SYSTEMS OF INDUSTRIAL LON NETWORKS OF INTELLECTUAL BUILDINGS.....	78
--	----

Pevnev V.Y.

THE ANALYSIS OF THREAT OF INFORMATION SECURITY OF THE CLOSED LOOP SYSTEMS	83
--	----

Lysytska I.V., Lysytskiy K.E., Shurokov A.V., Melnichuk E.D.

EXPERIMENTAL VERIFICATION OF CAPACITY AND EFFICIENCY OF NEW CRITERIA OF SELECTION OF RANDOM SUBSTITUTIONS	87
--	----

Pogrebnyak K.A., Ishchenko Yu.M.

ANALYSIS OF CONTEMPORARY GROUP SIGNATURE FROM BILINEAR PAIRINGS AND PROSPECTS OF THEIR USE IN THE NATIONAL SYSTEM OF ELECTRONIC DOCUMENT	94
--	----

Shapochka N.V.

ANALYSIS OF ATTACKS ON RANDOM BIT GENERATORS	99
--	----

Neyvanov A.V., Gorbenko I.D.

COMPERATIVE ANALISIS OF HARDWARE STREAM SYMMETRIC CIPHERS WINERS OF ESTREAM	105
--	-----

Gorbenko I.D., Kravchenko P.O.

SECURITY OF COMBINED PUBLIC KEY INFRASTRUCTURE SCHEME IN RANDOM ORACLE MODEL	111
---	-----

Ruvinskaya V.M., Lototsky A.A.

SCENARIOS FOR DESCRIBING DIFFERENT TYPES OF MALICIOUS PROGRAMS AND THEIR TESTING	117
---	-----

Tarasenko V.P., Teslenko O.K., Yanovska O.Yu.

PROPERTIES OF COMPLETE PERMUTATIONS, WHICH ARE REALIZED BY MEANS OF THE SIMPLEST REGULAR CASCADE OF CONSTRUCTIVE MODULES	123
--	-----

Hlukhov V.S., Elias R.

CONCURRENT ERROR DETECTION FOR A GAUSSIAN NORMAL BASIS TYPE 2 GF(2^m) INVERTER	129
---	-----

Model-oriented technologies of development and verification

Prokhorova Yu.N.

AN APPLICATION OF FAULT TREE ANALYSIS TECHNIQUE TO CREATE SPECIFICATIONS OF SAFE SYSTEMS IN EVENT-B	135
--	-----

Gakhov A.V., Mishchenko V.O.

PARALLEL MODIFICATION SCHEME FOR COMPUTER MODELING SYSTEMS THAT USE DISCRETE SINGULARITIES METHODS	143
---	-----

Chukhray A.G., Pedan S.I., Anzenberger P.

ABOUT ONE APPROACH TO MODELLING OF PROCESS OF ENGINEERING COMPETENCIES TUTORING	148
--	-----

Ostroumov S.B., Laibinis L.V., Troubitsyna E.A.

EVENT-B PATTERNS FOR DEVELOPING FPGA-BASED HARDWARE	154
--	-----

Hardware reliability

<i>Dolgov Y.A., Dolgov A.Y., Vanyashkin M.M., Detkova A.V.</i> DEFINITION OF BOUNDARIES AND KERNEL WIDTH OF EQUIVALENT SAMPLES IN POINT-DISTRIBUTION METHOD	161
<i>Barkalov A.A., Malcheva R.V., Soldatov K.A.</i> MATRIX IMPLEMENTATION OF MOORE FINITE STATE MACHINE WITH THE EXPANSION OF SPACE CODING	166
<i>Nikitina T.S.</i> METHOD OF ESTIMATING THE REQUIREMENTS OF CACHE-MEMORY FOR PERIODIC TASKS IN MULTICORE SYSTEMS	173
<i>Paulin O.N.</i> COMPARE ANALYSIS OF THE DESIGN METHODS OF THE MULTIPLIERS.....	177

Software reliability

<i>Sklyar V.V., Malohatko S.A.</i> PROGRAM CODE OPTIMIZATION WITH USING MATHEMATICAL PROGRAMMING METHODS	181
<i>Brukhankov S.S., Konorev B.M., L'vov M.S., Zholtkevych G.N.</i> ABOUT STATIC ANALYSIS OF VARIABLES PHYSICAL DIMENSIONS FOR CRITICAL-MISSION SOFTWARE.....	186
<i>Vilkomir S.A.</i> APPROACHES TO COMPARISON OF SOFTWARE TESTING CRITERIA.....	192
<i>Rudenko A.A., Odarushchenko O.N., Kharchenko V.S.</i> MODEL OF SOFTWARE RELIABILITY ASSESSMENT INCLUSIVE NON-DETERMINISTIC NUMBER OF SECONDARY DEFECTS	197
<i>Antoschuk S.G., Maevsky D.A., Yaremchuk S.A.</i> ERRORS AMOUNT PROGNOSTICATION ON THE STAGE OF EXPLOITATION OF THE ADAPTED ACCOUNTING INFORMATION SYSTEMS	204
<i>Pomorova O.V., Govorushchenko T.O.</i> INTELLIGENCE METHOD OF SOFTWARE ENGINEERING RESULTS VALUATION AND SOFTWARE QUALITY CHARACTERISTICS PREDICTION	211
<i>Prigozhev A.S.</i> CONSTRUCTION OF EQUIVALENCE CLASSES WITH USING PROBLEMS GRAPH.....	219
<i>Kuznetsova Yu.A., Turkin I.B.</i> THE ANALYSIS OF ERGONOMIC CRITERIAS AND QUALITY INDEXES OF HUMAN-MACHINE INTERFACES IN SCADA-SYSTEMS.....	222

Fault-tolerant systems*Blagodarnyy N.P.*EFFICIENCY MODELS OF HOMOGENEOUS PROCESSOR
ENVIRONMENTS USAGE.....

229

*Romankevich O.M., Maidanyuk I.V., Romankevich V.O.*PRIVATE CASE, THE BOUNDARY OF ESTIMATES IN THE FORMATION
AND TRANSFORMATION GL-MODEL.....

236

Systems of diagnostics and checking*Skobtsov Y.A., Skobtsov V.Y.*ANALYTICAL APPROACH TO TEST GENERATION
FOR SEQUENTIAL CIRCUITS.....

244

*Komlevaya N.O.*CONSTRUCTION OF DIAGNOSTIC ATTRIBUTES SYSTEM WITH THE USAGE
OF DISCRIMINANT ANALYSIS METHOD IN OPHTHALMOLOGY RESEARCHES.....

250

*Hlukhov V.S.*CONCURRENT ERROR DETECTION FOR GAUSSIAN NORMAL BASIS
TYPE 2 MULTIPLICATION OVER $GF(2^M)$

255

*Krivoulya G.F., Davidov A.A.*OPTIMIZATION OF BINARY DECISION TREES OF THE INTELLECTUAL
DIAGNOSTICS COMPUTER SYSTEMS.....

260

Kondratenko Y.P., Korobko O.V.

COMPUTER SYSTEM OF SHIP ENGINES AUTOMATIC DIAGNOSIS.....

266

*Montaha Said Mouafak M., Lobachev M.V., Mileyko I.H., Drozd A.V.*ON-LINE TESTING METHODS FOR INCREASE IN RELIABILITY OF CHECKING
THE APPROXIMATED RESULTS IN ITERATIVE ARRAY ARITHMETIC DEVICES.....

273

*Marchenko I.P., Andrashov A.A., Pede T.Yu.*THE FEATURES OF INFORMATION SUPPORT FOR AUTOMATED SYSTEMS
FOR AEROSPACE EQUIPMENT QUALIFICATION TESTING

279

*Klyots Y.P., Kolesnik A.S., Rudyj Y.M.*ASSESSMENT LABORIOUSNESS OF THE ALGORITHM NON-DICTIONARY
DIAGNOSIS OF DIGITAL SYSTEMS

284

Systems with programmable logic*Malinovskiy M.L., Furman I.A., Allashev A.Yu., Konishcheva A.P., Svatobatko A.V.*

TABULAR HARDWARE DESCRIPTION LANGUAGE CONCEPTION

289

Hahanov V.I., Litvinova E.I., Pobezhenko I.O., Yves Tiecoura

CASE-STUDY OF TESTABILITY DETERMINATION FOR DIGITAL PROJECT

292

Kurgaev A.F., Savchenko I.V.

CONTROL UNIT PLANNING OF IP-BLOCKS ON EPLD

298

Melnyk A.O., Al Ravashdeh J.

STRUCTURE ORGANIZATION OF ORDERED ACCESS MEMORY BASED ON SORTING NETWORKS	303
--	-----

Telecommunication systems and radio-electronic units

Polschikov K.O., Rvachova N.V., Lubchenko K.N.

TECHNIQUE OF MODELING THE INTENSITY OF THE REAL TIME TRAFFIC IN A TELECOMMUNICATION NETWORK CHANNEL WITH SWITCHING PACKAGES	312
---	-----

Polshchikov K.O., Shkitskiy V.V., Zdorenko Y.M.

SIMULATION MODEL OF DATA COMMUNICATION IN TELECOMMUNICATION NETWORK IN WHICH A MANAGEMENT THE WINDOW OF OVERLOAD IS CARRIED OUT IN ACCORDANCE WITH PROTOCOL OF TCP	316
--	-----

Functional safety and survivability

Melenets A.V.

CHOICE OF TYPES OF INTEGRATION OF DATABASES ABOUT DANGEROUS OBJECTS WITH USE OF THE METHOD OF THE ANALYSIS OF HIERARCHIES	324
---	-----

Kovalenko N.S., Kharchenko V.S.

MODELS OF THE AUTOMATED SYSTEMS PERIMETER SECURITY OF OBJECTS WITH "PASSIVE" DISTURBER	329
---	-----

Nedelko S.N., Palenny A.S.

DECISION SUPPORT SYSTEM FOR TRAINERS OF THE AIR TRAFFIC CONTROL PROCEDURAL SIMULATOR	336
---	-----

Bakaev O.V.

CONCEPTION OF CONSTRUCTION MONITORING INFORMATION SYSTEM OF GEODYNAMIC PROCESSES IN COAL CONTAINING MASSIF OF COAL MINES.....	343
---	-----

INDEX	349
-------------	-----

УДК 681.326:519.613

В.И. ХАХАНОВ, Е.И. ЛИТВИНОВА, И.А. ПОБЕЖЕНКО, TIESCOURA YVES

Харьковский национальный университет радиоэлектроники, Украина

ПРИМЕР ОПРЕДЕЛЕНИЯ ТЕСТОПРИГОДНОСТИ ЦИФРОВОГО ПРОЕКТА

Предлагается алгебрологическая модель для вычисления критериев тестопригодности системных HDL-моделей, ориентированная на существенное повышение качества проектируемых компонентов цифровых систем на кристаллах (yield) и уменьшение времени разработки (time-to-market). Разработанные критерии управляемости и наблюдаемости применены для оценки качества графа управления в целях его улучшения и эффективного диагностирования семантических ошибок. Практическая значимость предложенных методик и моделей заключается в рыночной привлекательности и высокой заинтересованности технологических компаний в инновационных решениях проблемы эффективного тестирования и верификации программно-аппаратных изделий.

Ключевые слова: тестирование, тестопригодность, верификация, ассерция, HDL-модель.

Используется среда моделирования, тестопригодного анализа логической структуры HDL-программы для квазиоптимального размещения механизма ассерций [1, 2], применяемые в hardware design and test. Разработанные критерии управляемости и наблюдаемости [3, 4] применены для оценки качества графа управления в целях его улучшения и эффективного диагностирования семантических ошибок. Представлены примеры вычисления функций и критериев тестопригодности, а также поиска ошибок в программном HDL-коде реального цифрового изделия [3, 4].

1. Анализ тестопригодности графа управления

Учитывая, что автоматная модель программного продукта представлена взаимодействием операционного и управляющего автомата [4], рис. 1, то наряду с моделированием транзакционного графа, необходимо иметь возможность анализировать тестопригодность граф-схемы алгоритма управления (ГСА).

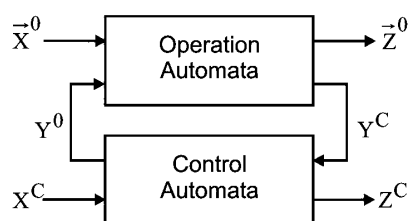


Рис. 1. Автоматная модель HDL-программы

Предлагается ГСА представить в виде содержательного графа управления (СГУ), который является подобным транзакционному графу. Здесь вершины есть операции программного кода, а дуги представ-

ляют условия перехода из одной вершины в другую для выполнения команды, обозначенной вершиной-стоком. Следовательно, для СГУ можно использовать процедуры, ранее разработанные для подсчета критериев тестопригодности транзакционного графа в части управляемости и наблюдаемости. Примером содержательного графа может служить рис. 2, имеющий 6 вершин и 9 дуг.

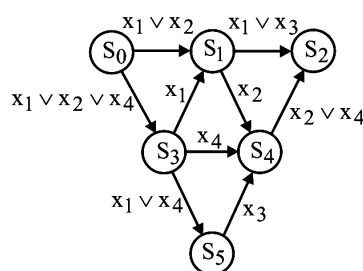


Рис. 2. Содержательный граф HDL-программы

Подсчет управляемостей графа [3, формула 1, 4, с.239], представленного на рис. 2, имеет следующий вид:

$$\begin{aligned} S_1 &= T_3^3 T_4^1 \vee T_1^2; \quad S_3 = T_3^3; \\ S_4 &= T_3^3 T_4^1 T_6^1 \vee T_3^3 T_5^1 \vee T_3^3 T_8^2 T_9^1; \\ S_2 &= T_3^3 T_4^1 T_6^1 T_7^2 \vee T_1^2 T_2^2 \vee \\ &\vee T_3^3 T_5^1 T_7^2 \vee T_3^3 T_4^1 T_7^2 \vee T_3^3 T_8^2 T_9^1 T_7^2; \\ S_5 &= T_3^3 T_8^2. \end{aligned}$$

Подсчет наблюдаемостей графа [3, формула 1, 4, с.239], представленного на рис. 2, содержит следующие выражения:

$$\begin{aligned} S_1 &= T_2^2 \vee T_7^2 T_6^1; \\ S_3 &= T_7^2 T_5^1 \vee T_7^2 T_9^1 T_8^2 \vee T_7^2 T_6^1 T_4^1 \vee T_2^2 T_4^1; \end{aligned}$$

$$S_0 = T_2^2 T_1^2 \vee T_7^2 T_6^1 T_4^1 T_3^3 \vee T_7^2 T_5^1 T_3^3 \vee T_7^2 T_5^1 T_3^3 \vee T_7^2 T_9^1 T_8^2 T_3^3 \vee T_2^2 T_4^1 T_3^3;$$

$$S_4 = T_7^2; S_5 = T_7^2 T_9^1.$$

Для использования тестопригодности выполняется построение управляемости и наблюдаемости всех компонентов HDL-модели (рис. 3). Затем вычисляется обобщенная характеристика – тестопригодность каждого компонента как произведение управляемости и наблюдаемости:

$$Q_i = U_i \times N_i. \quad (1)$$

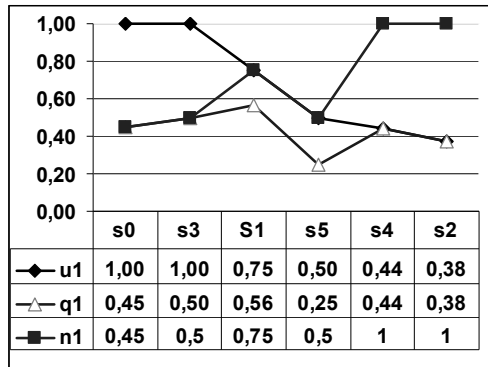


Рис. 3. Графики тестопригодности для графа управления

Далее интерес представляет создание таблицы тестопригодности, управляемости и наблюдаемости [2, 4], а также соответствующий им график для визуального контроля «плохих» компонентов. Фиксация определенной планки тестопригодности, ниже которой значения будут считаться неприемлемыми, позволит разработчику создавать ассерции и другие дополнительные средства повышения тестопригодности для проблемных функциональных блоков. Кроме того, средства повышения тестопригодности

должны обеспечивать глубину диагностирования до функционального компонента и привязанных к нему операций в целях быстрого восстановления работоспособности программной HDL-модели.

В целях построения алгоритмов поиска ошибок в программном коде можно использовать таблицу неисправностей, по аналогии с технологией тестирования hardware. Любопытное решение в процессе проверки функциональных блоков связано с сигнатурным анализом, где обобщенная сигнатура отождествляется с исправным поведением всего кода, а также с каждым компонентом. Любое несовпадение эталонной сигнатуры с фактической приводит к выполнению процедуры диагностирования и восстановления работоспособности HDL-модели путем исправления семантики кода.

Предложенная модель верификации HDL-проекта использует testbench, функциональное покрытие, механизм ассерций, описанную выше метрику оценки тестопригодности, таблицу неисправностей и вектор экспериментальной проверки (ВЭП), формируемый по заданным контрольным точкам путем сравнения сигнатур. Функциональное ограничение testbench связано с неразличимостью компонентов программного кода, в которых могут быть ошибки. Его основное назначение – проверка исправности HDL-модели. Поэтому в качестве дополнения к процедуре проверки придается механизм ассерций [4-6], основная цель которого с заданной глубиной – до программного компонента – определить место и вид ошибки на стадии выполнения диагностирования, после того, как testbench зафиксировал неправильное функционирование программного проекта. Две стадии верификации [4,6]: тестирование и диагностирование представлены ниже в виде двух векторно-матричных операций:

$$\begin{array}{|c|c|c|c|}
 \hline
 \begin{array}{|c|} \hline T_1^B \\ \hline T_2^B \\ \hline T_i^B \\ \hline T_n^B \\ \hline \end{array} & \oplus & \begin{array}{|c|c|c|c|} \hline S_1^1 & S_1^2 & S_1^t & S_1^m \\ \hline S_2^1 & S_2^2 & S_2^t & S_2^m \\ \hline S_i^1 & S_i^2 & S_i^t & S_i^m \\ \hline S_n^1 & S_n^2 & S_n^t & S_n^m \\ \hline \end{array} & = & \begin{array}{|c|} \hline L_1^B \\ \hline L_2^B \\ \hline L_i^B \\ \hline L_n^B \\ \hline \end{array} \\
 \hline
 \begin{array}{|c|c|c|c|} \hline A_1^1 & A_1^2 & A_1^t & A_1^m \\ \hline A_2^1 & A_2^2 & A_2^t & A_2^m \\ \hline A_i^1 & A_i^2 & A_i^t & A_i^m \\ \hline A_n^1 & A_n^2 & A_n^t & A_n^m \\ \hline \end{array} & \oplus & \begin{array}{|c|c|c|c|} \hline S_1^1 & S_1^2 & S_1^t & S_1^m \\ \hline S_2^1 & S_2^2 & S_2^t & S_2^m \\ \hline S_i^1 & S_i^2 & S_i^t & S_i^m \\ \hline S_n^1 & S_n^2 & S_n^t & S_n^m \\ \hline \end{array} & = & \begin{array}{|c|c|c|c|} \hline L_1^1 & L_1^2 & L_1^t & L_1^m \\ \hline L_2^1 & L_2^2 & L_2^t & L_2^m \\ \hline L_i^1 & L_i^2 & L_i^t & L_i^m \\ \hline L_n^1 & L_n^2 & L_n^t & L_n^m \\ \hline \end{array} \\
 \hline
 \end{array}$$

Для первой стадии используется двоичный вектор экспериментальной проверки Z^B , формируемый на основе процедуры тестирования. На второй

стадии используется уже матрица Z^A экспериментальной проверки, которая с наперед заданной глубиной определяет диагноз проекта на основе срав-

нения технических состояний HDL-модели и механизма ассерций:

$$Z^B = (Z_1, Z_2, \dots, Z_i, \dots, Z_n);$$

$$Z^A = \begin{pmatrix} Z_1^1 & Z_1^2 & Z_1^t & Z_1^m \\ Z_2^1 & Z_2^2 & Z_2^t & Z_2^m \\ \vdots & \vdots & \vdots & \vdots \\ Z_i^1 & Z_i^2 & Z_i^t & Z_i^m \\ \vdots & \vdots & \vdots & \vdots \\ Z_n^1 & Z_n^2 & Z_n^t & Z_n^m \end{pmatrix}$$

В процессе выполнения процедуры верификации выполняется сравнение фактического и эталонного (специфицированного) технического состояния компонента путем применения операции Хог:

$$\{Z_i, Z_i^t\} = S_i^t \oplus S_i^t(r) = \{0, 1\}.$$

Практически, если выполнены условия тестопригодности и правильно расставлены ассерции в критических точках программного кода для диагностирования всех компонентов, то ВЭП может однозначно идентифицировать адрес (место) и тип ошибки на основе построенной ранее таблицы неисправностей – механизма ассерций.

2. Верификация дискретного косинусного преобразования IP-core Xilinx

Представленные модели верификации программного HDL-кода проверены на реальном проекте DCT (Discrete Cosine Transform – дискретное косинусное преобразование) IP-core Xilinx для определения наличия в нем ошибок. При этом удалось определить неверную семантику работы программы для последующего исправления кода. Фрагмент модуля дискретного косинусного преобразования представлен листингом 1 [Open Source Xilinx.com]. Вся HDL-модель насчитывает 900 строк кода System Verilog.

Листинг 1

```
module Xilinx
`timescale 1ns/10ps
module dct ( CLK, RST, xin,dct_2d,rdy_out);
output [11:0] dct_2d;
input CLK, RST;
input[7:0] xin; /* input */
output rdy_out;
wire[11:0] dct_2d;
.....
/* The first 1D-DCT output becomes valid after 14 +64 clk cycles. For the first 2D-DCT output to be valid it takes 78 + 1clk to write into the ram + 1clk to write out of the ram + 8 clks to shift in the 1D-DCT values + 1clk to register the 1D-DCT values + 1clk to add/sub + 1clk to take compliment + 1 clk for multiplying + 2clks to add product. So the 2D-DCT output will be valid at the 94th clk. rdy_out goes high at 93rd clk so that the first data is valid for the next block*/
Endmodule
```

В соответствии с правилами тестопригодного анализа, приведенными выше, спроектирован транзакционный граф как развитие графа регистровых

передач [7,8], представленный на рис. 4, который для module Xilinx имеет 28 вершин-компонентов (входная и выходная шины, логические и регистровые переменные, векторы и память).

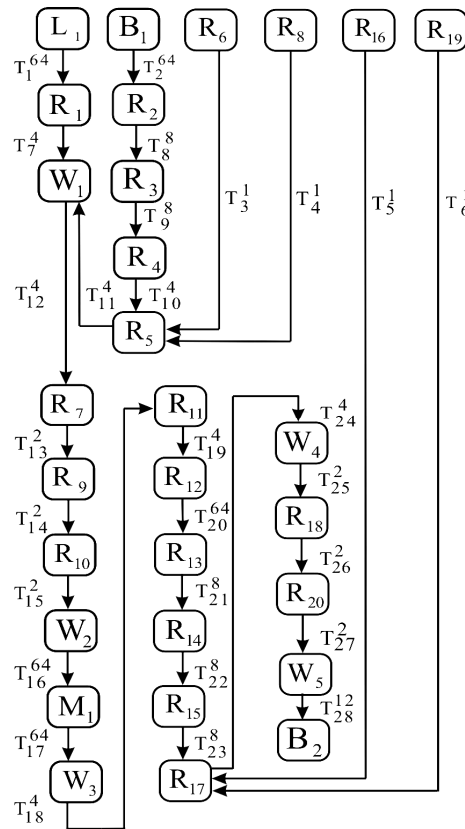


Рис. 4. Транзакционный граф Xilinx модели

Идентификатор дуги имеет верхний индекс, обозначающий число транзакций в программе между исходящей и входящей вершинами. Для каждой вершины строятся логические функции управляемости и наблюдаемости. Пример логической функции управляемости для вершины B₂ имеет следующий вид:

$$\begin{aligned} B_2 = & T_{28}^{12} T_{27}^{22} T_{22}^{22} T_{25}^{24} T_{24}^1 (T_5^1 \vee T_6^1 \vee \\ & \vee T_{12}^4 T_{13}^{22} T_{14}^{22} T_{15}^{22} T_{15}^{64} T_{17}^{64} T_{18}^{64} T_{19}^{64} T_{20}^{64} T_{21}^{88} T_{22}^{88} T_{23}^8 (T_1^{64} T_7^4 \vee \\ & \vee T_{11}^4 T_2^{64} T_8^{88} T_9^{88} T_{10}^4 \vee T_{11}^4 T_{13}^4 \vee T_{11}^4 T_{14}^1)) = \\ = & T_{28}^{12} T_{27}^{22} T_{22}^{22} T_{25}^{24} T_{24}^1 \vee T_6^1 T_{28}^{12} T_{27}^{22} T_{22}^{22} T_{25}^{24} \vee \\ & \vee T_{28}^{12} T_{27}^{22} T_{22}^{22} T_{25}^{24} T_{12}^4 T_{13}^{22} T_{14}^{22} T_{15}^{22} T_{15}^{64} T_{17}^{64} T_{18}^{64} \wedge \\ & \wedge T_{19}^{64} T_{20}^{64} T_{21}^{88} T_{22}^{88} T_{23}^8 T_1^{64} T_7^4 \vee \\ & \vee T_{28}^{12} T_{27}^{22} T_{22}^{22} T_{25}^{24} T_{12}^4 T_{13}^{22} T_{14}^{22} T_{15}^{22} T_{15}^{64} T_{17}^{64} T_{18}^{64} \wedge \\ & \wedge T_{19}^{64} T_{20}^{64} T_{21}^{88} T_{22}^{88} T_{23}^8 T_{11}^4 T_2^{64} T_8^{88} T_9^{88} T_{10}^4 \vee \\ & \vee T_{11}^4 T_{13}^{22} T_{14}^{22} T_{15}^{22} T_{15}^{64} T_{17}^{64} T_{18}^{64} T_{19}^{64} T_{20}^{64} T_{21}^{88} T_{22}^{88} T_{23}^8 \vee \\ & \vee T_{11}^4 T_{13}^{22} T_{14}^{22} T_{15}^{22} T_{15}^{64} T_{17}^{64} T_{18}^{64} T_{19}^{64} T_{20}^{64} T_{21}^{88} T_{22}^{88} T_{23}^8 \vee \\ & \wedge T_{17}^{64} T_{18}^{64} T_{19}^{64} T_{20}^{64} T_{21}^{88} T_{22}^{88} T_{23}^8 \vee \\ & \vee T_{11}^4 T_{13}^{22} T_{14}^{22} T_{15}^{22} T_{15}^{64} T_{17}^{64} T_{18}^{64} T_{19}^{64} T_{20}^{64} T_{21}^{88} T_{22}^{88} T_{23}^8 \wedge \\ & \wedge T_{17}^{64} T_{18}^{64} T_{19}^{64} T_{20}^{64} T_{21}^{88} T_{22}^{88} T_{23}^8. \end{aligned}$$

Для остальных вершин аналогично выполняется вычисление ДНФ функций управляемостей.

Примеры вычисления функций наблюдаемости для отдельных вершин имеют следующий вид:

$$R_2 = T_{28}^{12} T_{27}^{12} T_{22}^{12} T_{25}^{12} T_{24}^{12} T_{23}^{12} T_{22}^{12} T_{21}^{12} T_{20}^{12} T_{19}^{12} T_{18}^{12} \wedge \\ \wedge T_{17}^{64} T_{16}^{64} T_{15}^{64} T_{14}^{64} T_{13}^{64} T_{12}^{64} T_{11}^{64} T_{10}^{64} T_9^{64} T_8^{64};$$

$$B_1 = T_{28}^{12} T_{27}^{12} T_{22}^{12} T_{25}^{12} T_{24}^{12} T_{23}^{12} T_{22}^{12} T_{21}^{12} T_{20}^{12} T_{19}^{12} T_{18}^{12} \wedge \\ \wedge T_{17}^{64} T_{16}^{64} T_{15}^{64} T_{14}^{64} T_{13}^{64} T_{12}^{64} T_{11}^{64} T_{10}^{64} T_9^{64} T_8^{64} T_7^{64};$$

$$L_1 = T_{28}^{12} T_{27}^{12} T_{22}^{12} T_{25}^{12} T_{24}^{12} T_{23}^{12} T_{22}^{12} T_{21}^{12} T_{20}^{12} \wedge \\ \wedge T_{19}^{64} T_{18}^{64} T_{17}^{64} T_{16}^{64} T_{15}^{64} T_{14}^{64} T_{13}^{64} T_{12}^{64} T_{11}^{64} T_{10}^{64} T_9^{64} T_8^{64} T_7^{64};$$

Синтезированные логические функции задают все возможные пути управления, как во времени, так и в пространстве, что можно считать новой аналитической формой описания тестопригодности проекта. По ДНФ, следуя выражениям для подсчета тестопригодности [1], можно определить критерии управляемости (наблюдаемости) для всех компонентов HDL-модели. Здесь следует рассмотреть для варианта (сценария) обсчета программной модели. 1) Учитывается только графовая структура, где вес каждой дуги равен 1, независимо от числа транзакций в программном коде. 2). Все дуги графа отмечаются реальным количеством транзакций, имеющих место быть между двумя рассматриваемыми вершинами-компонентами транзакционного графа. Оценки тестопригодности описанных процедур могут существенно различаться друг от друга. Пользователь должен определиться, что важнее только структура программного кода – применить первый сценарий, или иметь более сложную и точную модель транзакций, распределенных во времени, на множестве графовых компонентов. В качестве примера ниже приводится процедура вычисления управляемости для вершины B_2 :

$$U(B_2) = \frac{1}{22 \times 6} \times (6 + 6 + 19 + 22 + 19 + 19) = 0,54.$$

Применение аналогичных вычислений управляемостей (наблюдаемостей) для других вершин графа дает результат в виде графика, представленного на рис. 5, которые позволяют определить критические точки для установки необходимых ассерций.

Такой вершиной может быть компонент R_{15} , если транзакционный граф представлен одиночными дугами. Для случая, когда дуги отмечены реальным количеством транзакций, критические вершины принадлежат компонентам, находящихся ближе к выходной шине B_2 . Здесь существенным представляется не структура графа, а вес дуги входящей, который в большей степени оказывает негативное влияние, если структурная глубина рассматриваемого компонента достаточно высока. Используется

формула (1) вычисления тестопригодности с мультипликативными членами $U_i \times N_i$, что дает оценку ниже, чем любой из сомножителей (управляемость, наблюдаемость).

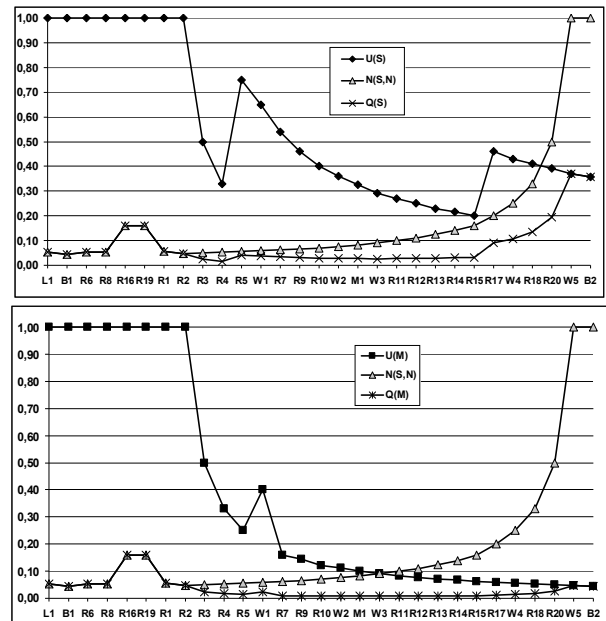


Рис. 5. Графики М-тестопригодности Xilinx модели

Если модифицировать формулу (1) исчисления тестопригодности для компонентов к виду:

$$Q_i = U_i + N_i,$$

то кривая тестопригодности существенно поднимется вверх по оси ординат, чем обеспечивается меньший разброс параметров для каждой вершины. Данное обстоятельство фиксирует несколько отличные таблицы и графики, представленные ниже (рис. 6).

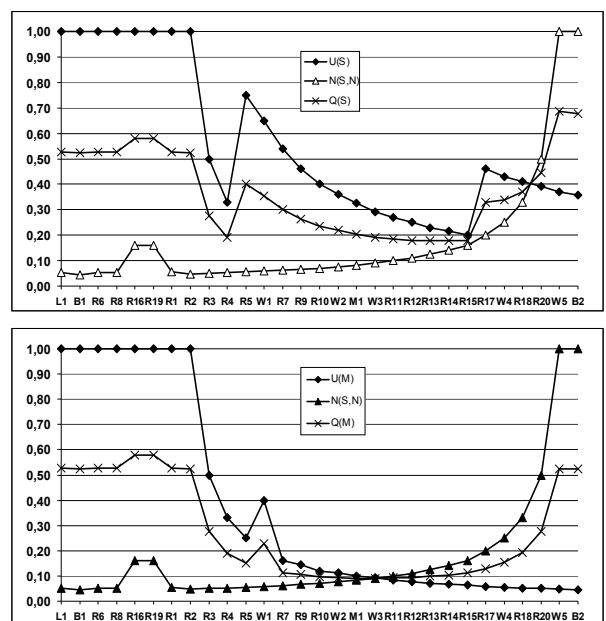


Рис. 6. Графики А-тестопригодности Xilinx модели

Интересным представляется поведение отдельных вершин. Например, управляемость вершины R_{17} в мультипликативном транзакционном графе HDL-кода неожиданно «упала» вниз по сравнению с графом единичных дуг. Это связано с высоким весом транзакций, поступающих на рассматриваемую вершину со стороны входных компонентов L_1, B_1 , которые практически превращают в ноль значимость единичных транзакций от вершин R_{16}, R_{19} .

После определения управляемостей и наблюдаемостей вершин транзакционного графа выполняется подсчет обобщенного критерия тестопригодностей каждого компонента программного кода в соответствии с выражением (5). Затем определяется интегральная оценка тестопригодности проекта по формуле:

$$Q = \frac{1}{n} \sum_{i=1}^n (U_i \times N_i),$$

которая определяет качество проектного варианта, что представляется весьма существенным при сравнении нескольких альтернативных решений. В качестве примера позитивного использования разработанных моделей и методов предлагается анализ тестопригодности программного кода дискретного косинусного преобразования из Xilinx библиотеки. Было выполнено построение транзакционной модели, подсчет характеристик тестопригодности ($Q = \{0,382; 0,287\}$), определение критических точек. Затем в соответствии с числом и типами компонентов было разработано функциональное покрытие, фрагмент которого представлен листингом 2.

Листинг 2

```
c0: coverpoint xin
{
  bins minus_big={128:235};
  bins minus_sm={236:255};
  bins plus_big={21:127};
  bins plus_sm={1:20};
  bins zero={0};
}
c1: coverpoint dct_2d
{
  bins minus_big={128:235};
  bins minus_sm={236:255};
  bins plus_big={21:127};
  bins plus_sm={1:20};
  bins zero={0};
  bins zero2=(0=>0);
}
endgroup
```

Для критических точек, определенных в результате анализа тестопригодности транзакционного графа разработана ассерционная модель проверки основных характеристик дискретного косинусного преобразования. Существенный фрагмент кода механизма ассерций представлен листингом 3.

Листинг 3

```
sequence first( reg[7:0] a, reg[7:0]b);
  reg[7:0] d;
  (IRST,d=a)
  ##7 (b==d);
endsequence
property f(a,b);
  @(posedge CLK)
  // disable iff(RST||$isunknown(a)) first(a,b);
  !RST | => first(a,b);
endproperty
odin:assert property (f(xin,xa7_in))
  // $display("Very good");
else $error("The end, xin =%b,xa7_in=%b", $past(xin,
7),xa7_in);
```

В результате проведенной верификации дискретного косинусного преобразования в среде Questa, Mentor Graphics были найдены неточности в восьми строках исходного кода HDL-модели:

```
// add_sub1a <= xa7_reg + xa0_reg;//
```

Последующее исправление ошибок привело к появлению исправленного фрагмента кода, который показан в листинге 4.

Листинг 4

```
add_sub1a <= ({xa7_reg[8],xa7_reg} + {xa0_reg[8],xa0_reg});
add_sub2a <= ({xa6_reg[8],xa6_reg} + {xa1_reg[8],xa1_reg});
add_sub3a <= ({xa5_reg[8],xa5_reg} + {xa2_reg[8],xa2_reg});
add_sub4a <= ({xa4_reg[8],xa4_reg} + {xa3_reg[8],xa3_reg});
end
else if (toggleA == 1'b0)
begin
  add_sub1a <= ({xa7_reg[8],xa7_reg} - {xa0_reg[8],xa0_reg});
  add_sub2a <= ({xa6_reg[8],xa6_reg} - {xa1_reg[8],xa1_reg});
  add_sub3a <= ({xa5_reg[8],xa5_reg} - {xa2_reg[8],xa2_reg});
  add_sub4a <= ({xa4_reg[8],xa4_reg} - {xa3_reg[8],xa3_reg});
```

Заключение

1. Предложен комплекс технологических мероприятий и рекомендаций, ориентированных на тестопригодный анализ и последующий синтез программных продуктов, пригодных для тестирования и верификации.

2. Показаны примеры анализа тестопригодности путем подсчета управляемости и наблюдаемости транзакционного и управляющего графов в целях определения критических точек с последующим решением практической проблемы поиска и устранения ошибок в реальном DSP-проекте от компании Xilinx.

3. Построены логические функции управляемости, наблюдаемости для двух реальных примеров и графики (таблицы), соответствующие им, которые дают возможность определить критические точки для последующего улучшения кода проекта путем установки ассерций.

4. Практическая значимость предложенных методик и моделей заключается в рыночной привлекательности и высокой заинтересованности технологических компаний в инновационных решениях проблемы эф-

фективного тестирования и верификации программно-аппаратных изделий на системном уровне проектирования в целях уменьшения time-to market и повышения выхода годной продукции – yield.

5. Дальнейшие исследования будут направлены на разработку стандартных интерфейсов в целях последующей интеграции моделей, методов и программных средств в технологические маршруты проектирования цифровых систем на кристаллах.

Литература

1. Foster H. *Assertion-based design – Second edition* / H. Foster, A. Krolnik, D. Lacey. – Kluwer Academic Publishers, – Springer, 2005. – 392 p.
2. Abramovici M. *Digital System Testing and Testable Design*. Computer Science Press / M. Abramovici, M. A. Breuer, A.D. Friedman, 1998. – 652 p.
3. Тестирование и верификация HDL-моделей компонентов SOC. I. / В.И. Хаханов, Е.И. Литвинова, С.В. Чумаченко, И.А. Побеженко, С. U. Ngene // *Радиоэлектроника и информатика*. – 2009. – № 3. – С. 45-52.
4. Хаханов В.И. *Проектирование и тестирование цифровых систем на кристаллах* / В.И. Хаханов, Е.И. Литвинова, О.А. Гузь. – Х.: ХНУРЭ, 2009. – 484 с.
5. *Verification Methodology. Manual for SystemVerilog* / J. Bergeron, E. Cerny, A. Hunter, A. Nightingale. – Springer, 2005. – 528 p.
6. Bergeron J. *Writing testbenches: functional verification of HDL models* / J. Bergeron. – Boston: Kluwer Academic Publishers. – 2001. – 354 p.
7. Шарпиунов С.Г. *Построение тестов микропроцессоров. 1. Общая модель. Проверка обработки данных* / С.Г. Шарпиунов // *Автоматика и телемеханика*. – 1985. – № 11. – С. 145-155.
8. Jerraya A.A. *System Level Synthesis SLS. TIMA Laboratory. Annual Report* / A.A. Jerraya. – 2002. – P. 65-75.

Поступила в редакцию 12.02.2010

Рецензент: д-р техн. наук, проф., проф. кафедры Ф.В. Новилов, Харьковский национальный экономический университет, Харьков.

ПРИКЛАД ВИЗНАЧЕННЯ ТЕСТОПРИДАТНОСТІ ЦИФРОВОГО ПРОЕКТУ

V.I. Hahanov, E.I. Litvinova, I.O. Pobezhenko, Tiesoura Yves

Запропоновано комплекс технологічних заходів і рекомендацій, орієнтованих на тестопридатний аналіз і послідовний синтез програмних продуктів і придатних для тестування й верифікації. Наведено приклади аналізу тестопридатності шляхом підрахунку керованості та спостережуваності транзакційного та керувального графів в цілях визначення критичних точок з наступним вирішенням практичної проблеми пошуку і усунення помилок в реальному DSP-проекті від компанії Xilinx.

Ключові слова: тестування, тестопридатність, верифікація, асерція, HDL-модель.

CASE-STUDY OF TESTABILITY DETERMINATION FOR DIGITAL PROJECT

V.I. Hahanov, E.I. Litvinova, I.O. Pobezhenko, Tiesoura Yves

The technological tools, focused to testable analysis and subsequent synthesis of software is proposed. It is applicable for testing and verification. The examples of testability analysis by determination the controllability and observability of the transaction and control graph to detect the critical points with subsequent solving of the problem detection and removal of faults in a real DSP project of Xilinx.

Key words: testing, testability, verification, assertion, HDL-model.

Хаханов Владимир Иванович – декан факультета КИУ ХНУРЭ, д-р техн. наук, профессор кафедры АПБТ ХНУРЭ, e-mail: hahanov@kture.kharkov.ua.

Литвинова Евгения Ивановна – канд. техн. наук, доцент, доцент кафедры технологии и автоматизации производства РЭС и ЭВС ХНУР, e-mail: kiu@kture.kharkov.ua.

Побеженко Ирина Александровна – аспирантка кафедры АПБТ ХНУРЭ, e-mail: hahanov@kture.kharkov.ua.

Tiesoura Yves – аспирант кафедры АПБТ ХНУРЭ, e-mail: hahanov@kture.kharkov.ua.