

МЕТОД АНАЛИЗА ТЕСТОПРИГОДНОСТИ ЦИФРОВЫХ УСТРОЙСТВ ДЛЯ ПСЕВДОСЛУЧАЙНОГО ТЕСТИРОВАНИЯ В СИСТЕМАХ ВСТРОЕННОГО САМОТЕСТИРОВАНИЯ

Предлагается метод анализа тестопригодности для сложных цифровых комбинационных схем. Приводится алгоритм модификации устройства и генерации взвешенного теста для улучшения показателей тестопригодности. Присутствуют результаты моделирования схемы в системе SIGESTEST. Предложенный метод сравнивается с двумя аналогичными методами анализа тестопригодности.

1. Введение

С увеличением интеграции кремниевых структур отношение числа вентилях к числу выводов схемы существенно возрастает, что уменьшает наблюдаемость и управляемость внутренних узлов схемы. Это в свою очередь затрудняет проведение процедуры тестирования, увеличивает время тестирования и объем тестов. Простым решением проблемы повышения качества теста является введение в схему точек контроля и использование стандартов тестопригодного проектирования и технологий встроенного самотестирования [1,2].

Цель работы: существенное уменьшение времени верификации, синтеза тестов и/или повышение степени покрытия неисправностей для заданных входных наборов путем модификации структуры цифрового устройства на основе анализа его тестопригодности и использования генератора взвешенного теста. *Задачи:* 1) разработка вероятностного метода анализа тестопригодности, ориентированного на взвешенное тестирование; 2) разработка стратегии выбора точек для модификации комбинационных и последовательностных схем,

а также способа их модификации; 3) организация тестирования модифицированных схем, экспериментальное подтверждение его эффективности; 4) реализация метода в рамках системы SIGETEST. Объект исследования: комбинационные и последовательностные схемы, представленные на системном (алгоритмическом), регистровом и вентильном уровне, не ограниченные решениями методов DFT, а также в DFT-системах для комбинационных схем или их частей, плохо поддающихся псевдослучайному тестированию. В работе предлагается использование генератора взвешенного теста.

2. Анализ тестопригодности схемы

Предлагаемый метод заключается в вычислении значений управляемости и наблюдаемости узлов схемы, формирующих оценку тестопригодности. Предложенный метод может быть использован как на досинтезной структуре цифровых устройств, так и на более детализированных уровнях представления – вентильном уровне и уровне регистровых передач. Метод основан на вероятностном подходе вычисления показателей тестопригодности узлов устройства.

Вычисление управляемости. Значения управляемости на первичных входах равны 0.5 (так как первичные входы устройства или его входные порты стопроцентно управляемы). Значения управляемости вычисляются от первичных входов схемы до первичных выходов и изменяются в диапазоне от 1 до 0. Вычисление управляемости для схем вентильного уровня описано в [11].

Для определения управляемости выхода цифрового устройства необходимо, используя аналитическое выражение, описывающее это устройство, составить выражение, в котором управляемость единицы выхода образуется следующим образом: из аналитического выражения вместо инверсии входа подставляется управляемость нуля, а вместо входа без инверсии – управляемость единицы этого входа. Конъюнкция определяет умножение, дизъюнкция – сложение.

Данный метод позволяет вычислять управляемость выходов комбинационных устройств уровня регистровых передач.

Для дешифратора 2 в 4:

$$Y_0 = \bar{A} \wedge \bar{B}, Y_1 = \bar{A} \wedge B, Y_2 = A \wedge \bar{B}, Y_3 = A \wedge B,$$

где A, B – входы дешифратора; Y_0, Y_1, Y_2, Y_3 – выходы дешифратора.

Управляемости выходов:

$$\text{для выхода } Y_0: C^1(Y_0) = C^0(A) \cdot C^0(B), C^1(Y_0) = 1 - (C^0(A) \cdot C^0(B));$$

$$\text{для выхода } Y_1: C^1(Y_1) = C^0(A) \cdot C^1(B), C^0(Y_1) = 1 - (C^0(A) \cdot C^1(B));$$

$$\text{для выхода } Y_2: C^1(Y_2) = C^1(A) \cdot C^0(B), C^0(Y_2) = 1 - (C^1(A) \cdot C^0(B));$$

$$\text{для выхода } Y_3: C^1(Y_3) = C^1(A) \cdot C^1(B), C^0(Y_3) = 1 - (C^1(A) \cdot C^1(B)).$$

В общем случае управляемость каждого выхода дешифратора:

$$C^1(Y_n) = \frac{1}{2^n},$$

где n – количество входов дешифратора.

Для одного разряда сумматора:

$$S = (\bar{A} \wedge \bar{PI} \wedge B) \vee (\bar{B} \wedge A \wedge \bar{PI}) \vee (\bar{A} \wedge B \wedge PI) \vee (A \wedge B \wedge PI),$$

$$PO = (\bar{A} \wedge \bar{PI} \wedge B) \vee (B \wedge \bar{A} \wedge PI) \vee (A \wedge \bar{B} \wedge PI) \vee (A \wedge B \wedge PI),$$

здесь A, B – операнды; PI – вход предыдущего разряда; S – полученная сумма; PO – перенос в следующий разряд.

Определим управляемости выхода S одного разряда сумматора:

$$C^1(S) = C^0(A) \cdot C^0(PI) \cdot C^1(B) + C^0(B) \cdot C^1(A) \cdot C^0(PI) + \\ + C^0(A) \cdot C^0(B) \cdot C^1(PI) + C^1(A) \cdot C^1(B) \cdot C^1(PI).$$

Для нуля:

$$C^0(S) = 1 - (C^0(A) \cdot C^0(PI) \cdot C^1(B) + C^0(B) \cdot C^1(A) \cdot C^0(PI) + \\ + C^0(A) \cdot C^0(B) \cdot C^1(PI) + C^1(A) \cdot C^1(B) \cdot C^1(PI))$$

Для выхода РО:

$$C^1(P) = C^0(A) \cdot C^0(PI) \cdot C^1(B) + C^0(B) \cdot C^1(A) \cdot C^0(PI) + \\ + C^0(A) \cdot C^0(B) \cdot C^1(PI) + C^1(A) \cdot C^1(B) \cdot C^1(PI), \\ C^0(P) = 1 - (C^0(A) \cdot C^0(PI) \cdot C^1(B) + C^0(B) \cdot C^1(A) \cdot C^0(PI) + \\ + C^0(A) \cdot C^0(B) \cdot C^1(PI) + C^1(A) \cdot C^1(B) \cdot C^1(PI))$$

Вычисление наблюдаемости. Наблюдаемость $O(X_i)$ – количественная мера способности устройства транспортировать состояние рассматриваемой линии на внешние выходы схемы. Наблюдаемость может принимать относительное значение, лежащее в промежутке $[0;1]$. $O(x_i) = 1$ для внешнего выхода. $O(x_i) = 0$, если невозможно обеспечить такие условия, при которых изменение значения в узле приводило бы к изменению значения на первичном выходе. Практически, значения управляемости большинства линий лежат между границами промежутка $[0;1]$. Наблюдаемость узлов в схеме уменьшается от первичных выходов к первичным входам. Определение наблюдаемости для схем вентильного уровня описано в [11]. Для схем уровня регистровых передач наблюдаемость вычисляется аналогично. Например, для демультиплексора наблюдаемость информационного входа определяется как отношение суммы произведений наблюдаемостей выходов на управляемости адресных входов, обеспечивающих активизацию выхода к количеству выходов.

Если у элементов отсутствуют входы активизации, а следовательно, и за, то $g = 1$. Примером таких элементов являются инвертор и повторитель. У них один вход и один выход, причем наблюдаемость входа равна наблюдаемости выхода. Для таких случаев, как ветвление выхода или сходящиеся разветвления, наблюдаемость вычисляется, как показано в [11].

Определение тестопригодности. Простая мера тестопригодности узла может быть получена перемножением значений его управляемости и наблюдаемости:

$$T^1 = C^0(Y) \cdot O(Y), T^0 = C^1(Y) \cdot O(Y), T(Y) = T^1(Y) + T^0(Y) / 2,$$

где 0 – тестопригодность (1- тестопригодность) узла Y ; $T(Y)$ – тестопригодность узла Y . Общий показатель тестопригодности всей схемы должен представлять собой меру средней трудоемкости получения теста для узла схемы, следовательно, эта мера может быть представлена как среднее арифметическое значение тестопригодностей всех узлов схемы, т.е.

$$T_{sh} = [\sum_{i=1}^N T(Y_i)] / N,$$

где T_{sh} – тестопригодность всей схемы; n – количество узлов схемы. Для удобства интерпретации результатов берется корень восьмой степени значений управляемости, наблюдаемости, тестопригодности.

Пример. Рассмотрим схему, представленную на вентильном уровне на языке описания аппаратуры VHDL(рис.1).

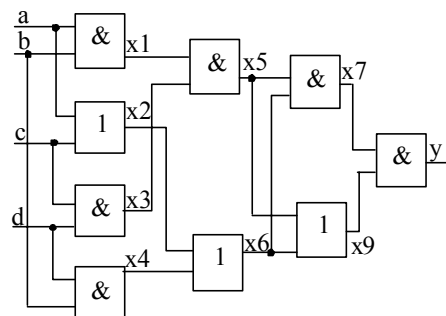


Рис. 1. Пример схемы для анализа

Таблица 1. Показатели тестопригодности по методу ССОРРoITA

Линия	C ⁰	C ¹	O	T ⁰	T ¹	T
a	0,500	0,500	0,375	0,312	0,312	0,312
b	0,500	0,500	0,375	0,312	0,312	0,312
c	0,500	0,500	0,375	0,312	0,312	0,312
d	0,500	0,500	0,375	0,312	0,312	0,312
x1	0,750	0,250	0,236	0,572	0,190	0,381
x2	0,250	0,750	0,233	0,572	0,190	0,381
x3	0,750	0,250	0,248	0,187	0,563	0,375
x4	0,750	0,250	0,248	0,187	0,563	0,375
x5	0,062	0,937	0,055	0,886	0,059	0,472
x6	0,937	0,062	0,003	0,062	0,934	0,498
x7	0,058	0,941	0,058	0,886	0,055	0,470
x8	0,941	0,058	0,941	0,003	0,055	0,029
y	0,055	0,944	1,000	0,944	0,055	0,500

В табл.1 представлены результаты анализа тестопригодности для схемы на рис.1.

3. Стратегия выбора контрольных точек и тестирования

Проведенные эксперименты показали, что разработанный метод позволяет осуществлять простую процедуру выбора точек для модификации схемы.

Современные технологии позволяют компоновать число вентилях до нескольких миллионов. В связи с этим дополнительные аппаратные затраты, связанные с использованием генератора взвешенного теста и пути сканирования, не

являются критичными. Гораздо важнее пригодность схемы к адекватной проверке. Поэтому вполне достаточно использование избыточных, но простых и регулярных подходов и структур для уменьшения времени разработки и производства изделия.

Используется ряд подходов для получения оптимального для разработчика качества теста. Например, в [5] предлагается использование на первом этапе псевдослучайного теста – генерация теста и процедура тестирования прекращается, когда получено 80-85% покрытия неисправностей. Затем этот тест дополняется детерминированным тестом для получения 100% покрытия. Авторы предлагают реализацию встроенных генераторов теста в каждом ядре, при этом псевдослучайные последовательности генерируются с помощью внешних генераторов, а детерминированные – генерируются с помощью встроенной BIST и хранятся в системе.

В [8] предлагается стандартный подход. 1. На начальном этапе тестирования используется заданный эталон или начальный тест. Проводится тестирование с этим эталоном. 2. Если степень покрытия неисправностей не удовлетворяет разработчика, создается новый тест на основе использования полученных в процессе предварительного тестирования ошибок. В данной работе предлагается подход, описанный ниже. 1. Предварительно проводится анализ тестопригодности по предложенному в работе методу. 2. Генерируется псевдослучайный тест для заданной схемы. 3. Проводится анализ неисправностей этим тестом. Если степень покрытия неисправностей не удовлетворяет разработчика, то, на основе полученных показателей тестопригодности, выбираются критические точки в схеме и генерируется новый, взвешенный тест, использующий полученные показатели тестопригодности. Для этого необходимо выбрать 3-5% линий с низким показателем управляемости нулем и единицей наблюдаемости.

На рис. 2 представлена общая схема организации тестирования устройства при наличии пути сканирования.

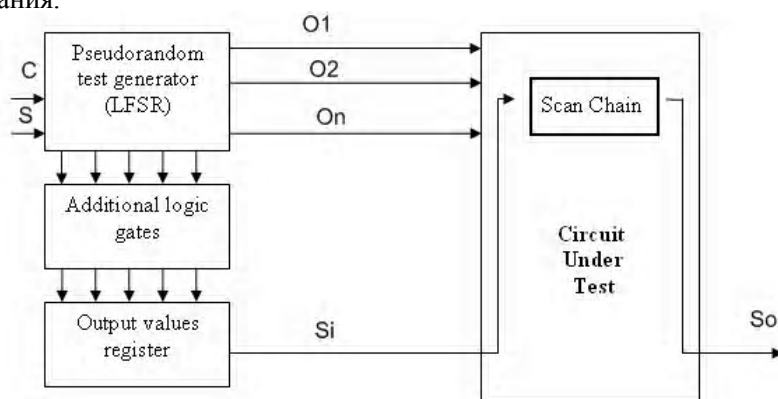


Рис. 2. Общая схема организации тестирования устройства

Способ модификации схемы. Способ модификации схемы состоит в следующем: на каждую выбранную линию схемы ставится ячейка, которая должна обеспечить 100%-ную наблюдаемость и 100%-ную управляемость выбранной линии, при этом она должна быть абсолютно прозрачной для нормального режима работы схемы, а также должна просто тестироваться.

Для уменьшения числа дополнительных входов и выходов эта ячейка должна с остальными ячейками объединяться в сдвиговый регистр, аналогичный пути сканирования в структурных методах тестопригодного проектирования. Ячейка регистра граничного сканирования удовлетворяет перечисленным требованиям, за исключением её размера.

Для уменьшения аппаратных затрат и обеспечения адекватной проверки ячейки предлагается использовать ячейку, которая состоит из двухступенчатого синхронного D – триггера и мультиплексора. Схема подключения ячеек должна быть такая, как в [9].

Можно организовать также параллельную загрузку тестовых данных в путь сканирования. В этом случае не будет использован регистр выходных значений Output value register.

Использование генератора взвешенного теста. В работе предлагается использование генератора взвешенного теста, построенного таким образом, что выбранные в схеме линии будут непосредственно управляемыми, т.е. на линию с низкой управляемостью нуля (C_0) будет подаваться тестовая последовательность, содержащая в себе преимущественно логический ноль. В свою очередь, линии, содержащие низкую управляемость единицы (C_1), будут непосредственно управляемы логической единицей. Для внедрения генератора взвешенного теста выбираются внутренние линии с низкими показателями управляемости. При этом линии с низким значением управляемости нуля будут управляемы дополнительным элементом AND (NOR), встроенным в генератор тестовой последовательности. Таким же образом должна будет улучшена управляемость единицы – путем использования дополнительных элементов NAND (OR).

Использование пути сканирования. В качестве дополнительной стратегии предлагается использовать метод модификации, как представлено в [9]. Для этого необходимо выбрать 3-5% линий с низким показателем наблюдаемости.

Для схемы из примера исчерпывающий тест составляет 16 векторов.

Таблица 2. Результаты моделирования неисправностей схемы до модификации

№	Тест-вектор	Качество теста, Q%	Проверяемые неисправности на тест-векторе
1	0000	3.846	y-1
2	0001	11.538	x5-1, x7-1
3	0010	11.538	
4	0011	15.385	x1-1
5	0100	15.385	
6	0101	15.385	
7	0110	15.385	
8	0111	19.231	a-1
9	1000	19.231	
10	1001	19.231	
11	1010	19.231	
12	1011	23.077	b-1
13	1100	26.923	x2-1
14	1101	30.769	c-1
15	1110	34.615	d-1
16	1111	76.923	c-0 a-0 b-0 d-0 x1-0 x6-0 x5-0 x7-0 x8-0 y-0

Схема преднамеренно была выбрана избыточной для более наглядного представления результатов моделирования при использовании АС-НОС технологий на основе предложенного метода.

Из результатов моделирования видно, что линии x3, x4 не проверяются тестом вообще, а на линиях x6, x8 отсутствует проверка неисправности «константа 1».

Для модификации удобно ввести в схему дополнительные наблюдаемые выходы. В общем случае дополнительные выходные линии определяются путем вычисления наблюдаемости $O(X_i)$. В данной схеме непроверяемыми являются линии x_4 и x_3 . По существующему ограничению на количество дополнительных выводов схемы (5%), зависящее от количества выводов и вентилях схемы и её размера, в схеме из примера наблюдаемой линии можно выбрать только одну из множества внутренних линий $\{a, b, c, d, x_1, x_2, x_3, x_4, x_5, x_6, x_7, x_8, y\}$. Сначала выбирается линия x_3 и проводится моделирование неисправностей на заданном тесте (исчерпывающий тест 16 векторов). В табл. 2 представлены результаты моделирования с выбранной линией x_3 в качестве дополнительного наблюдаемого выхода. Затем выбирается линия x_4 и аналогично проводится моделирование неисправностей.

Моделирование на выбранных линиях не дало ожидаемого результата, дополнительный вход x_3 дает качество теста $Q=84,769\%$ и 21 проверяемую неисправность из 26. Дополнительный выход x_4 дает качество теста $Q=80,769\%$ и 21 проверяемую неисправность из 26. Даже обе линии x_3, x_4 не дают ощутимого улучшения качества теста и повышения процента проверяемых неисправностей. Так, при моделировании схемы с выбранными дополнительными выходами x_3 и x_4 было получено качество теста $Q=92,308\%$ и 24 проверяемые неисправности из 26. На производстве оптимальным является качество теста в диапазоне от 95 до 99% [3]. Таким образом, полученное качество теста не превышает даже минимального порога 95%. В [3] также упоминается, что точками контроля (дополнительные линии) лучше выбирать не те линии, которые не проверяются заданным тестом, а те, которые находятся в схеме сразу за этими линиями (линии, которые ближе к выходу). Предлагаемый метод разработан таким образом, чтобы низкая наблюдаемость указывала на именно такие линии, которые являются оптимальными для выбора их наблюдаемыми. Из табл. 2 видно, что наихудшую наблюдаемость имеет линия x_6 . Таким образом, линия x_6 выбирается как дополнительный наблюдаемый выход. Далее проводится моделирование неисправностей с дополнительным выходом x_6 . Качество теста в этом случае $Q=96,154\%$, проверяется 25 неисправностей из 26.

Начальное качество теста на схеме до модификации $Q=76,923\%$, при дополнительном выходе x_3 , выбранном как непроверяемая линия, $Q=84,615\%$, при дополнительном выходе x_4 $Q=80,796\%$, при дополнительном выходе x_6 , выбранном по предлагаемому методу, $Q=96,154\%$. Выбор линий по предлагаемому методу анализа тестопригодности дал на схеме из примера увеличение на 19, 231%. Выбор непроверяемых линий в качестве дополнительных наблюдаемых выходов дал повышение качества теста на 7,692%.

Если разработчик ограничен во введении дополнительных линий наблюдения, предлагается использование генератора взвешенного теста, построенного на основе показателей управляемости.

4. Результаты и выводы

Научная новизна. Предложен метод анализа тестопригодности, а также стратегия поиска контрольных точек и модификации устройства на вентильном уровне и уровне регистровых передач.

Практическая значимость полученных результатов: 1. До внедрения в схему генератора теста система на кристалле должна быть разбита на подсхемы и для каждой подсхемы выбран определенный метод анализа и генерации тестов. Метод может быть использован на схемах, содержащих более 100000 – 1000000 вентилях, что позволит упростить разбиение схемы на подсхемы в случае использования технологий BIST, в то время как ранее представленные методы [4,8] дают недопустимые показатели наблюдаемости и, соответственно, тестопригодности уже на схемах, содержащих 20000 вентилях (TADATPG) и 243 логических вентиля (CAMELOT метод). 2. Метод может быть использован на всех стадиях проектирования – на системном (алгоритмическом) уровне, на уровне регистровых передач (послесинтезное структурное описание), на вентильном уровне описания устройства. 3. Предлагаемый метод имеет более распределенные значения в интервале $[0;1]$, по сравнению с ранее упомянутыми методами, что позволяет более адекватно выбирать точки контроля, по сравнению с ранее разработанными методами. 4. Аппаратурные затраты при использовании взвешенного теста составляют порядка 30-35%

от общего количества вентилях в схеме. В [4,6] описаны аппаратные затраты на путь сканирования – 60 – 110% (для комбинационных схем) и до 250% для последовательностных схем. Анализ можно проводить как на досинтезной структуре, так и на устройстве, обработанном средствами синтеза (устройство может быть разложено до вентиляльного уровня, для которого и предполагается внедрение генератора взвешенных тестов).

Список литературы: 1. *IEEE Std 1149.1-2001, IEEE Standard Test Access Port and Boundary-Scan Architecture.* New York. 2001. 208p. 2. *IEEE P1500/D11, Draft Standard Testability Method for Embedded Core-based Integrated Circuits,* New York. 2005. 138p. 3. *Stroud C.E. A Designer's Guide to Built-in Self-Test.* Kluwer Academic Publishers, 2002. 320 p. 4. *Kulak E.N., Kaminska M.O., Hassan Kteiman, Wade Ghribi.* Heuristic method of testability analysis for digital system testing by deterministic test // *Radioelectronics and informatic.* № 3. Kharkov. 2005. P. 113-119. 5. *Беннеттс Р. Дж.* Проектирование тестопригодных логических схем: Пер. с англ. М.: Радио и связь; 1990. 176 с. 6. *Gert Jervan, Petru Eles, Zebo Peng, Raimund Ubar, Maxim Jenihhin.* Hybrid BIST time minimization for Core-Based systems with STUMPS Architecture // *Proceedings of the 18th IEEE International Symposium on Defect and Tolerance in VLSI Systems.* 2003. 4p. 7. *Gert Jervan, Petru Eles, Zebo Peng, Raimund Ubar, Maxim Jenihhin.* Test Time minimization for Hybrid BIST of Core-Based Systems // *Proceedings of the 12th Asian Test Symposium.* 2003. 4p. 8. *Richard Mundhen.* ASIC and FPGA Verification: A guide to Component Modeling // Morgan Kaufmann Publishers is an imprint of Elsevier, United States of America. 9. *Кулак Э.Н., Каминская М.А.* Модификация цифровых схем с использованием метода анализа тестопригодности TADATPG (часть 2) // *Радиоэлектроника и информатика.* 2005. № 4. С. 60-68. 10. *Bennetts R.G., Maunder C. M., and Robinson G. D.* CAMELOT: A Computer-Aided Measure for Logic Testability. *IEEE Proc.*, Vol. 128, Part E, No. 5, pp. 177-189, 1981. 11. *Каминская М.А., Кулак Э.Н.* Использование анализа тестопригодности для повышения качества теста и производительности встроенных средств самотестирования // *Вестник восточнoукраинского национального университета.* 2008. №12(130). С. 24-33.

Поступила в редколлегию 11.06.2009

Кулак Эльвира Николаевна, доцент кафедры АПВТ ХНУРЭ. Научные интересы: тестопригодное проектирование цифровых устройств. Адрес: Украина, 61166, Харьков, пр.Ленина, 14, тел. 70-21-326.

Каминская Марина Александровна, ассистент кафедры АПВТ ХНУРЭ. Научные интересы: тестопригодное проектирование цифровых устройств. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 70-21-326.

Константинова Юлия Константиновна, студентка группы СКСм-08-1 факультета компьютерной инженерии и управления ХНУРЭ. Научные интересы: тестопригодное проектирование цифровых устройств. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 70-21-326.