

## ОСОБЛИВОСТІ ПРОЕКТУВАННЯ ЦИФРОВИХ ПРИСТРОЇВ НА БАЗІ FPGA XILINX В САПР VIVADO HLx DESIGN SUITE

доцент, к.т.н., Свид І.В., студент Литвиненко О.В.,  
студент Білоцерківець О.Г.

Харківський національний університет радіоелектроніки,  
кафедра Мікропроцесорних технологій і систем,  
Україна, 61166, Харків, пр. Науки 14  
E-mail: iryna.svyd@nure.ua

**Abstract.** The new generation of CAD Vivado HLx Design Suite is designed to assist developers in solving the problem - the high complexity of obtaining FPGA tracing with a volume of hundreds of thousands and millions of logic cells in a reasonable time frame and with high quality.

**Вступ.** САПР Vivado HLx Design Suite – це комплекс програмних засобів з високим ступенем інтеграції, призначений для розробки цифрових пристроїв і вбудованих мікропроцесорних систем на базі ПЛІС з архітектурою FPGA і розширюваних обчислювальних платформ фірми Xilinx. Цей комплекс реалізує повний цикл наскрізного проектування, що включає етапи створення вихідних описів проекту, синтезу, моделювання, розміщення і трасування в кристалі, конфігурації кристалів, також внутрікристального апаратного налагодження. На момент підготування матеріалів остання доступна версія САПР Vivado 2018.3 (<https://www.xilinx.com/support/download.html>), яка представлена - Vivado Design Suite HLx Editions, Vivado HLx WebPACK and Editions, Vivado Lab Solutions, Vivado Hardware Server, Vivado Design Suite HLx Edition free for 30 days. Кожна версія САПР серії Xilinx Vivado HLx Design Suite надається в двох варіантах, призначених для роботи в середовищі операційних систем (ОС) Windows і Linux.

Нове покоління САПР Vivado HLx Design Suite покликане надати допомогу розробникам у вирішенні проблеми - високої складності отримання трасування ПЛІС об'ємом в сотні тисяч і мільйони логічних комірок в прийнятні терміни і з високою якістю.

**Основна частина.** Перед початком проектування необхідно визначитися з вибором методу опису розроблюваного пристрою і, відповідно, засобів синтезу. Останнім часом зазвичай використовують мови опису апаратури HDL (Hardware Description Language) високого рівня VHDL і Verilog, але також можна використовувати C, C++, SystemC та Open Computing Language (OpenCL) API C.

В САПР серії Xilinx Vivado HLx Design Suite вихідна інформація про розробляемі пристрої і його функціональні блоки може бути представлена у вигляді описів на мовах HDL, IP (intellectual property)-ядер, а також пакетів і бібліотек користувача. Інструменти розробки пристроїв цифрової обробки сигналів Xilinx System Generator for DSP, що входять до складу

редакції Vivado HL System Edition, дозволяють застосовувати для цієї мети засоби модельно-орієнтованого проектування MATLAB і Simulink компанії MathWorks, крім того, засоби високорівневого синтезу High-Level Synthesis (HLS).

Розглянемо типовий маршрут розробки цифрових пристроїв з використанням мов HDL і IP-ядер, що надаються центральним депозитарієм САПР серії Xilinx Vivado HLx Design Suite. В цьому випадку в процесі проектування можна виділити наступні етапи: 1) вибір сімейства і типу кристала програмованої логіки для реалізації розроблюваного пристрою; 2) створення нового проекту в САПР серії Xilinx Vivado HLx Design Suite; 3) підготовка модулів вихідного опису проектного пристрою і його функціональних блоків на обраною мовою HDL, а також модулів часових і топологічних обмежень; 4) конфігурація застосовуваних IP-ядер і включення їх до складу формованого опису розроблюваного пристрою; 5) верифікація вихідних описів проектного пристрою методом поведінкового моделювання; 6) логічний синтез проектного пристрою; 7) верифікація синтезованого опису проектного пристрою методом функціонального моделювання; 8) аналіз результатів логічного синтезу; 9) реалізація проекту розроблювального пристрою в кристалі програмованої логіки; 10) аналіз результатів розміщення та трасування; 11) часткове і повне часове моделювання проектного пристрою, яке виконує з урахуванням затримок поширення сигналів усередині кристала; 12) формування конфігураційної послідовності ПЛІС, відповідної проекту розроблюваного пристрою; 13) конфігурація ПЛІС (завантаження проекту розробленого пристрою в кристал програмованої логіки); 14) внутрікристальне апаратне налагодження проектного пристрою з використанням відповідного інструментального модуля; 15) програмування конфігураційного ППЗУ.

**Висновки.** Маршрут проектування в САПР Vivado орієнтований на інтенсивне використання IP-ядер, HLS, C, C ++, SystemC. Важливою властивістю Vivado є можливість управління всім циклом розробки за допомогою скриптової мови Tcl. Це дає більш гнучкі можливості опису проектних обмежень, що полегшують побудову масштабованих проектів.

### СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Vivado Design Suite User Guide. Release Notes, Installation and Licensing. Xilinx, 2018.
2. Соловьев В. В. Архитектуры ПЛИС фирмы XILINX: CPLD и FPGA 7-й серии / В. В. Соловьев. – Москва: Горячая линия - Телеком, 2016.
3. Зотов В. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы Xilinx. – М.: Горячая линия – Телеком, 2006.
4. Зотов В. Проектирование цифровых устройств на базе ПЛИС фирмы Xilinx в САПР серии Vivado HLx Design Suite. Часть 1 // Компоненты и технологии. 2016. № 7.