



МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **119896** (13) **U**
(51) МПК (2017.01)
Н03М 7/00

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

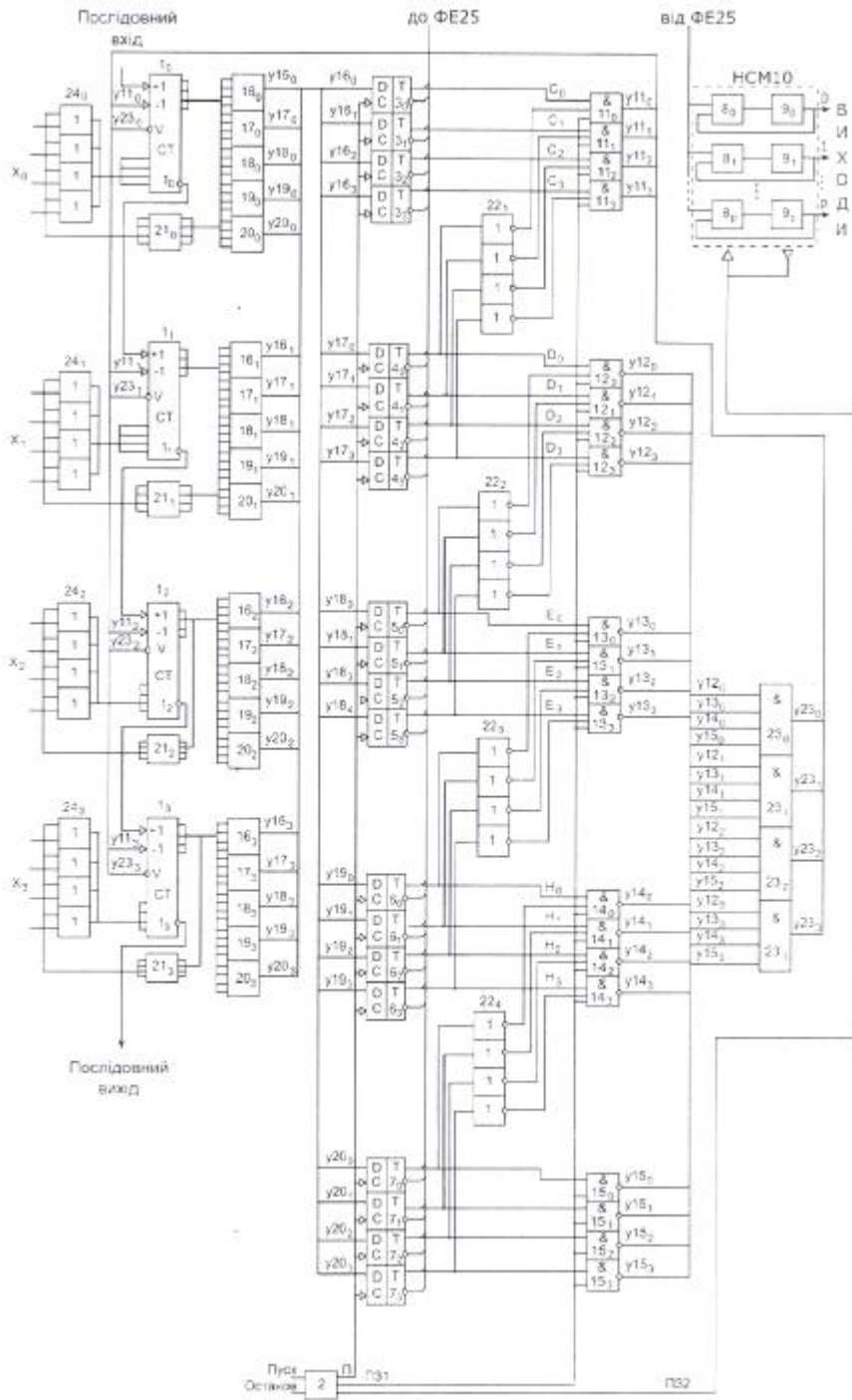
(21) Номер заявки: u 2017 04607	(72) Винахідник(и): Какурін Микола Яковлевич (UA), Хаханов Володимир Іванович (UA), Литвинова Євгенія Іванівна (UA), Вареца Віталій Вікторович (UA), Макаренко Ганна Миколаївна (UA)
(22) Дата подання заявки: 12.05.2017	
(24) Дата, з якої є чинними права на корисну модель: 10.10.2017	
(46) Публікація відомостей про видачу патенту: 10.10.2017, Бюл.№ 19	(73) Власник(и): ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ РАДІОЕЛЕКТРОНІКИ (ХНУРЕ), пр. Леніна, 14, м. Харків, 61166 (UA)

(54) ПЕРЕТВОРЮВАЧ ДВІЙКОВО-К-ЗНАЧНОГО КОДУ В ДВІЙКОВИЙ КОД

(57) Реферат:

Перетворювач двійково-К-значного коду у двійковий код містить (n-1) лічильник старших розрядів, один лічильник молодшого розряду, генератор імпульсів, що має прямий вихід та перший і другий прямі затримані виходи, першу групу CD-тригерів, перший регістр стану, другу групу CD-тригерів, другий регістр стану, третю групу CD-тригерів, третій регістр стану, комбінаційний двійковий суматор та регістр результату, що утворюють у сукупності накопичувальний суматор НСМ, виходи якого є виходами перетворювача коду, першу і другу групи з n елементів I, першу і другу групи з n елементів I-НІ, першу і другу групи з n елементів НІ, в кожному розряді дешифратор нуля, дешифратора рівняння або перевищення кроку a, В перетворювач коду додатково введена четверта і п'ята групи CD-тригерів стану, третя і четверта групи елементів НІ, третя і четверта групи елементів I-НІ, по два додаткових входи (третьому і четвертому) в кожний елемент I другої групи, в кожний розряд введено по додатковому дешифратору рівняння або перевищення четвертого кроку c і по додатковому дешифратору рівняння або перевищення п'ятого кроку d. В формувач еквівалентів додатково введені четвертий і п'ятий дешифратори, четвертий і п'ятий шифратори, дві групи із n елементів I на входах третього і четвертого дешифраторів та два додаткових комбінаційних суматори.

UA 119896 U



Фіг. 1

Корисна модель належить до автоматики і обчислювальної техніки і може бути використана при побудові пристроїв обробки і перетворення інформації.

Відомий двокроковий перетворювач двійково-К-значного коду у двійковий код (Патент України на корисну модель № 102262, МПК Н03М 7/00, опубл. 26.10.2015, Бюл. № 20) з послідовним використанням двох різних кроків перетворення, що містить (n-1) лічильник СТ старших розрядів і один лічильник СТ молодшого розряду для зберігання цифр К-значного коду (всього n лічильників), генератор імпульсів, що вміщує прямий П, прямі затри мані ПЗ1 і ПЗ2 виходи, дві групи CD-тригерів (перший та другий реєстри стану), комбінаційний двійковий суматор та реєстр результату, що утворюють у сукупності накопичувальний суматор НСМ, групу з n елементів I та групу з n елементів I-НІ, групу з n дешифраторів нуля, групу з n дешифраторів перевищення, групу з n кодових шифраторів, формувач еквівалентів, що містить два дешифраторі та шифратор, n груп елементів АБО для запису розрядів коду зі входів перетворювача у лічильники, елемент АБО=НІ. Перетворення двійково-К-значного коду у двійковий код потребує двох етапів. На першому етапі використовується крок a, на другому етапі - крок 1. На першому етапі перетворення потрібно] (K-1)/a [тактів, де дужки] [означають округлення до меншого цілого, на другому етапі - (a-1) такт. Таким чином, максимальна кількість кроків для перетворення двійково-К-значного коду у двійковий код не перевищує значення $N_2 = \lceil (K-1)/a \rceil + a - 1$ (1). При K=12 та a=2 маємо $N_2=6$, а при K=12 та a=4 маємо $N_2=5$.

Недостатньо велика швидкодія аналога зумовлена малою кількістю кроків перетворення та послідовною стратегією їх використання.

Найближчим аналогом по сукупності ознак до корисної моделі, що заявляється, є перетворювач двійково-К-значного коду у двійковий код (Патент України на корисну модель № 111884, МПК Н03М 7/00, опубл. 25.11.2016, Бюл. № 22) з паралельним використанням трьох різних кроків перетворення, який містить (n-1) лічильник старших розрядів, один лічильник молодшого розряду, генератор імпульсів, що вміщує прямий вихід та перший і другий прямі затримані виходи, першу групу CD-тригерів, перший реєстр стану, для відображення ненульового стану відповідного розрядного лічильника, другу групу CD-тригерів, другий реєстр стану, для відображенню рівняння або перевищення кроку a станом відповідного розрядного лічильника, третю групу CD-тригерів, третій реєстр стану, для відображенню рівняння або перевищення кроку b станом відповідного розрядного лічильника, комбінаційний двійковий суматор та реєстр результату, що утворюють у сукупності накопичувальний суматор НСМ, першу і другу групу з n елементів I, першу і другу групу з n елементів I-НІ, першу і другу групу з n елементів НІ, в кожному розряді дешифратор нуля, дешифратора рівняння або перевищення кроку a, в кожному розряді дешифратор рівняння або перевищення кроку b, в кожному розряді кодовий шифратор, що на виході формує значення коду зменшене на значення третього кроку b, у разі рівняння або перевищення кроку b, формує значення коду, зменшене на значення другого кроку a, у разі рівняння або перевищення кроку a відповідним лічильником і одночасно маючим значення менше кроку b, у разі, коли значення стану відповідного лічильника менше кроку a, кодовий шифратор передає код зі входу на вихід без зміни, n груп елементів АБО для запису розрядів коду зі входів перетворювача у лічильники відповідних розрядів, формувач еквівалентів ФЕ, що складається з першого, другого та третього дешифраторів, першого, другого та третього шифраторів, першого та другого комбінаційних суматорів та двох груп двовходових елементів I на входах першого і другого дешифраторів у ФЕ. Перетворення числа виконується за три етапи наступним чином. За допомогою дешифраторів нуля виконується аналіз значень усіх розрядів на нуль, за допомогою дешифраторів перевищення кроку a виконується аналіз значень усіх розрядів на рівняння або перевищення кроку a, а за допомогою дешифраторів перевищення кроку b виконується аналіз значень усіх розрядів на рівняння або перевищення кроку b. Двійкові показники ненульових значень усіх розрядів з виходів дешифраторів ненульових значень записуються в перший реєстр стану, в той же час двійкові показники ненульових значень усіх розрядів з виходів дешифраторів перевищення кроку a і кроку b записуються у відповідні розряди другого і відповідно третього реєстра стану. За допомогою ФЕ двійковий код усіх тригерів першого, другого і третього реєстрів стану перетворюється в двійковий код еквіваленту, який по задньому фронту прямого затриманого імпульсу ПЗ2 додається до накопиченої суми еквівалентів у накопичувальному суматорі НСМ. Вибір оптимального значення кількості тактів перетворення N_2 згідно формули (2) $N_2 = \lceil (K-1)/b \rceil + (b-1)/a + (a-1)$ (2), де дужки $\lceil \rceil$ означають округлення до більшого цілого, дає при 10=12, b=5 та a=2 мінімальне значення $N_2=3$. Кількість кроків перетворення не залежить від кількості розрядів коду n і дорівнює 3 тактам при K=12, b=5 та a=2.

Недоліком прототипу є невисока швидкодія перетворення коду.

В основу корисної моделі поставлена задача підвищення швидкодії трикрокового перетворювача двійково-К-значного коду у двійковий код за рахунок використання паралельної стратегії п'ятьох різних кроків перетворення та нового схемного рішення.

Поставлена задача вирішується тим, що в перетворювач двійково-К-значного коду у двійковий код, що містить $(n-1)$ лічильник старших розрядів, один лічильник молодшого розряду, генератор імпульсів, що вміщує прямий вихід та перший і другий прямі затримані виходи, першу групу CD-тригерів, перший регістр стану, для відображення ненульового стану відповідного розрядного лічильника, другу групу CD-тригерів, другий регістр стану, для відображення рівняння або перевищення кроку a станом відповідного розрядного лічильника, третю групу CD-тригерів, третій регістр стану, для відображення рівняння або перевищення кроку b станом відповідного розрядного лічильника, комбінаційний двійковий суматор та регістр результату, що утворюють у сукупності накопичувальний суматор НСМ, виходи якого є виходами перетворювача коду, першу і другу групи з n елементів I, першу і другу групи з n елементів I-НІ, першу і другу групи з n елементів НІ, в кожному розряді дешифратор нуля, дешифратора рівняння або перевищення кроку a , в кожному розряді кодівий шифратор, що на виході формує значення коду зменшене на значення третього кроку b , у разі рівняння або перевищення кроку b , формує значення коду, зменшене на значення другого кроку a , у разі рівняння або перевищення кроку a відповідним лічильником і одночасно маючим значення менше кроку b , у разі, коли значення стану відповідного лічильника менше кроку a , кодівий шифратор передає код зі входу на вихід без зміни, n груп елементів АБО для запису розрядів коду зі входів перетворювача у лічильники відповідних розрядів, причому другі входи кожної з n груп елементів АБО є інформаційними входами для запису значень відповідних розрядів, а перші входи кожної з n груп елементів АБО з'єднані з відповідними виходами відповідних кодівих шифраторів, входи яких в кожному розряді з'єднані з відповідними виходами лічильника цього розряду, а також з відповідними входами дешифратора нуля, дешифратора рівняння або перевищення кроку a , дешифратора рівняння або перевищення кроку b , виходи дешифраторів нуля з'єднані з відповідними інформаційними D-входами тригерів першої групи, першого регістра стану, виходи дешифраторів рівняння або перевищення кроку a з'єднані з відповідними інформаційними D-входами тригерів другої групи, виходи дешифраторів рівняння або перевищення кроку b з'єднані з відповідними інформаційними D-входами тригерів третьої групи, входи синхронізації тригерів усіх трьох груп з'єднані, з прямим виходом генератора імпульсів, прямі виходи тригерів першого регістра стану з'єднані з відповідними першими входами елементів I першої групи, другі відповідні входи елементів I першої групи з'єднані з відповідними виходами елементів НІ першої групи, входи яких у відповідних розрядах з'єднані з прямим виходом тригерів стану другої групи, перші входи елементів I-НІ першої і другої груп з'єднані з прямим виходом тригера стану відповідно другої і третьої групи, другі входи елементів I-НІ першої групи з'єднані з відповідними виходами елементів НІ другої групи, входи яких у відповідних розрядах з'єднані з прямим виходом тригера стану третього регістра, входи синхронізації тригерів стану усіх трьох груп з'єднані з прямим виходом генератора імпульсів, треті входи елементів I першої групи, треті входи елементів I-НІ першої групи, а також другі входи елементів I-НІ другої групи з'єднані з першим затриманим імпульсом генератора імпульсів, інверсні входи елементів I-НІ першої і другої групи у кожному розряді з'єднані відповідно з першим і другим входом елемента I другої групи цього розряду, входи елементів I другої групи з'єднані з інверсним входом V у лічильнику відповідного розряду, входи елементів I першої групи з'єднані з входом віднімання -1 у лічильнику відповідного розряду, входи переповнення усіх лічильників, за винятком самого найстаршого, з'єднані зі входом $+1$ лічильника наступного розряду, вхід $+1$ лічильника молодшого розряду є входом запису числа для перетворення у число-імпульсному кодї, формувач еквівалентів ФЕ, що складається з першого, другого та третього дешифраторів, першого, другого та третього шифраторів, першого та другого комбінаційних суматорів та двох груп двовходових елементів I на входах першого і другого дешифраторів у ФЕ, перші входи елементів I першої і другої груп з'єднані з відповідними прямими інформаційними виходами D-тригерів першого і відповідно другого регістра стану, другі входи яких з'єднані з інверсними виходами D-тригерів другого і відповідно третього регістра стану у відповідному розряді, інверсні входи синхронізації усіх дешифраторів у формувачі еквівалентів з'єднані з землею, інверсні входи першого, другого і третього дешифраторів з'єднані з відповідними входами першого, другого і третього шифраторів, входи другого і третього шифраторів з'єднані з відповідними входами першої і другої групи входів першого комбінаційного суматора, входи першого шифратора з'єднані з відповідними входами першої групи входів у другому комбінаційному суматорі, входи першого комбінаційного суматора з'єднані з відповідними

входами другої групи входів другого комбінаційного суматора у формувачі еквівалентів, управляючий вхід накопичувального суматора з'єднаний з другим затриманим виходом генератора імпульсів, а виходи накопичувального суматора з'єднані з інформаційними виходами перетворювача коду, згідно корисної моделі, в перетворювач коду додатково введена

5 четверта і п'ята групи CD-тригерів стану, третя і четверта групи елементів HI, третя і четверта групи елементів I-HI, по два додаткових входи {третьому і четвертому} в кожний елемент I другої групи, в кожний розряд введено по додатковому дешифратору рівняння або перевищення четвертого кроку с і по додатковому дешифратору рівняння або перевищення

10 п'ятого кроку d, а в формувачі еквівалентів додатково введені четвертий і п'ятий дешифратори, четвертий і п'ятий шифратори, дві групи із n елементів I на входах третього і четвертого дешифраторів та два додаткових комбінаційних суматори, інверсні входи синхронізації четвертого і п'ятого дешифраторів у формувачі еквівалентів з'єднані з землею, а інверсні виходи четвертого і п'ятого дешифраторів з'єднані з відповідними входами четвертого і п'ятого шифраторів, інверсні виходи яких з'єднані з відповідними входами першої і другої групи входів

15 першого додаткового комбінаційного суматора у формувачі еквівалентів, виходи першого додаткового комбінаційного суматора з'єднані з відповідними входами другої групи входів другого додаткового комбінаційного суматора, перші входи якого з'єднані з відповідними виходами першого основного суматора у формувачі еквівалентів, виходи другого додаткового комбінаційного суматора з'єднані з відповідними входами другого основного суматора, виходи

20 четвертого дешифратора рівняння і перевищення кроку с з'єднані з відповідними інформаційними D-входами тригерів четвертого регістра стану, виходи п'ятого дешифратора рівняння і перевищення кроку d з'єднані з відповідними інформаційними D-входами тригерів п'ятого регістра стану, входи синхронізації яких з'єднані з прямим виходом генератора імпульсів, прямі виходи тригерів стану четвертої і п'ятої групи з'єднані з відповідними першими

25 входами елементів I-HI четвертої і п'ятої групи, треті входи яких у четвертій групі елементів I-HI і другі входи яких у п'ятій групі елементів I-HI з'єднані з першим затриманим імпульсом генератора імпульсів, інверсні виходи елементів I-HI четвертої і п'ятої групи з'єднані відповідно з третім і четвертим входами елементів I другої групи, прямі виходи тригерів стану четвертої

групи з'єднані з відповідними входами елементів HI третьої групи, виходи з'єднані з відповідними другими входами елементів I-HI третьої групи, прямі виходи тригерів стану п'ятої

30 групи з'єднані з відповідними входами елементів HI четвертої групи, виходи яких з'єднані з відповідними другими входами елементів I-HI третьої групи, інверсні виходи яких з'єднані з відповідними третіми входами елементів I другої групи, перші входи елементів I на входах четвертого дешифратора у формувачі еквівалентів з'єднані з відповідним прямим виходом

35 тригера третього регістра стану, другі входи елементів I на входах третього дешифратора з'єднані з відповідним інверсним виходом тригера цього розряду, але четвертого регістра стану, виходи елементів I на входах четвертого дешифратора з'єднані з відповідним виходом цього дешифратора, перші входи елементів I на входах четвертого дешифратора у формувачі

еквівалентів з'єднані з відповідним прямим виходом тригера четвертого регістра стану, другі

40 входи елементів I на входах четвертого дешифратора з'єднані з відповідним інверсним виходом тригера цього розряду, але п'ятого регістра стану, виходи елементів I на входах четвертого дешифратора з'єднані з відповідним виходом четвертого дешифратора, інформаційні входи п'ятого дешифратора з'єднані у відповідному розряді з прямим виходом тригера п'ятого регістра стану.

45 На фіг. 1 зображена структурна схема перетворювача двійково-K-значного коду в двійковий код для узагальненої кількості розрядів $n=4$.

На фіг. 2 приведена структурна схема формувача еквівалентів для перетворювача коду.

У таблиці 1 показана послідовність перетворення кожної із цифр системи числення $K=12$, на що достатньо всього двох тактів.

50 У таблиці 2(перша і друга частини) наведена послідовність перетворення числа $X=11,7,3,8$ із $K=12$ у $K=2$ при кроках $d=8$, $c=4$, $b=3$, $a=2$ і першому кроку 1.

Перетворювач коду містить в кожному розряді лічильник 1 (СТ), генератор імпульсів 2, що

55 вміщує прямий вихід (П), перший прямий затриманий (ПЗ1) і другий прямий затриманий (ПЗ2) виходи, групу з n CD-тригерів 3 для відображення ненульового стану кожного відповідного розрядного лічильника 1, групу з n CD-тригерів 4 для відображення рівняння або перевищення кроку a станом відповідного розрядного лічильника 1, групу з n CD-тригерів 5 для відображення

рівняння або перевищення кроку b станом відповідного розрядного лічильника 1, групу з n CD-тригерів 6 для відображення рівняння або перевищення кроку c станом відповідного розрядного

60 лічильника 1, групу з n CD-тригерів 7 для відображення рівняння або перевищення кроку d станом відповідного розрядного лічильника 1, комбінаційний двійковий суматор 8 та регістр

результату 9, що утворюють у сукупності накопичувальний суматор 10 (НСМ10), виходи якого є виходами перетворювача коду, першу групу з n елементів I 11 та чотири групи з n елементів I-II 12, I-II 13, I-II 14 і I-II 15, групу з n дешифраторів нуля 16, першу групу з n дешифраторів перевищення кроку a 17, другу групу з n дешифраторів перевищення кроку b 18, третю групу з n дешифраторів перевищення кроку c 19, четверту групу з n дешифраторів перевищення кроку d 20, групу з n кодових шифраторів 21, чотири групи інверторів 22₁, 22₂, 22₃ і 22₄ по n елементів II в кожній, другу групу з n елементів I 23, n груп елементів АБО 24₀, 24₁, 24₂, 24₃, формувач еквівалентів 25 (ФЕ25), що складається з першого, другого, третього, четвертого і п'ятого дешифраторів DC 1 з інверсними виходами 26₁, 26₂, 26₃, 26₄ і 26₅, п'ятьох шифраторів CD 1 27₁, 27₂, 27₃, 27₄, 27₅, чотирьох комбінаційних суматорів SM1 28₁, SM1 28₂, SM2 28₃, SM2 28₄ та чотирьох груп 29₁, 29₂, 29₃ і 29₄ по n елементів I в кожній на входах перших чотирьох дешифраторів DC 1 26₁, 26₂, 26₃, і 26₄...

Пристрій працює наступним чином.

Розглянемо послідовність перетворення числа $X=x_3 \times 2x_1 \times 0=11,7,3,8$ із $K=12$ у $K=2$ при $d=8$, $c=4$, $b=3$, $a=2$ і першому кроку 1. Після запису коду у лічильники 1 двійкові значення з дешифраторів нуля 16, першого 17, другого 18, третього 19 і четвертого 20 дешифраторів перевищення на кожному такті перетворення записуються у відповідні розряди тригерів групи 3 C3 C2 C1 C0, групи 4 D3 D2 D1 D0, групи 5 E3 E2 E1 E0, групи 6 F3 F2 F1 F0 і групи 7 H3 H2 H1 H0. Спочатку (на першому такті) перетворення числа виконується з кроком $d=8$ у 3 і 0 розрядах числа, з кроком $c=4$ у розряді 2 і з кроком $b=3$ у розряді 1 (стовпчик 3 ліворуч у таблиці 2). В результаті у суматорі одержимо десяткове число 14444. На другому такті перетворення числа у розрядах 3,2,1,0 застосовуються відповідно кроки 3,3,0,0. Значення коду еквівалента, що видає на виході формувач еквівалентів ФЕ 25, залежить від кодів на входах дешифраторів 26₁, 26₂, 26₃, 26₄, 26₅ та настройки шифраторів CD1 27₁, 27₂, 27₃, 27₄, 27₅. Загальний вигляд виразу на виході п'ятого дешифратора DC1 26₅ може змінюватися від $S(DC 26_5) = 0$ до $S(DC26_5) = d \cdot K^3 + d \cdot K^2 + d \cdot K^1 + d \cdot K^0$; при $x_i \geq d$: Аналогічно загальний вигляд виразу на виході четвертого дешифратора може змінюватися від $S(DC26_4) = 0$: до $S(DC26_4) = c \cdot K^3 + c \cdot K^2 + c \cdot K^1 + c \cdot K^0$; на виході третього дешифратора вираз може змінюватися від $S(DC26_3) = 0$: до $S(DC26_3) = b \cdot K^3 + b \cdot K^2 + b \cdot K^1 + b \cdot K^0$; на виході другого дешифратора вираз може змінюватися від $S(DC26_2) = 0$: до $S(DC26_2) = a \cdot K^3 + a \cdot K^2 + a \cdot K^1 + a \cdot K^0$; і на виході першого дешифратора - від $S(DC26_1) = 0$ до $S(DC26_1) = K^3 + K^2 + K^1 + K^0$; Значення десяткового коду на виході ФЕ25 на другому такті дорівнює числу 5616, тобто $y(ФЕ25) = 312^3 + 312^2 + 5184 + 432 = 5616$: Сумарне значення двох чисел:(на першому такті числа 14444 і на другому такті числа 5616) дає в результаті число $y(НСМ10) = 20060_{10} = 100 1110 0101 1100_2$.

Перед кожним наступним перетворенням необхідно обнулити регістр результату у суматорі та лічильники усіх розрядів. Запропонована корисна модель має достатньо високу швидкодію і може бути використана в пристроях діагностування і статистичної обробки інформації.

Таблиця 1

Номер такту N	Цифри системи числення 12. Кроки 8,4,3,2,1											
0	11	10	9	8	7	6	5	4	3	2	1	0
1	3	2	1	0	3	2	1	0	0	0	0	0
2	0	0	0	0	0	0	0	0	0	0	0	0

Таблиця 2

Номер Такту N	Число $x_3 \times 2x_1 \times 0$	Кроки перетворення d, c, b, a, 1	П'ятий регістр H ₃ -H ₀	Четвертий регістр F ₃ -F ₀	Третій регістр E ₃ -E ₀	Другий регістр D ₃ -D ₀	Перший регістр C ₃ -C ₀
0	11,7,3,8	00000	0000	0000	0000	0000	0000
1	3,3,0,0	8,4,3,8	1001	1101	1111	1111	1111
2	0,0,0,0	3,3,0,0	0000	0000	1100	1100	1100

40

Таблиця 2 (продовження табл. 2)

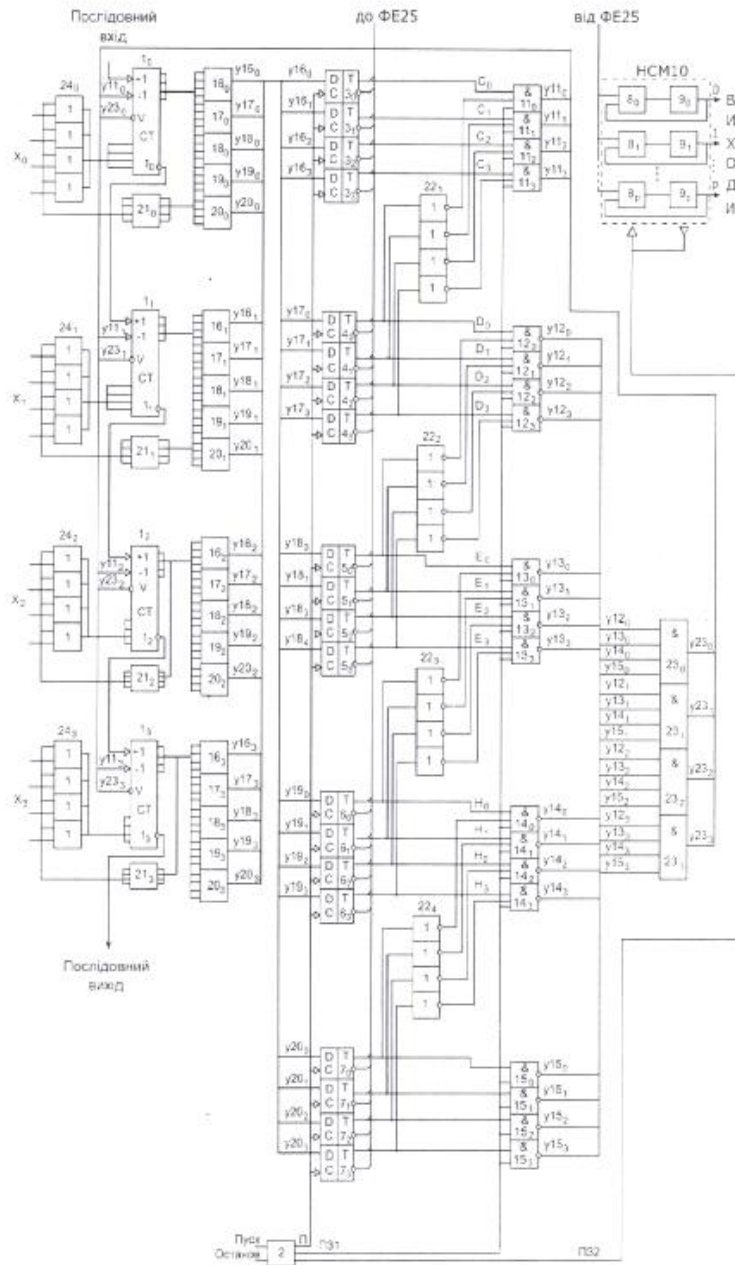
Номер Такту	Десятковий код	Десятковий код	Двійковий код суматора HCM10			
			$Y_{15}-Y_{12}$	$Y_{11}-Y_8$	Y_7-Y_4	Y_3-Y_0
N	ФЕ25	HCM	0000	0000	0000	0000
0	0000	0000	0000	0000	0000	0000
1	14444	14444	ООП	1000	0110	1100
2	5616	20060	0100	1110	0101	1100

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

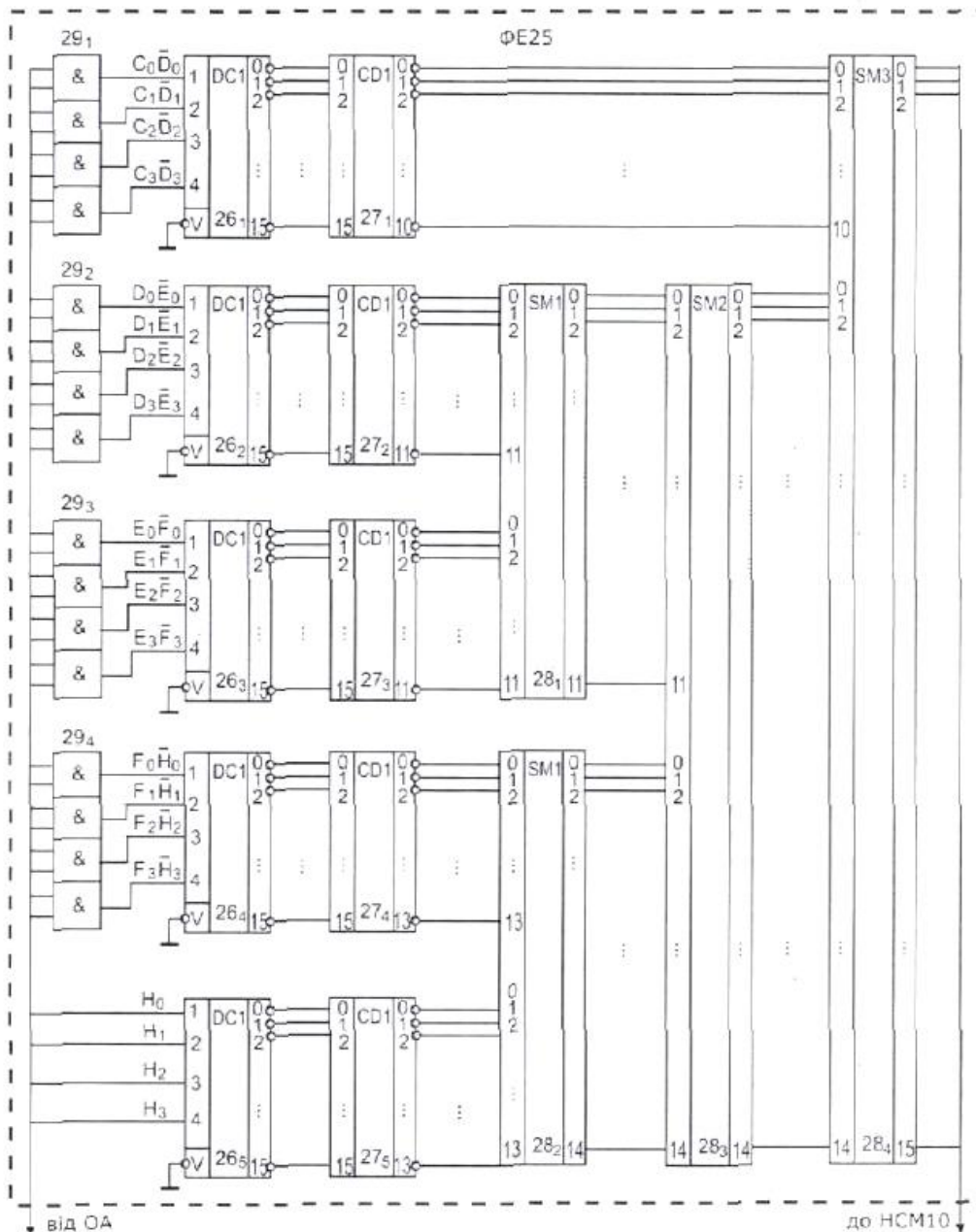
5

Перетворювач двійково-К-значного коду у двійковий код, що містить (n-1) лічильник старших розрядів, один лічильник молодшого розряду, генератор імпульсів, що має прямий вихід та перший і другий прямі затримані виходи, першу групу CD-тригерів, перший регістр стану, для відображення ненульового стану відповідного розрядного лічильника, другу групу CD-тригерів, другий регістр стану, для відображення рівняння або перевищення кроку а станом відповідного розрядного лічильника, третю групу CD-тригерів, третій регістр стану, для відображення рівняння або перевищення кроку b станом відповідного розрядного лічильника, комбінаційний двійковий суматор та регістр результату, що утворюють у сукупності накопичувальний суматор HCM, виходи якого є виходами перетворювача коду, першу і другу групи з n елементів I, першу і другу групи з n елементів I-HI, першу і другу групи з n елементів HI, в кожному розряді дешифратор нуля, дешифратора рівняння або перевищення кроку а, в кожному розряді дешифратор рівняння або перевищення кроку b, в кожному розряді кодовий шифратор, що на виході формує значення коду зменшене на значення третього кроку b, у разі рівняння або перевищення кроку b, формує значення коду, зменшене на значення другого кроку а, у разі рівняння або перевищення кроку а відповідним лічильником і одночасно маючим значення менше кроку b, у разі, коли значення стану відповідного лічильника менше кроку а, кодовий шифратор передає код зі входу на вихід без зміни, n груп елементів АБО для запису розрядів коду зі входів перетворювача у лічильники відповідних розрядів, причому другі входи кожної з n груп елементів АБО є інформаційними входами для запису значень відповідних розрядів, а перші входи кожної з n груп елементів АБО з'єднані з відповідними виходами відповідних кодових шифраторів, входи яких в кожному розряді з'єднані з відповідними виходами лічильника цього розряду, а також з відповідними входами дешифратора нуля, дешифратора рівняння або перевищення кроку а, дешифратора рівняння або перевищення кроку b, виходи дешифраторів нуля з'єднані з відповідними інформаційними D-входами тригерів першої групи, першого регістра стану, виходи дешифраторів рівняння або перевищення кроку а з'єднані з відповідними інформаційними D-входами тригерів другої групи, виходи дешифраторів рівняння або перевищення кроку b з'єднані з відповідними інформаційними D-входами тригерів третьої групи, входи синхронізації тригерів усіх трьох груп з'єднані з прямим виходом генератора імпульсів, прямі виходи тригерів першого регістра стану з'єднані з відповідними першими входами елементів I першої групи, другі відповідні входи елементів I першої групи з'єднані з відповідними виходами елементів HI першої групи, входи яких у відповідних розрядах з'єднані з прямим виходом тригерів стану другої групи, перші входи елементів I-HI першої і другої груп з'єднані з прямим виходом тригера стану відповідно другої і третьої групи, другі входи елементів I-HI першої групи з'єднані з відповідними виходами елементів HI другої групи, входи яких у відповідних розрядах з'єднані з прямим виходом тригера стану третього регістра, треті входи елементів I першої групи, треті входи елементів I-HI першої групи, а також другі входи елементів I-HI другої групи з'єднані з виходом першого затриманого імпульсу генератора імпульсів, інверсні входи елементів I-HI першої і другої групи у кожному розряді з'єднані відповідно з першим і другим входом елемента I другої групи цього розряду, входи елементів I другої групи з'єднані з інверсним входом V у лічильнику відповідного розряду, входи елементів I першої групи з'єднані з входом віднімання -1 у лічильнику відповідного розряду, входи елементів I першої групи з'єднані з входом віднімання -1 у лічильнику відповідного розряду, входи елементів I першої групи з'єднані з входом віднімання -1 у лічильнику наступного розряду, вхід +1 лічильника молодшого розряду є входом запису числа для перетворення у число-імпульсному коді, формувач еквівалентів ФЕ, що складається з першого, другого та третього дешифраторів, першого, другого та третього шифраторів, першого та другого комбінаційних суматорів та двох груп елементів I з двома входами на входах першого і другого дешифраторів у ФЕ, перші входи елементів I першої і другої груп з'єднані з

відповідними прямими інформаційними виходами D-тригерів першого і відповідно другого регістра стану, другі входи яких з'єднані з інверсними виходами D-тригерів другого і відповідно третього регістра стану у відповідному розряді, інверсні входи синхронізації усіх дешифраторів у формувачі еквівалентів з'єднані з землею, інверсні входи першого, другого і третього дешифраторів з'єднані з відповідними входами першого, другого і третього шифраторів, виходи другого і третього шифраторів з'єднані з відповідними входами першої і другої групи входів першого комбінаційного суматора, виходи першого шифратора з'єднані з відповідними входами першої групи входів у другому комбінаційному суматорі, виходи першого комбінаційного суматора з'єднані з відповідними входами другої групи входів другого комбінаційного суматора у формувачі еквівалентів, виходи формувача еквівалентів з'єднані з відповідними входами накопичувального суматора, управляючий вхід накопичувального суматора з'єднаний з виходом другого затриманого імпульсу генератора імпульсів, а виходи накопичувального суматора з'єднані з інформаційними виходами перетворювача коду, який **відрізняється** тим, що в перетворювач коду додатково введена четверта і п'ята групи CD-тригерів стану, третя і четверта групи елементів HI, третя і четверта групи елементів I-HI, по два додаткових входи (третьому і четвертому) в кожний елемент I другої групи, в кожний розряд введено по додатковому дешифратору рівняння або перевищення четвертого кроку c і по додатковому дешифратору рівняння або перевищення п'ятого кроку d, а в формувач еквівалентів додатково введені четвертий і п'ятий дешифратори, четвертий і п'ятий шифратори, дві групи із n елементів I на входах третього і четвертого дешифраторів та два додаткових комбінаційних суматори, інверсні входи синхронізації четвертого і п'ятого дешифраторів у формувачі еквівалентів з'єднані з землею, інверсні входи четвертого і п'ятого дешифраторів з'єднані з відповідними входами четвертого і п'ятого шифраторів, інверсні входи яких з'єднані з відповідними входами першої і другої групи входів першого додаткового комбінаційного суматора у формувачі еквівалентів, виходи першого додаткового комбінаційного суматора з'єднані з відповідними входами другої групи входів другого додаткового комбінаційного суматора, перші входи якого з'єднані з відповідними входами першого основного суматора у формувачі еквівалентів, виходи другого додаткового комбінаційного суматора з'єднані з відповідними входами другої групи входів другого основного комбінаційного суматора, виходи четвертого дешифратора рівняння і перевищення кроку c з'єднані з відповідними інформаційними D-входами четвертої групи тригерів стану, виходи п'ятого дешифратора рівняння або перевищення кроку d з'єднані з відповідними інформаційними D-входами п'ятої групи тригерів стану, входи синхронізації тригерів стану четвертої і п'ятої груп з'єднані з прямим виходом генератора імпульсів, прямі виходи тригерів стану четвертої і п'ятої групи з'єднані з відповідними першими входами елементів I-HI відповідно третьої і четвертої групи, другі входи яких у четвертій групі і треті входи у третій групі з'єднані з виходом першого затриманого імпульсу генератора імпульсів, інверсні входи елементів I-HI третьої і четвертої групи з'єднані відповідно з третім та четвертим входами елементів I другої групи, прямі виходи тригерів стану четвертої групи з'єднані з відповідними входами елементів HI третьої групи, інверсні входи яких з'єднані з відповідними другими входами елементів I-HI другої групи, прямі виходи тригерів стану п'ятої групи з'єднані з першими входами елементів I-HI четвертої групи у відповідному розряді і з відповідними входами елементів HI четвертої групи, інверсні входи яких з'єднані з відповідними другими входами елементів I-HI третьої групи, інверсні входи яких з'єднані з відповідними третіми входами елементів I другої групи, інверсні входи елементів I-HI четвертої групи з'єднані з відповідними четвертими входами елементів I другої групи, треті входи усіх елементів I-HI третьої групи і другі входи усіх елементів I-HI четвертої групи з'єднані з виходом першого прямого затриманого імпульсу генератора імпульсів, перші входи елементів I на входах третього дешифратора у формувачі еквівалентів з'єднані з відповідним прямим виходом тригера третього регістра стану, другі входи елементів I на входах третього дешифратора з'єднані з відповідним інверсним виходом D-тригера цього розряду, але четвертого регістра стану, виходи елементів I на входах третього дешифратора з'єднані з відповідними входами цього дешифратора, перші входи елементів I на входах четвертого дешифратора у формувачі еквівалентів з'єднані з відповідним прямим виходом D-тригера четвертого регістра стану, другі входи елементів I на входах четвертого дешифратора з'єднані з відповідним інверсним виходом D-тригера цього розряду, але п'ятого регістра стану, виходи елементів I на входах четвертого дешифратора з'єднані з відповідними входами цього дешифратора, інформаційні входи п'ятого дешифратора у формувачі еквівалентів з'єднані з відповідними прямими виходами D-тригера п'ятого регістра стану.



Фіг. 1



Фіг. 2

Комп'ютерна верстка О. Рябо

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601